

SIEMENS

Datenbuch 1979/80

Digitale Schaltungen

**Inhalt
Typenübersicht
Allgemeine Angaben**

LSL-Serie

Hall-Schaltungen

Schaltungen für spezielle Funktionen

Schaltungen für die Nachrichtentechnik

Speicher-Bausteine

Anschriften unserer Geschäftsstellen

SIEMENS

Digitale Schaltungen
Datenbuch 1979/80

**Herausgegeben von
Siemens AG, Bereich Bauelemente, Balanstraße 73, 8000 München 80.**

Für die angegebenen Schaltungen, Beschreibungen und Tabellen wird keine Gewähr bezüglich der Freiheit von Rechten Dritter übernommen.

Liefermöglichkeiten und technische Änderungen vorbehalten.

Fragen über Technik, Preise und Liefermöglichkeiten richten Sie bitte an unsere Zweigniederlassungen im Inland, Abteilung VB oder an unsere Landesgesellschaften im Ausland (siehe Geschäftsstellenverzeichnis).

Inhalt
Typenübersicht
Allgemeine Angaben



Lieferübersicht der AMD-Bausteine des Siemens Bauteile Service	Seite 11
--	-------------

1. Allgemeine Angaben

1.1 Typenschlüssel	17
1.2 Einbauhinweise	18
1.3 Beschreibung der Datenangaben	22
1.4 Logische Daten und Symbole	23
1.5 Angabe zur Qualität	28
1.6 Zusammenstellung der verwendeten Kurzzeichen	31

2. Allgemeine Angaben zur LSL-Serie FZ 100

1. Störsicherheit	36
2. Beschreibung der statischen Daten	40
3. Beschreibung der dynamischen Daten	43
4. Kenndaten und Grenzdaten	50

3. Typenübersicht

Übersicht der LSL 30 V-Typen

FZH 101 A, FZH 105 A	Vier NAND-Glieder mit je zwei Eingängen	67
FZH 111 A, FZH 115 B	Vier NAND-Glieder mit je zwei Eingängen und N-Anschluß ..	67
FZH 121, FZH 125	Zwei NAND-Glieder mit je fünf Eingängen	52
FZH 131, FZH 135	Zwei NAND-Glieder mit je fünf Eingängen und N-Anschluß ..	52
FZH 141, FZH 145	Zwei NAND-Leistungsglieder mit je fünf Eingängen und N-Anschluß	56
FZH 151, FZH 155	Zwei UND/ODER-Kombinationsglieder mit N-Anschluß	57
FZH 161, FZH 165 B	LSL-TTL-Pegelumsetzer	61
FZH 171, FZH 175	Zwei NAND-Glieder mit je 4 Eingängen, Erweiterungseingang und N-Anschluß	52
FZH 181, FZH 185	TTL-LSL-Pegelumsetzer	65
FZH 191, FZH 195	Drei NAND-Glieder mit je 3 Eingängen und N-Anschluß	67
FZH 201, FZH 205	Sechs Inverter mit Strobeeingängen	67
FZH 211, FZH 215 B	Vier NAND-Glieder mit je 2 Eingängen, offenem Kollektor und N-Anschluß	72
FZH 211 S	Treiber und Pegelwandler	76
FZH 231, FZH 235	Zwei NAND-Glieder mit je 5 Eingängen, offenem Kollektor und N-Anschluß	72
FZH 241, FZH 245 B	Zwei NAND-Schmitt-Trigger mit je 4 Eingängen, Erweiterungseingang und N-Anschluß	79

Inhalt

		Seite
FZH 251, FZH 255 B	Vier UND-Glieder mit je 2 Eingängen und N-Anschluß	82
FZH 261, FZH 265 B	Zwei NAND-Glieder mit je 2 Eingängen und vier Inverter	82
FZH 271, FZH 275	Vier exklusiv-ODER-Glieder mit je 2 Eingängen und N-Anschluß	82
FZH 281, FZH 285 B	Vier NOR-Glieder mit je 2 Eingängen und N-Anschluß	82
FZH 291, FZH 295 B	Vier ODER-Glieder mit je 2 Eingängen und N-Anschluß	82
FZH 301, FZH 305	Vier NOR-Glieder mit je 2 Eingängen mit Zerstörungsschutz	91
FZJ 101, FZJ 105	JK-Master-Slave Flipflop mit je zwei J- und K-Eingängen und N-Anschlüssen an Slave	94
FZJ 111, FZJ 115	JK-Master-Slave Flipflop mit N-Anschlüssen an Master und Slave	94
FZJ 121, FZJ 125	Zwei JK-Master-Slave Flipflops mit Stell- und Rückstelleingängen	99
FZJ 131, FZJ 135	Vier D-Flipflop	104
FZJ 141 A, FZJ 145 A	Synchroner Dezimalzähler mit Stell- und Rückstelleingängen und N-Anschluß	107
FZJ 151 A, FZJ 155 A	Synchroner 4-Bit-Binärzähler mit Stell- und Rückstelleingängen und N-Anschluß	107
FZJ 161, FZJ 165	Synchrones 4-Bit-Schieberegister mit Stell- und Rückstelleingängen und N-Anschluß	115
FZK 101, FZK 105	Zeitglied mit N-Anschluß	121
FZL 101, FZL 105	BCD-Dezimal-Dekoder-Treiber für Ziffernanzeigeröhren	127
FZL 111	BCD-7-Segment-Dekoder und Treiber mit offenem Kollektorausgang mit 16,5 V / 20 mA	131
FZL 121, FZL 125	Treiber mit offenem Kollektorausgang und 3 Eingängen für 20 V	137
FZL 121 S, FZL 125 S	Treiber mit offenem Kollektorausgang und 3 Eingängen für 30 V	138
FZL 131, FZL 135	Treiber mit offenem Emitterausgang und 4 Eingängen für 20 V	140
FZL 131 S, FZL 135 S	Treiber mit offenem Emitterausgang und 4 Eingängen für 30 V	141
FZL 141, FZL 145	Treiber für Leistungstransistoren für 20 V	143
FZL 141 S, FZL 145 S	Treiber für Leistungstransistoren für 30 V	145
FZY 101, FZY 105	Zwei Versorgungsschaltungen für 12 V bis 17 V	149
S 353	Diodenmatrix	152
	Prüfschaltungen, FZ 100-Serie	154
	Gehäusebauformen der LSL-Serie	168

Inhalt

Hall-Schaltungen		Seite
SAS 221	Magnetisch betätigter kontaktloser Schalter mit antivalenten Ausgängen	173
SAS 231 L	Hall-IS mit magnetfeldproportionaler Ausgangsspannung . . .	175
SAS 241	Magnetisch betätigter kontaktloser Schalter, dynamische Ausführung	177
SAS 251	Magnetisch betätigter kontaktloser Schalter, statische Ausführung	179
SAS 261	Magnetisch betätigter kontaktloser Schalter mit Freigabe . . .	181
	Gehäusebauformen der Hall-Schaltungen	184
Schaltungen für spezielle Funktionen		
S 89	Einstellbarer Teiler für 500 MHz	188
S 178	Video-Impulsgeber	194
S 187	Digitaler Frequenzaufbereitungs-Baustein	203
S 190	Digital-Multimeter-Baustein	213
S 566 A, S 566 B	Elektronischer Helligkeitsregler	226
SAJ 141	1000 : 1, 100 : 1, 10 : 1 Teiler	233
	Gehäusebauformen	238
Nachrichtentechnische Schaltungen		
S 120 A3	Tastwahlgeber für Tastwahltelefon	243
S 121 B	Tastwahlspeicher für Tastwahltelefon	253
S 359	MFV Tastwahloszillator	262
SM 301	MFV Codecempfänger	269
S 600 E5, -P	Tastatur-Encoder mit Zwischenspeicher	272
S 607	Statischer 10 K Bit Zeichengenerator	289
SM 61 A / S 291	PCM 2-Kanal-Codec	290
SM 61 A1 / S 291 A	PCM 2-Kanal-Codec	310
SM 61 B / S 291 A	PCM 2-Kanal-Codec	311
	Gehäusebauformen der nachrichtentechnischen Schaltungen	312

Inhalt

Speicher-Bausteine		Seite
Lieferübersicht der Microcomputer-Speicher-Bausteine		319
Technische Angaben		320
Random Access Memory		
GXB 10147 A	128 Bit RAM (ECL)	328
GXB 10415	1024 Bit RAM (ECL)	333
GXB 100473	256 Bit RAM (ECL)	339
GXB 100475	4096 Bit RAM (ECL)	344
HYB 4116 – A3 / P3	16 K Bit RAM (MOS)	350
HYB 4116 – A4 / P4	16 K Bit RAM (MOS)	350
Read Only Memory		
SAB 8316	16 K Bit ROM (MOS)	360
SAB 8332	32 K Bit ROM (MOS)	365
Erasable Programmable Read Only Memory		
SAB 8716	16 K Bit EPROM (MOS)	370
Electrically Erasable and Programmable Read Only Memory		
SAB 2808	8 K Bit EEPROM (MOS)	380
	Gehäusebauformen der Speicher-Bausteine	390

Allgemeine Angaben

Lieferübersicht des SBS über ausgewählte integrierte Schaltungen von AMD, Advanced Micro Devices

zu beziehen durch Siemens Bauteile Service, Postfach 146, 8510 Fürth

Lineare integrierte Schaltungen

Typ	Bestellnummer	Bezeichnung
LF 398 H	Q 67000-A 1400-F 116	Sample-and-Hold-Verstärker
LM 301 H	Q 67000-A 1396-F 116	Universal-OP
LM 308 N	Q 67000-A 1192-F 116	Instrumentierungs-OP
LM 311 N	Q 67000-A 834-F 116	Präzisions-Spannungskomparator
LM 318 N	Q 67000-A 1179-F 116	Schneller-OP
LM 319 N	Q 67000-A 1159-F 116	Zwei Komparatoren

Junction-Feldeffekt-Operationsverstärker

LF 357 H	Q 67000-A 1398-F 116	JFET-Operationsverstärker
----------	----------------------	---------------------------

Sonstige integrierte Schaltungen

DAC 08 CN	Q 67000-U 38-F 116	8-Bit-D-A-Konverter
N 8 T 26 B	Q 67000-L 152-F 116	Three-State-4fach-BUS-Transceiver

Digitale integrierte Schaltungen TTL-Serie

SN 75107 BN	Q 67000-L 265-F 116	Zwei Differential-Zeilenempfänger mit aktiven Pull-up-Ausgängen
SN 75108 BN	Q 67000-L 266-F 116	Zwei Differential-Zeilenempfänger mit offenen Kollektorausgängen
SN 75109 N	Q 67000-L 85-F 116	Zwei Zeilentreiber (6 mA Ausgangsströme)
SN 75110 N	Q 67000-A 507-F 116	Zwei Zeilentreiber (12 mA Ausgangsströme)

Integrierte Schaltungen der Low Power Schottky Serie (LS)¹⁾

AM 25 LS 138 PC	Q 67000-H 1201-F 116	Oktal-Dekoder
AM 25 LS 139 PC	Q 67000-H 1050-F 116	Zweifach – 1 aus 4 – Dekoder/ Demultiplexer
AM 25 LS 148 PC	Q 67000-H 1557-F 116	Prioritäts-Kodierer
AM 25 LS 151 PC	Q 67000-Y 196-F 116	8-Bit-Multiplexer
AM 25 LS 153 PC	Q 67000-H 1051-F 116	Zweifach-4-Bit-Multiplexer
AM 25 LS 157 PC	Q 67000-Y 240-F 116	Vierfach-2-Bit-Multiplexer, nicht invertierend

¹⁾ Entspricht den Texas-Typen SN 74 LS . . . N. Die Bauteile sind mit beiden Typenbezeichnungen bestempelt.

Allgemeine Angaben

Integrierte Schaltungen der Low Power Schottky Serie (LS)¹⁾

Typ	Bestellnummer	Bezeichnung
AM 25 LS 158 PC	Q 67000-Y 243-F 116	Vierfach-2-Bit-Multiplexer, invertierend
AM 25 LS 160 APC	Q 67000-J 774-F 116	Synchroner Dezimalzähler mit Stelleingängen und asynchronem Rückstelleingang
AM 25 LS 161 APC	Q 67000-J 753-F 116	Synchroner 4-Bit-Binärzähler, asynchroner Freigabe-Eingang
AM 25 LS 162 APC	Q 67000-J 775-F 116	Synchroner Dezimalzähler mit Stelleingängen und synchronem Rückstelleingang
AM 25 LS 163 APC	Q 67000-J 776-F 116	Synchroner 4-Bit-Binärzähler mit Stelleingängen und synchronem Rückstelleingang
AM 25 LS 164 PC	Q 67000-J 713-F 116	8-Bit-Schiebe-Register mit Parallelausgabe
AM 25 LS 168 APC	Q 67000-J 777-F 116	Programmierbarer, synchroner dezimaler Umkehrzähler
AM 25 LS 169 APC	Q 67000-J 778-F 116	Programmierbarer 4-Bit-Umkehrzähler
AM 25 LS 174 PC	Q 67000-J 645-F 116	6 D-Flipflop mit gemeinsamem Rückstelleingang
AM 25 LS 175 PC	Q 67000-J 646-F 116	4 D-Flipflop mit gemeinsamen Rückstelleingängen
AM 25 LS 181 PC	Q 67000-Y 238-F 116	4-Bit arithmetische Logik-Einheit
AM 25 LS 190 PC	Q 67000-J 715-F 116	Dezimaler Umkehrzähler
AM 25 LS 191 PC	Q 67000-J 660-F 116	4-Bit binärer Umkehrzähler
AM 25 LS 192 PC	Q 67000-J 686-F 116	4-Bit binärer Umkehrzähler mit getrennten Takteingängen
AM 25 LS 193 PC	Q 67000-J 654-F 116	4-Bit binärer Umkehrzähler mit getrennten Takteingängen
AM 25 LS 194 APC	Q 67000-J 695-F 116	Synchrones 4-Bit Parallelschieberegister mit umkehrbarer Schieberichtung
AM 25 LS 195 APC	Q 67000-J 717-F 116	Synchrones 4-Bit-Parallelschieberegister
AM 25 LS 240 PC	Q 67000-H 1453-F 116	Acht invertierende BUS-Treiber mit 3 Ausgangszuständen
AM 25 LS 241 PC	Q 67000-H 1454-F 116	Acht BUS-Treiber mit 3 Ausgangszuständen (G-, G-Eingänge)
AM 25 LS 242 PC	Q 67000-H 1593-F 116	Vier invertierende BUS-Transceiver
AM 25 LS 243 PC	Q 67000-H 1584-F 116	Vier BUS-Transceiver
AM 25 LS 244 PC	Q 67000-H 1555-F 116	Acht BUS-Treiber, 3 Ausgangszustände
AM 25 LS 251 PC	Q 67000-H 1056-F 116	8-Bit-Multiplexer, 3 Ausgangszustände
AM 25 LS 253 PC	Q 67000-H 1057-F 116	Zweifach-4-Bit-Multiplexer, 3 Ausgangszustände

¹⁾ Entspricht den Texas-Typen SN 74 LS . . . N. Die Bauteile sind mit beiden Typenbezeichnungen bestempelt.

Allgemeine Angaben

Integrierte Schaltungen der Low Power Schottky Serie (LS)¹⁾

Typ	Bestellnummer	Bezeichnung
AM 25 LS 257 PC	Q 67000-H 244-F 116	Vierfach-2-Bit-Multiplexer, 3 Ausgangszustände
AM 25 LS 258 PC	Q 67000-Y 245-F 116	Vierfach-2-Bit-Multiplexer, invertierend
AM 25 LS 273 PC	Q 67000-J 803-F 116	Acht D-Register mit gemeinsamem Rückstelleingang
AM 25 LS 281 PC	Q 67000-J 1027-F 116	4-Bit-Parallel-Speicher
AM 25 LS 299 PC	Q 67000-J 1028-F 116	8-Bit-Universal-Schieberegister mit (asynchronem) taktunabhängigem Rückstelleingang
AM 25 LS 374 PC	Q 67000-J 942-F 116	Acht D-Register mit 3 Ausgangszuständen
AM 25 LS 377 PC	Q 67000-J 943-F 116	Acht D-Register mit gemeinsamem Freigabeeingang
AM 25 LS 378 PC	Q 67000-J 973-F 116	6-Bit-Register mit gemeinsamem Freigabeeingang
AM 25 LS 379 PC	Q 67000-J 944 F 116	4-Bit-Register mit gemeinsamem Freigabeeingang
AM 25 LS 381 PC	Q 67000-H 1641-F 116	4 Bit arithmetische Logikeinheit
AM 25 LS 399 PC	Q 67000-J 1029-F 116	4-Bit-Register mit Multiplexeingängen
AM 25 LS 2513 PC	Q 67000-H 1644-F 116	Prioritätskodierer mit 3 Ausgangszuständen
AM 25 LS 2517 PC	Q 67000-H 1645-F 116	Logikeinheit mit Übertragsanzeige
AM 25 LS 2518 PC	Q 67000-J 1036-F 116	Vier D-Register, 3 Ausgangszustände
AM 25 LS 2519 PC	Q 67000-J 1037-F 116	Vier D-Register, zweifach, 3 Ausgangszustände
AM 25 LS 2520 PC	Q 67000-J 1038-F 116	8 D-Register
AM 25 LS 2521 PC	Q 67000-H 1046-F 116	8-Bit-Komparator
AM 25 LS 2535 PC	Q 67000-Y 470-F 116	8-Bit-Multiplexer
AM 25 LS 2536 PC	Q 67000-Y 471-F 116	Oktaldekoder, Kontroll-Speicher
AM 25 LS 2537 PC	Q 67000-H 1647-F 116	Dezimaldekoder, 3 Ausgangszustände, Polaritätskontrolle
AM 25 LS 2538 PC	Q 67000-H 1648-F 116	Oktaldekoder, 3 Ausgangszustände, Polaritätskontrolle
AM 25 LS 2539 PC	Q 67000-H 1649-F 116	Zweifach – 1 aus 4 – Dekoder, 3 Ausgangszustände, Polaritätskontrolle
AM 25 LS 2568 PC	Q 67000-J 1039-F 116	Synchroner Dezimalumkehrzähler, 3 Ausgangszustände
AM 25 LS 2569 PC	Q 67000-J 1040-F 116	Synchroner 4-Bit-Binärumkehrzähler, 3 Ausgangszustände

¹⁾ Entspricht den Texas-Typen SN 74 LS . . . N. Die Bauteile sind mit beiden Typenbezeichnungen bestempelt.

Allgemeine Angaben

Integrierte Schaltungen der Low Power Schottky Serie (LS)

Typ	Bestellnummer	Bezeichnung
AM 25 LS 07 PC	Q 67000-J 1032-F 116	6-Bit-Register, gemeinsamer Freigabe- eingang
AM 25 LS 08 PC	Q 67000-J 1058-F 116	4-Bit-Register, gemeinsamer Freigabe- eingang
AM 25 LS 09 PC	Q 67000-J 1033-F 116	4-Bit-Register, Multiplexeingang
AM 25 LS 14 PC	Q 67000-Y 469-F 116	8-Bit-Serien-Parallel-Zweierkomplement- Multiplizierer
AM 25 LS 15 PC	Q 67000-H 1643-F 116	4-Bit-Serien-Parallel-Addierer-Subtrahierer
AM 25 LS 22 PC	Q 67000-J 1034-F 116	8-Bit-Serien-Parallel-Register
AM 25 LS 23 PC	Q 67000-J 1035-F 116	8-Bit-Universalregister, synchrone Rückstell- eingänge
AM 26 LS 31 PC	Q 67000-L 262-F 116	Vier Differentialtreiber RS-422
AM 26 LS 32 PC	Q 67000-L 263-F 116	Vier Differentialtreiber RS-422/RS-423
AM 26 LS 33 PC	Q 67000-L 264-F 116	Vier Differentialtreiber
AM 27 LS 00 PC	Q 67000-Q 181-F 116	256-Bit-RAM, 3 Ausgangszustände
AM 27 LS 01 PC	Q 67000-Q 182-F 116	256-Bit-RAM mit offenen Kollektoraus- gängen
AM 27 LS 02 PC	Q 67000-Q 183-F 116	64-Bit-RAM mit offenen Kollektorausgängen
AM 27 LS 03 PC	Q 67000-Q 184-F 116	64-Bit-RAM, 3 Ausgangszustände

Integrierte Schaltungen der Schottky-Serie (S)

SN 74 S 138 N	Q 67000-H 907-F 116	Oktal-Dekoder/Demultiplexer
SN 74 S 139 N	Q 67000-H 753-F 116	Zweifacher – 1 aus 4 – Dekoder/DeMulti- plexer
SN 74 S 151 N	Q 67000-H 872-F 116	8-Bit-Multiplexer
SN 74 S 153 N	Q 67000-Y 107-F 116	Zweifach-4-Bit-Multiplexer
SN 74 S 157 N	Q 67000-Y 82-F 116	Vierfach-2-Bit-Multiplexer, invertierend
SN 74 S 158 N	Q 67000-Y 121-F 116	Vierfach-2-Bit-Multiplexer, nicht invertierend
SN 74 S 160 N	Q 67000-J 1030-F 116	Dezimalzähler mit asynchronem Rückstell- eingang
SN 74 S 161 N	Q 67000-J 1031-F 116	4-Bit-Binärzähler, asynchroner Rückstell- eingang
SN 74 S 174 N	Q 67000-J 601-F 116	6-Bit-Register mit gemeinsamer Rück- stellung
SN 74 S 175 N	Q 67000-J 496-F 116	4-Bit-Register mit gemeinsamer Rück- stellung
SN 74 S 181 N	Q 67000-H 704-F 116	4-Bit-Logikeinheit
SN 74 S 189 N	Q 67000-Q 92-F 116	64-Bit-RAM, 3 Ausgangszustände
SN 74 S 194 N	Q 67000-J 425-F 116	4-Bit-Parallelschieberegister mit umkehr- barer Schieberichtung
LS 74 S 195 N	Q 67000-J 567-F 116	4-Bit-Parallelschieberegister, Rechtsschiebe- betrieb

Allgemeine Angaben

Integrierte Schaltungen der Schottky-Serie (S)

Typ	Bestellnummer	Bezeichnung
SN 74 S 221 N	Q 67000-K 60-F 116	Zwei Monoflop mit Schmitt-Trigger-eingängen
SN 74 S 240 N	Q 67000-H 1328-F 116	Acht Treiber, invertierend, 3 Ausgangszustände
SN 74 S 241 N	Q 67000-H 1329-F 116	Acht Treiber, nicht invertierend, 3 Ausgangszustände
SN 74 S 244 N	Q 67000-H 1642-F 116	Acht Treiber, nicht invertierend, 3 Ausgangszustände
SN 74 S 251 N	Q 67000-Y 128-F 116	8-Bit-Multiplexer, 3 Ausgangszustände
SN 74 S 253 N	Q 67000-Y 468-F 116	Zweifach 4-Bit-Multiplexer, 3 Ausgangszustände
SN 74 S 257 N	Q 67000-Y 129-F 116	Vierfach 2-Bit-Multiplexer, nicht invertierend, 3 Ausgangszustände
SN 74 S 258 N	Q 67000-Y 130-F 116	Vierfach 2-Bit-Multiplexer, invertierend, 3 Ausgangszustände
SN 74 S 289 N	Q 67000-Q 102-F 116	64-Bit-RAM mit offenen Kollektorausgängen
AM 26 S 02 PC	Q 67000-K 104-F 116	Zwei Monoflops

Mikroprozessor-System AM 2900

Kaskadierbare Mikroprozessoren mit 4-Bit Wortlänge (sog. 4-Bit-slices), hoher Verarbeitungsgeschwindigkeit und geringem Leistungsverbrauch.

Mikroprozessor-Bausatz AM 2900

AM 2900 K1	Q 67201-C 8-F 116	Lehrbausatz
------------	-------------------	-------------

Mikroprozessor-Bauteile AM 2900

AM 2901 ADC	Q 67020-C 7-F 116	Schnelle 4-Bit-Zentraleinheit
AM 2901 APC	Q 67020-C 8-F 116	Schnelle 4-Bit-Zentraleinheit
AM 2902 PC	Q 67020-P 9-F 116	Übertragungseinheit
AM 2903 DC	Q 67020-C 11-F 116	4-Bit-Zentraleinheit
AM 2905 PC	Q 67020-P 10-F 116	Busanpassung mit offenen Kollektorausgängen
AM 2906 PC	Q 67020-P 11-F 116	Busanpassung mit offenen Kollektorausgängen
AM 2907 PC	Q 67020-P 12-F 116	4 Bustransceiver mit 3 Ausgangszuständen

Allgemeine Angaben

Mikroprozessor-Bauteile AM 2900

Typ	Bestellnummer	Bezeichnung
AM 2909 DC	Q 67020-C 9-F 116	Mikroprogramm-Ablaufsteuerung
AM 2910 DC	Q 67020-C 12-F 116	Mikroprogramm-Steuereinheit
AM 2911 DC	Q 67020-C 10-F 116	Mikroprogramm-Ablaufsteuerung
AM 2913 PC	Q 67020-P 20-F 116	Interrupt-Erweiterung
AM 2914 DC	Q 67020-P 13-F 116	Vektor-Interrupt-Steuerung
AM 2915 APC	Q 67020-P 14-F 116	4 Bustransceiver mit 3 Ausgangszuständen und Ausgangslogik
AM 2916 APC	Q 67020-P 15-F 116	4 Bustransceiver mit 3 Ausgangszuständen und Ausgangslogik
AM 2917 APC	Q 67020-P 16-F 116	4 Bustransceiver mit 3 Ausgangszuständen und Ausgangslogik
AM 2918 PC	Q 67020-P 17-F 116	4 D-Flipflop
AM 29 LS 18 PC	Q 67020-P 18-F 116	4 D-Flipflop
AM 2919 PC	Q 67020-P 19-F 116	4 D-Flipflop
AM 2920 PC	Q 67020-P 20-F 116	8-Bit-Register mit 3 Ausgangszuständen Freigabe- und Rückstelleingängen
AM 2921 PC	Q 67020-Y 46-F 116	1 aus 8 – Dekoder
AM 2922 PC	Q 67020-Y 47-F 116	8-Bit-Multiplexer mit Kontrollspeicher
AM 29700 PC	Q 67020-Q 3-F 116	16 x 4-Bit schnelles RAM mit offenen Kollektorausgängen
AM 29701 PC	Q 67020-Q 4-F 116	16 x 4-Bit schnelles RAM mit 3 Ausgangszuständen
AM 29702 PC	Q 67020-Q 5-F 116	16 x 4-Bit schnelles RAM, invertierend, mit offenen Kollektorausgängen
AM 29703 PC	Q 67020-Q 6-F 116	16 x 4-Bit schnelles RAM, invertierend mit 3 Ausgangszuständen
AM 29704 PC	Q 67020-Q 7-F 116	16 x 4-Bit-RAM mit Zweifachausgabe und offenen Kollektorausgängen
AM 29705 PC	Q 67020-Q 8-F 116	16 x 4-Bit-RAM mit Zweifachausgabe und 3 Ausgangszuständen
AM 29720 PC	Q 67020-Q 9-F 116	256 x 1-Bit-RAM mit offenen Kollektorausgängen
AM 29721 PC	Q 67020-Q 10-F 116	256 x 1-Bit-RAM mit 3 Ausgangszuständen
AM 29760 ADC	Q 67020-R 8-F 116	256 x 4-Bit-PROM mit offenen Kollektorausgängen
AM 29761 ADC	Q 67020-R 9-F 116	256 x 4-Bit-PROM mit 3 Ausgangszuständen
AM 29803 ADC	Q 67020-Y 48-F 116	16-Weg-Branchsteuerung für AM 2909
AM 29811 ADC	Q 67020-Y 50-F 116	Befehlssteuerung für AM 2911

Allgemeine Angaben

1.1 Hinweise zum Typenschlüssel für integrierte Schaltungen

(Proelectron-Schlüssel)

Die Typenkennzeichnung digitaler integrierter Schaltungen setzt sich folgendermaßen zusammen:

FZ	H	10	5	A
Serienbez.	Funktion	Nummer	Temperatur	Variante

Die Serienbezeichnung für digitale Schaltungen wird variiert: FL, FZ, GD, ...

Für digitale Einzeltypen gilt die Serienbezeichnung SA, SB, ... und für Typen, die analoge und digitale Signale verarbeiten, die Bezeichnung UA, UB, ...

Der Funktionsbuchstabe bedeutet:

H	Logische Verknüpfung	Q	Speichermatrix
J	Folgegesteuerte Logik (statisch)	R	Festwertspeicher
K	Monostabile Schaltung	S	Leseverstärker mit digitalem Ausgang
L	Pegelumsetzer	Y	Verschiedene Schaltungen außerhalb H bis S
N	Folgegesteuerte Logik (dynamisch)		

Die Seriennummer ist fortlaufend von 10 . . . 99.

Die Variante gibt an, daß diese Schaltung elektrisch oder mechanisch vom Original abweicht.

Die Temperaturkennzahl gibt den Betriebstemperaturbereich an. Sie lautet:

Kennzahl nach bish. Schlüssel	Temperaturbereich	Kennzahl nach neuem Schlüssel
0	nicht festgelegt	
1	0 bis 70 °C	B
2	-55 bis 125 °C	C
3	-10 bis 85 °C	-
4	+15 bis 55 °C	-
5	-25 bis 85 °C	E
6	-40 bis 85 °C	F
-	-25 bis 70 °C	D

1973 wurde der Typenschlüssel für integrierte Schaltungen geändert. Dabei unterscheidet sich die neue Bezeichnung vom bisher gültigen Schlüssel:

1. durch die Angabe des Temperaturbereiches mit einem Buchstaben in der Serienbezeichnung
2. durch die Verwendung einer bereits eingeführten Typennummer als Seriennummer.

Beispiel:	GX	B	10000	A
	Serienbez.	Temperatur	Nummer	Variante

Siemens-Bezeichnung

Standardbausteine, die für einen engen Anwendungsbereich bestimmt sind, werden mit S und einer dreistelligen Ziffer bezeichnet.

Allgemeine Angaben

1.2 Einbauhinweise

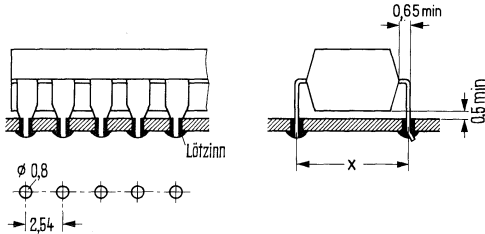
1.2.1 Kunststoff-Steckgehäuse

Kunststoff-Steckgehäuse werden auf der dem Gehäuse abgewandten Plattenseite gelötet. Die Anschlußfahnen der Gehäuse sind um 90° nach unten abgebogen und passen in ein Lochraster von 2,54 mm, Lochkreisdurchmesser 0,7 bis 0,9 mm. Das Maß X ist der entsprechenden Bauformzeichnung zu entnehmen.

Der Gehäuseboden berührt nach dem Einsetzen die Leiterplatte nicht, weil die Anschlußfahnen kurz vor dem Gehäuse breiter werden (siehe Bild).

Nach dem Einsetzen des Gehäuses in die Leiterplatte ist es vorteilhaft, zwei Anschlußenden in einem Winkel von ca. 30° zur Leiterplatte abzubiegen, während des Lötvorganges braucht dann das Gehäuse nicht auf die Leiterplatte gepreßt werden.

Die maximal zulässige Löttemperatur beträgt bei Handlötten 265°C (max. 10 s) und bei Tauchlötten 240°C (max. 4 s).



1.2.2 Flachgehäuse

a) Lötung auf der dem Gehäuse abgewandten Seite.

Die Anschlußdrähte werden um 90° nach unten gebogen und in die Bohrungen 0,6 bis 0,8 mm ϕ der Leiterplatte eingesetzt. Das Maß X ist dabei der zugehörigen Bauformzeichnung zu entnehmen. Das rechtwinklige Kröpfen der Anschlußdrähte ist bis zu einem Abstand von 0,8 mm vom Gehäuse zulässig (Bild 1).

Die Lötung der Anschlußdrähte kann durch Tauch- oder Kolbenlötung erfolgen. Bei einer Badtemperatur von 250°C darf die Lötzeit max. 5 s, bei 300°C max. 2 s betragen. Nach dem Einsetzen des Gehäuses in die Leiterplatte ist es vorteilhaft, zwei (oder auch alle) Anschlußenden in einem Winkel von ca. 30° zur Leiterplatte abzubiegen (Bild 1), das Gehäuse braucht dann nicht während des Lötvorganges an die Leiterplatte gepreßt werden. Das Kürzen zu langer Anschlußdrähte soll vor dem Löten erfolgen.

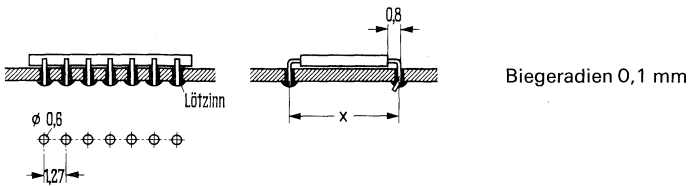


Bild 1

Allgemeine Angaben

b) Bei Lötung auf der Plattenseite (Bild 2) braucht die Leiterplatte nicht durchbohrt sein. Die Verbindung mit den Leiterbahnen kann durch Kolbenlötung oder Schweißung erfolgen.

Die max. Lötzeiten, bei einem Lötabstand von $l \geq 1,5$ mm, betragen bei einer Kolbentemperatur von 250 °C $t_{\max} = 15$ s, 300 °C $t_{\max} = 12$ s, und 350 °C $t_{\max} = 7$ s.

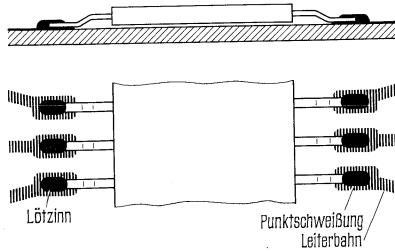


Bild 2

1.2.3 Gehäuse 5H8 DIN 41873 und ähnliche Gehäuse mit 8, 10 und 12 ausgeführten Anschlußenden

Die Einbaulage des Gehäuses ist beliebig. Die Anschlußenden dürfen bis zu einem Abstand von 1,5 mm vom Gehäuseboden gekröpft werden entsprechend dem Lochraster (Bild 3).

Zu lange Anschlußenden sollen vor dem Löten gekürzt werden.
Die Lötung kann durch Kolben- oder Tauchlötung erfolgen.

Die max. Lötzeit beträgt bei Tauchlötung	mit 250 °C Badtemperatur	$t_{\max} = 5$ s
	mit 300 °C Badtemperatur	$t_{\max} = 4$ s
und bei Kolbenlötung	mit 250 °C Kolbentemperatur	$t_{\max} = 15$ s
	mit 300 °C Kolbentemperatur	$t_{\max} = 12$ s
	mit 350 °C Kolbentemperatur	$t_{\max} = 8$ s

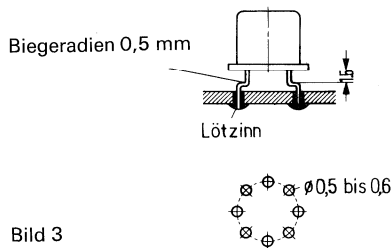


Bild 3

Allgemeine Angaben

1.2.4 Schutzmaßnahmen für MOS-Schaltungen

Wegen der Empfindlichkeit von MOS-Schaltungen gegen Störspannungen und statische Aufladungen sind an den Ein- und Ausgängen Schutzstrukturen mitintegriert:

1. Bei positiven Überspannungen wird ein p-n-Übergang zum Substrat in Durchlaßrichtung geschaltet.
2. Zu hohe negative Eingangsspannungen führen zu einem definierten Diodendurchbruch mit Strombegrenzung.
3. Jeder Ein- und Ausgang führt außerdem auf Gate und Drain eines Transistors mit einer Schwellenspannung von -35 Volt, so daß auch über diese Transistoren Ein- und Ausgänge bei Überspannung kurzgeschlossen werden.

Trotz dieser Schutzschaltungen sollte beachtet werden, daß Kunststoffböden, nichtleitende Arbeitsplatten und Sitzgelegenheiten, sowie kunstfaserhaltige Kleidung zu Aufladungen führen, die für die Schaltungen gefährlich werden können.

Maschinen und Werkzeuge, die mit MOS-Bauteilen in Berührung kommen, müssen auf gleichem Potential sein. Auch die Arbeitsplatte und Personen, die mit MOS-Bauteilen hantieren, sollen sich auf diesem Potential befinden.

In Fertigungsräumen hat sich eine relative Luftfeuchte von ca. 70% als zusätzliche Schutzmaßnahme zur Reduzierung statischer Aufladungen gut bewährt.

Bei automatischem „Handling“ ist zur Verhinderung statischer Aufladungen ein Luft-Ionisationsator empfehlenswert.

Beim Einbau von MOS-Schaltungen in Geräte müssen die Grenzwerte besonders beachtet werden. Eine hochohmige Erdung des Lötbades bzw. LötKolbens sollte durchgeführt werden. Beim Lötbad ist darauf zu achten, daß zu große Spannungsdifferenzen vermieden werden.

Bei p (n)-Kanal-MOS-Bauelementen dürfen keine positiven (negativen) Spannungen, bezogen auf den Substratschluß U_{SS} an die Anschlüsse gelangen.

Schutzmaßnahmen für den elektrischen Betrieb

Treten beim elektrischen Betrieb von MOS-Schaltungen Störspannungen auf, die an die Anschlüsse gelangen können, so ist dafür zu sorgen, daß die Grenzwerte der Spannungspegel nicht überschritten werden können. Insbesondere sollten die Speisespannungen $U_{DD}-U_{SS}$ bzw. $U_{GG}-U_{SS}$ unmittelbar in der Nähe des Bausteins durch einen Kondensator, der bei hohen Frequenzen einen niedrigen Scheinwiderstand aufweist, überbrückt werden.

Störspannungen, die gegenüber U_{SS} positive Werte annehmen können, müssen durch eine entsprechende Diodenbeschaltung begrenzt werden.

MOS-Bauelemente nicht in Fassungen stecken oder aus diesen entfernen, wenn an den Fassungen Spannung liegt.

Allgemeine Angaben

1.3 Beschreibung der Datenangaben

Grenzdaten

Die Grenzdaten sind absolute Grenzwerte, bei deren Überschreitung auch nur eines Wertes die integrierte Schaltung zerstört werden kann.

Kenndaten

Die Kenndaten umfassen den garantierten Streubereich der Werte, die im angegebenen Betriebsbereich von der integrierten Schaltung eingehalten werden.

Unter den typischen Kenndaten werden Mittelwerte angegeben, die fertigungsmäßig erwartet werden. Wenn nicht anders vermerkt, gelten die typischen Kenndaten bei $T_U = 25\text{ °C}$ und angegebener Speisespannung.

Funktionsdaten

Im Funktionsbereich werden die in der Schaltungsbeschreibung angegebenen Funktionen erfüllt.

Allgemeine Angaben

1.4 Logische Daten und Symbole

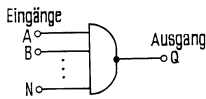
1.4.1 Logikpegel

Nach DIN 41 785, Blatt 4 für digitale Mikroschaltungen werden die zwei möglichen Bereiche der binären elektrischen Größe mit L (Low) und H (High) bezeichnet. Dabei liegen die Werte des L-Bereiches näher bei $-\infty$ und die Werte des H-Bereiches näher bei $+\infty$. Entsprechend gelten die Indizes A für die Angabe des oberen Grenzwertes (näher bei $+\infty$) und B für die untere Grenze (näher bei $-\infty$).

Die bisher üblichen logischen Symbole 0 und 1 oder **0** und **1** oder log. 0 und log. 1 werden nicht mehr verwendet; die Angabe positive bzw. negative Logik entfällt.

1.4.2 Schaltgliedersymbole

NAND-Schaltglied



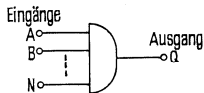
Funktionstabelle für ein NAND-Glied mit zwei Eingängen (z. B. eines der vier NAND-Glieder aus FZH 101)

Eingänge		Ausgang
A	B	Q
L	L	H
L	H	H
H	L	H
H	H	L

Logische Funktion: $Q = \overline{A \wedge B \wedge \dots \wedge N}$

Definition: Der Ausgang zeigt nur dann L-Signal, wenn A und B und ... und N auf H-Signal liegen.

UND-Schaltglied



Funktionstabelle für ein UND-Glied mit zwei Eingängen (z. B. eines der vier UND-Glieder aus FZH 251)

Eingänge		Ausgang
A	B	Q
L	L	L
L	H	L
H	L	L
H	H	H

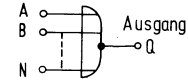
Logische Funktion: $Q = A \wedge B \wedge \dots \wedge N$

Definition: Der Ausgang zeigt nur dann H-Signal, wenn A und B und ... und N auf H-Signal liegen.

Allgemeine Angaben

NOR-Schaltglied

Eingänge



Funktionstabelle für ein NOR-Glied mit zwei Eingängen (z. B. eines der vier NOR-Glieder aus FZH 281)

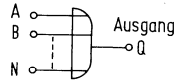
Eingänge		Ausgang
A	B	Q
L	L	H
L	H	L
H	L	L
H	H	L

Logische Funktion: $Q = \overline{A \vee B \vee \dots \vee N}$

Definition: Der Ausgang zeigt nur dann H-Signal, wenn A und B und . . . und N auf L-Signal liegen.

ODER-Schaltglied

Eingänge



Funktionstabelle für ein ODER-Glied mit zwei Eingängen (z. B. eines der vier ODER-Glieder aus FZH 291)

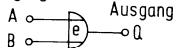
Eingänge		Ausgang
A	B	Q
L	L	L
L	H	H
H	L	H
H	H	H

Logische Funktion: $Q = A \vee B \vee \dots \vee N$

Definition: Der Ausgang zeigt nur dann L-Signal, wenn A und B und . . . und N auf L-Signal liegen.

Exklusiv-ODER-Schaltglied

Eingänge



Funktionstabelle für ein Exklusiv-ODER-Glied mit zwei Eingängen (z. B. eines der vier Glieder aus FZH 271)

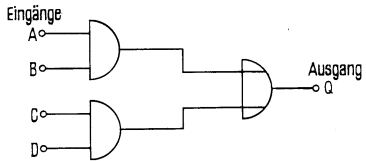
Eingänge		Ausgang
A	B	Q
L	L	L
L	H	H
H	L	H
H	H	L

Logische Funktion: $Q = (A \wedge \overline{B}) \vee (\overline{A} \wedge B)$

Definition: Der Ausgang zeigt nur dann H-Signal, wenn entweder nur A oder nur B auf H-Signal liegen.

Allgemeine Angaben

Invertierendes UND/ODER-Schaltglied

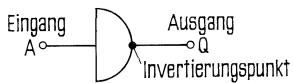


Logische Funktion: $Q = (A \wedge B) \vee (C \wedge D)$

Funktionstabelle für ein invertierendes UND/ODER-Glied mit je 2 x 2 Eingängen (z. B. eines der zwei UND/ODER-Glieder aus FZH 151)

Eingänge				Ausgang
A	B	C	D	Q
L	L	L	L	L
H	L	L	L	L
L	H	L	L	L
H	H	L	L	H
L	L	H	L	L
H	L	H	L	L
L	H	H	L	L
H	H	H	L	H
L	L	L	H	L
H	L	L	H	L
L	H	L	H	L
H	H	L	H	H
L	L	H	H	H
H	L	H	H	H
L	H	H	H	H
H	H	H	H	H

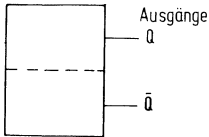
Inverter



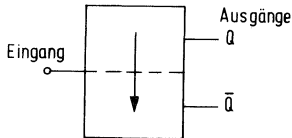
Logische Funktion: $Q = \overline{A}$

Allgemeine Angaben

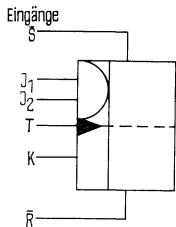
1.4.3 Symbole für Kippschaltungen



Bistabile Kippstufe (Flipflop)



Monostabile Kippstufe (Monoflop) mit Eingang, der beiden Feldern zugeordnet ist. Der Pfeil zeigt in das Feld, dessen Ausgang in der stabilen Lage den Zustand H hat (z. B. FZK 101).



J_1 , J_2 und K sind Informationseingänge
 J_1 und J_2 sind UND-verknüpft
 J - und K -Eingänge werden vom T -Eingang (Takt) gesteuert
 \bar{S} und \bar{R} sind direkt wirkende Eingänge (Setzen, Rücksetzen)
 (z. B. FZJ 111)

Kennzeichnung der dynamischen Eingänge

- ▶ Wirkung am Ausgang bei Übergang des Eingangssignals von H auf L
- ▷ Wirkung am Ausgang bei Übergang des Eingangssignals von L auf H
- ◻ Wirkung des Eingangssignals während H-Signal
- Wirkung des Eingangssignals während L-Signal

Allgemeine Angaben

1.4.4 Einteilung der Flipflops nach ihrer logischen Funktion

D-Flipflop (Delay-Flipflop)

Das D-Flipflop hat einen mit D bezeichneten Eingang, dessen Zustand in die Kippstufe übernommen wird. Es wird durch einen Taktimpuls gesteuert und speichert die während eines Taktimpulses aufgenommene Information bis zum nächsten Taktimpuls, wo es sich erneut nach seinem Eingang einstellt.

JK-Flipflop

Das JK-Flipflop hat mit J und K bezeichnete Vorbereitungseingänge, die mit Hilfe des Taktes die Ausgangslage Q bestimmen.

Bei $J = L$ und $K = L$ bleibt Ausgang Q in seiner ursprünglichen Lage. Ist die Eingangssituation $J = H$ und $K = H$, schaltet das Flipflop jeweils in den anderen logischen Zustand. (Funktion des binären Teilers.) Bei $J = L$ und $K = H$ schaltet Q definiert auf L, umgekehrt schaltet bei $J = H$ und $K = L$ Ausgang Q auf H.

Die meisten JK-Master-Slave-Flipflop haben noch zusätzliche \bar{R} - und \bar{S} -Eingänge, mit denen die Flipflop taktunabhängig betrieben werden können. Damit wurde die Möglichkeit einer Vor-einstellbarkeit der Ausgänge geschaffen. \bar{R} und \bar{S} deuten an, daß die Flipflop mit L-Potential gesetzt oder rückgesetzt werden.

In nachfolgender Tabelle ist die Funktion der verschiedenen Flipflop-Typen nochmals zusammengefaßt:

Funktionstabelle für Flipflop

Eingänge		Ausgang Q	
D oder J	K	D-Flipflop	JK-Flipflop
L	L	L	Q_n
L	H		L
H	L	H	H
H	H		\bar{Q}_n
t_n		t_{n+1}	

Funktionstabelle für die \bar{R} - und \bar{S} -Eingänge der Flipflop

\bar{R}	\bar{S}	Q	\bar{Q}
L	H	L	H
H	L	H	L
L	L	undefiniert	
H	H	Q_n	\bar{Q}_n

t_n = Zeitpunkt vor dem Taktimpuls

t_{n+1} = Zeitpunkt nach dem Taktimpuls

Allgemeine Angaben

1.5 Angaben zur Qualität

Um die Lieferqualität zu kennzeichnen wird folgendes angegeben:

1. **Grenzdaten sowie Streugrenzen der Kenndaten**

2. **Stichprobenvereinbarung, AQL-Werte** (annehmbare Qualitätsgrenzlage)

Ein Lieferlos, dessen prozentualer Fehleranteil bei einer Kenngröße gleich oder kleiner dem dafür angegebenen AQL-Wert ist, wird bezüglich dieser Kenngröße bei der betreffenden Stichprobenprüfung mit hoher Wahrscheinlichkeit (meist >90%) angenommen.

Der prozentuale durchschnittliche Fehleranteil ausgelieferter Ware liegt im allgemeinen unter dem AQL-Wert.

3. **Fehlerklasse, Fehlerarten**

Ein Fehler liegt vor, wenn ein Bauelementemerkmal nicht den Datenblattangaben entspricht. Die Fehler werden nach ihrer Folgeschwere in die Fehlerklassen „Hauptfehler und Nebenfehler“, sowie nach ihrer Fehlerart in mechanische und elektrische Fehler eingeteilt. Für verschiedene Fehlerklassen gelten, wenn nicht anders vereinbart, die in Abschnitt 4 zusammengestellten AQL-Werte. Als Grundlage für die Attributprüfung dienen die identischen Stichprobenpläne DIN 40080 (oder) ABC-STD 105.

Für jede Fehlerklasse, für die ein AQL-Wert festgelegt ist, wird nur die Anzahl der fehlerhaften Einheiten (mit je einer oder mehreren fehlerhaften Kenngrößen) in dieser Fehlerklasse gewertet.

3.1 **Einteilung in Fehlerklassen**

Je nach dem wahrscheinlichen Einfluß des Fehlers auf die Anwenderschaltung werden Fehler eingeteilt in die

3.1.1 Klasse der **Hauptfehler**

bei Vorliegen eines solchen Fehlers ist voraussichtlich die Brauchbarkeit für den vorgesehenen Zweck stark beeinträchtigt.

3.1.2 Klasse der **Nebenfehler**,

bei Vorliegen eines solchen Fehlers ist voraussichtlich die Brauchbarkeit für den vorgesehenen Einsatz nur geringfügig beeinträchtigt.

3.2 **Einteilung nach Fehlerart**

Es werden unterschieden:

3.2.1 Fehler in **mechanischen Eigenschaften** (Gehäuse und Zuleitungen)

3.2.2 Fehler in **elektrischen Eigenschaften**

Allgemeine Angaben

Beispiele:

Hauptfehler, mechanische Eigenschaften

Anschlüsse bzw. Gehäusebruch, fehlende Kennzeichnung, falsches Gehäuse, grobe Risse, Lunker im Gehäuse, schwere Oberflächenfehler, Anschlüsse nicht lötfähig.

Nebenfehler, mechanische Eigenschaften

Geringfügige Schäden auf der Gehäuseoberfläche, schlecht lesbare Typenkennzeichnung, verbogene Anschlüsse, falsche Abmessungen.

Hauptfehler, elektrische Eigenschaften

Keine oder fehlerhafte Funktion, Kontaktunterbrechung, Kurzschluß, Kenngrößenabweichung größer 50%.

Nebenfehler, elektrischer Eigenschaften

Geringfügige Abweichung bei Spannungen, Ströme, Abweichungen bei dynamischen Kenngrößen, sofern diese nicht besondere Bedeutung für die Anwendung haben.

4. AQL-Tabelle für digitale integrierte Schaltungen

Fehlerart und Fehlerklasse	AQL-Werte
bipolare Schaltungen	
mechanische Fehler	Summe Haupt- und Nebenfehler Hauptfehler
	0,65 0,25
elektrische Fehler	Summe Haupt- und Nebenfehler Hauptfehler
	0,65 0,15
MOS-Schaltungen	
mechanische Fehler	Summe Haupt- und Nebenfehler Hauptfehler
	0,65 0,25
elektrische Fehler	Summe Haupt- und Nebenfehler Hauptfehler
	1,50 0,40
Schaltzeiten	ECL-Technik LSL-Technik
	0,65 1,50

Prüfplan nach DIN 40 080 bzw. ABC-STD 105 D, Niveau II

Eingangsprüfung

Die vom Hersteller durchgeführten Prüfungen sollen kostspielige Eingangsprüfungen beim Anwender unnötig machen. Will der Anwender dennoch eine Eingangsprüfung vornehmen so wird die Verwendung eines Stichprobenplanes nach Abschnitt 5 empfohlen. Die angewandte Prüftechnik muß dabei zwischen Kunden und Lieferanten abgestimmt sein.

Für die Beurteilung etwaiger Reklamationen sind folgende Angaben erforderlich:

Prüfschaltung, Stichprobengröße, gefundene Anzahl fehlerhafter Elemente, Belegmuster, Nummer des Packzettels.

Allgemeine Angaben

5. Stichprobenplan für normale Inspektion nach DIN 40080 oder ABC-Std 105 D, Inspektionsniveau II

Losgröße	Stich- proben- größe	AQL-Wert											
		0.065	0.10	0.15	0.25	0.40	0.65	1.0	1.5	2.5	4.0	6.5	
		A R	A R	A R	A R	A R	A R	A R	A R	A R	A R	A R	
2 bis	8	2	↓	↓	↓	↓	↓	↓	↓	↓	↓	0 1	
9 bis	15	3	↓	↓	↓	↓	↓	↓	↓	↓	0 1	↑	
16 bis	25	5	↓	↓	↓	↓	↓	↓	↓	0 1	↑	↑	
26 bis	50	8	↓	↓	↓	↓	↓	↓	0 1	↑	↓	1 2	
51 bis	90	13	↓	↓	↓	↓	↓	0 1	↑	↑	↓	1 2	
91 bis	150	20	↓	↓	↓	↓	↓	0 1	↑	↑	1 2	2 3	
151 bis	280	32	↓	↓	↓	↓	0 1	↑	↓	1 2	2 3	3 4	
281 bis	500	50	↓	↓	↓	0 1	↑	↑	↓	1 2	2 3	3 4	
501 bis	1200	80	↓	↓	1	↑	↓	1 2	2 3	3 4	5 6	7 8	
1201 bis	3200	125	↓	0 1	↑	↓	1 2	2 3	3 4	5 6	7 8	10 11	
3200 bis	10000	200	0 1	↑	↓	1 2	2 3	3 4	5 6	7 8	10 11	14 15	
10001 bis	35000	315	↑	↓	1 2	2 3	3 4	5 6	7 8	10 11	14 15	21 22	
35001 –	150000	500	↓	1 2	2 3	3 4	5 6	7 8	10 11	14 15	21 22	↑	
150001 –	500000	800	1 2	2 3	3 4	5 6	7 8	10 11	14 15	21 22	↑	↑	
500001 und mehr	1250	2 3	3 4	5 6	7 8	10 11	14 15	21 22	↑	↑	↑	↑	

A = Annahmezahl; das ist die maximale Anzahl der fehlerhaften Einheiten in der Stichprobe, bis zu der ein Los angenommen wird.

R = Rückweizezahl; das ist die Anzahl fehlerhafter Einheiten, die in der Stichprobe mindestens erreicht wurde, wenn das Los zurückgegeben wird.

Zusatzbedingung:

Da die Aussagekraft bei Annahme 0 und Rückweisung 1 gering ist, soll die nächstgrößere Stichprobe entnommen werden.

Allgemeine Angaben

1.6 Alphabetische Zusammenstellung der verwendeten Kurzzeichen

b	Impulsdauer
B	Stromverstärkung
B	Bandbreite
C	Kapazität
C_1	Eingangskapazität
C_ϕ	Eingangskapazität des Takteingangs
C_O	Lastkapazität am Ausgang
DI	Daten-Eingang
DO	Daten-Ausgang
F	Freigabe
F_1	Eingangslastfaktor
F_O	Ausgangslastfaktor
F_{OH}	H-Ausgangslastfaktor
F_{OL}	L-Ausgangslastfaktor
f_G	Grenzfrequenz
f_e	Eingangsfrequenz
f_1	Eingangsfrequenz
f_ϕ	Taktfrequenz
f_z	maximale Zährefrequenz
I_{DD}	Drain-Speisestrom
I_{GG}	Gate-Speisestrom
I_{ges}	Gesamtstromaufnahme
I_1	Eingangsstrom
I_{IH}	H-Eingangsstrom
I_{IL}	L-Eingangsstrom
I_{N1}, I_{N2}	Eingangsstrom im Knotenpunkt N
I	Eingang
I_1	Eingang 1
I_2	Eingang 2
I_O	Ausgangsperrstrom
I_O	Kurzschlußausgangsstrom
I_{OH}	H-Ausgangsstrom
I_{OL}	L-Ausgangsstrom
I_{SH}	H-Speisestrom
I_{SL}	L-Speisestrom
O_s	Masse, Erde
P	Leistungsverbrauch
P_b	Leerlaufleistungsverbrauch
P_{tot}	Gesamtverlustleistung
P_O	Ausgangsleistung
ϕ	Takteingang
\underline{Q}	Ausgang
\overline{Q}	Ausgang, invertiert

Allgemeine Angaben

R	Widerstand
R_G	Generatorwiderstand
R_I	Eingangswiderstand
R_K	Kollektorarbeitswiderstand
R_L	Lastwiderstand
R_p	Abgleichwiderstand
R_{thSG}	Wärmewiderstand (System – Gehäuse)
R_{thSU}	Wärmewiderstand (System – Luft)
R_{OH}	H-Ausgangswiderstand
R_{OL}	L-Ausgangswiderstand
R_Q	Lastwiderstand am Ausgang
R_ϕ	Eingangswiderstand des Takteingangs
T_U	Betriebstemperatur
T_s	Lagertemperatur
T_G	Gehäusetemperatur
T_j	Sperrschichttemperatur
t_d	Impulsverzögerung
t_H	Haltezeit
t_i	Eingangsimpulsdauer
t_n	Zeitpunkt vor dem Taktimpuls
$t_n + 1$	Zeitpunkt nach dem Taktimpuls
t_P	mittlere Signal-Laufzeit
t_{PHL}	Signal-Laufzeit (von H nach L)
$t_{PHLR,S}$	Signal-Laufzeit (Stell-Rückstelleingang)
t_{PHLT}	Signal-Laufzeit (Takteingang)
t_{PD}	Paarlaufzeit
t_{pR}	Rückstellimpulsdauer
$t_{PR,S}$	mittlere Signal-Laufzeit (Stell-Rückstelleingang)
t_{pS}	Stellimpulsdauer
t_{PT}	mittlere Signal-Laufzeit (Takteingang)
t_{pT}	Taktimpulsdauer
t_{pZ}	Zählimpulsdauer
t_T	Übergangszeit (transmission time $\left\{ \begin{array}{l} t_r \text{ rise time} \\ t_f \text{ fall time} \end{array} \right.$)
t_t	Totzeit
t_Q	Ausgangsimpulsdauer
t_{HL}	Signal-Übergangszeit (von H nach L)
t_{LH}	Signal-Übergangszeit (von L nach H)
$t_{HL,Q}$	Signalübergangszeit HL des Ausgangssignals
$t_{LH,Q}$	Signalübergangszeit LH des Ausgangssignals
$t_{D,HL,Q}$	Verzögerungszeit der HL-Flanke des Ausgangssignals
$t_{D,LH,Q}$	Verzögerungszeit der LH-Flanke des Ausgangssignals
$t_{D,LH}$	Verzögerungszeit

Allgemeine Angaben

t_V	Vorbereitungszeit
t_{VH}	H-Vorbereitungszeit
t_{VHI}	H-Vorbereitungszeit, Schiebetak links
t_{VHr}	H-Vorbereitungszeit, Schiebetak rechts
t_{VL}	L-Vorbereitungszeit
t_{VLI}	L-Vorbereitungszeit, Schiebetak links
t_{Vlr}	L-Vorbereitungszeit, Schiebetak rechts
$t_{WH} \phi$	H-Impulsbreite des Taktsignals
$t_{WL} \phi$	L-Impulsbreite des Taktsignals
$t_T HL \phi$	Signal-Übergangszeit HL des Taktsignals
$t_T LH \phi$	Signal-Übergangszeit LH des Taktsignals
$t_D HL \phi$	Verzögerungszeit der HL-Flanke des Taktsignals
$t_D LH \phi$	Verzögerungszeit der LH-Flanke des Taktsignals
$t_{WH I}$	Impulsbreite des Eingangssignals
$t_{WL I}$	Impulspause des Eingangssignals
$t_T HL I$	HL-Übergangszeit des Eingangssignals
$t_T LH I$	LH-Übergangszeit des Eingangssignals
$t_{WH Q}$	Impulsbreite des Ausgangssignals
t_W	Impulsbreite (pulse width)
U	Spannung, allgemein
U_S	Speisespannung
U_{ss}	statische Störsicherheit
U_{SS}	Substrat-Speisespannung
U_{DD}	Drain-Speisespannung
U_{GG}	Gate-Speisespannung
U_{IH}	H-Eingangsspannung am Informationseingang
U_{IL}	L-Eingangsspannung am Informationseingang
U_{QH}	H-Ausgangsspannung
U_{QL}	Komplement zur Ausgangsspannung U_{QH}
U_{QL}	L-Ausgangsspannung
U_{QL}	Komplement zur Ausgangsspannung U_{QL}
$U_{\phi H}$	H-Eingangsspannung am Takteingang
$U_{\phi L}$	L-Eingangsspannung am Takteingang
U_{BE}	Basis-Emitter-Spannung
U_{DE}	Differenz-Eingangsspannung
U_{eG}	Eingangsgleichtaktspannung
U_{St}	Störspannung
U_F	Funktionsbereich
U_I	Eingangsspannung am Informationseingang
U_R	Rückstellspannung
Z_I	Eingangsimpedanz
Z_Q	Ausgangsimpedanz
α	Temperaturkoeffizient

LSL-Serie



Die langsame störsichere Logikserie FZ 100

FZ 100 ist eine Serie langsamer störsicherer Logikbausteine in monolithisch integrierter Halbleitertechnik. Durch Verwendung einer Zenerdiode im Eingang und durch Vergrößerung der Kollektorkapazität des Eingangstransistors erreicht man zusammen mit einer hohen Speisespannung von $U_S = 12\text{ V}$ bzw. 15 V ein gutes statisches und dynamisches Störverhalten der integrierten Schaltungen. Die Schaltzeiten sind mit einem Zusatzkondensator einstellbar. Dies bringt eine Erhöhung der dynamischen Störsicherheit. Die Serie FZ 100 ist somit besonders für den Einsatz bei stark störgefährdetem Betrieb geeignet, wenn es weniger auf hohe Schaltgeschwindigkeit als auf große Störsicherheit ankommt.

1. Störsicherheit

1.1 Statische Störsicherheit

Die statische Störsicherheit charakterisiert das Verhalten gegenüber Störungen, die länger als die mittlere Schaltverzögerungszeit einwirken. Sie gibt den zulässigen Spannungshub an, der den logischen Zustand eines Schaltgliedes noch nicht verändert. Anhand der Übertragungskennlinie (Bild 5) lassen sich die typischen Werte der statischen Störsicherheit U_{ss} ermitteln.

Für den L-Zustand ergibt sich:

$$\text{bei } U_S = 12\text{ V: } U_{ssL} = U_{S1} - U_{IL} = 5,9 - 0,9 = 5,0\text{ V}$$

$$\text{bei } U_S = 15\text{ V: } U_{ssL} = U_{S2} - U_{IL} = 5,6 - 0,9 = 4,7\text{ V}$$

und für den H-Zustand:

$$\text{bei } U_S = 12\text{ V: } U_{ssH} = U_{QH} - U_{S1} = 11,3 - 5,9 = 5,4\text{ V}$$

$$\text{bei } U_S = 15\text{ V: } U_{ssH} = U_{QH} - U_{S2} = 14,3 - 5,6 = 8,7\text{ V}$$

Unter Eckbedingungen (worst case) ergibt sich der garantierte Störabstand:

$$U_{ssL} = U_{IL} - U_{QL} = 4,5 - 1,7 = 2,8\text{ V bei } U_S = 12\text{ und } 15\text{ V}$$

$$U_{ssH} = U_{QH} - U_{IH} = 10 - 7,5 = 2,5\text{ V bei } U_S = 12\text{ V und}$$

$$U_{ssH} = U_{QH} - U_{IH} = 12 - 7,5 = 4,5\text{ V bei } U_S = 15\text{ V}$$

1.2 Dynamische Störsicherheit

Die dynamische Störsicherheit kennzeichnet das Verhalten eines Schaltgliedes gegenüber Störimpulsen, deren Dauer kurz ist im Vergleich zu der mittleren Schaltverzögerungszeit. Dabei ist die eingekoppelte Störenergie – Impulsdauer und Impulsamplitude – ausschlaggebend, ob der logische Zustand verändert wird.

Die für die Praxis wichtigsten Kriterien für die dynamische Störsicherheit sind die Eingangsempfindlichkeit und die Empfindlichkeit gegen kapazitive Störeinkopplung auf Signalleitungen, die durch Übersprechen (systemeigene Störung) oder von außen (systemfremde Störung) erfolgen kann. Der typische Wert der zulässigen Störkapazität bei systemeigenen Übersprechstörungen ist etwa $1,6\text{ nF}$. Damit ist die Eigenstörsicherheit der LSL so groß, daß für ein System üblicher Größenordnung nur Fremdstörer von Bedeutung sind.

Die Bilder zeigen jeweils die Störsicherheit der Transistor-Transistor-Logik TTL, der kompletteren MOS-Logik CMOS und der langsamen störsicheren Logik LSL.

1.2.1 Eingangsempfindlichkeit

Die zulässige Dauer und Amplitude eines Störimpulses am Eingang hängen von der mittleren Signal-Laufzeit t_P des Schaltgliedes ab. Bei Störimpulsen mit Impulslängen $b < \frac{1}{2} t_P$ darf die Impulsamplitude größer sein als der statische Störabstand. Bei $b > t_P$ darf die Impulsamplitude den statischen Störabstand nicht überschreiten, t_P kann jedoch durch die Integrierkapazität C_N vergrößert werden.

Die Bilder 1 und 2 zeigen die Eingangsempfindlichkeit gegen Störspannungsspitzen für NAND-Glieder mit und ohne Integrierkapazität C_N . Aufgetragen ist die typisch zulässige Störspannung $U_{Stör}$ in Abhängigkeit von der Impulsbreite b des Störimpulses. Der kritischere Fall ist dabei, wenn ein am Eingang anliegendes L-Signal gestört wird, da die fallende Ausgangsflanke steiler ist als die steigende. Die Länge des zulässigen Störimpulses ist also kleiner als bei Störung des H-Signals.

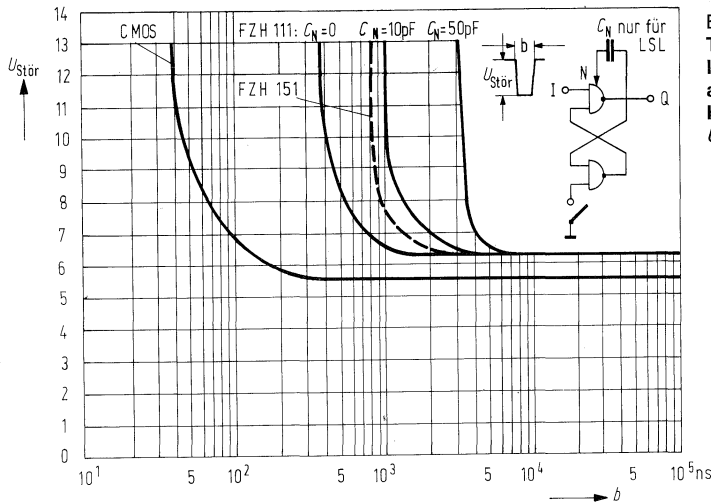


Bild 1
Typische Grenzkurven der Störungen am Eingang im H-Zustand
 $U_{Stör} = f(b_{Stör})$

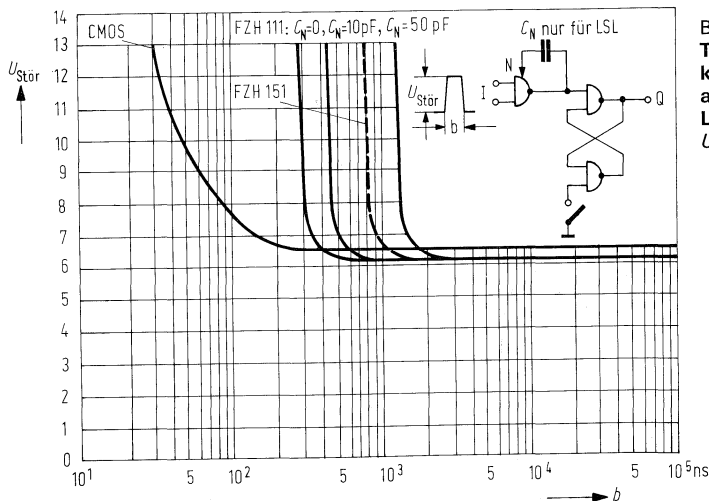


Bild 2
Typische Grenzkurven der Störungen am Eingang im L-Zustand
 $U_{Stör} = f(b_{Stör})$

1.2.2 Kapazitive Störeinkopplung

Bei kapazitiven Einkopplungen von Störungen haben die LSL-Bausteine den Vorteil eines niederohmigen Gegentaktausgangs, der im Zustand L etwa $20\ \Omega$ und im Zustand H etwa $400\ \Omega$ aufweist. Daraus ergibt sich eine kleine Zeitkonstante, die ein rasches Abklingen der Störimpulse bewirkt. Die Bilder 3 und 4 zeigen die Empfindlichkeit des L- und H-Zustandes gegen kapazitive Störeinkopplung für NAND-Glieder mit und ohne Integrierkapazität C_N . Aufgetragen wurde die typisch zulässige Störspannung $U_{Stör}$ in Abhängigkeit von der Koppelkapazität $C_{Stör}$. Der ungünstigere Fall ist hier bei Störung des H-Signals gegeben, da der Gatterausgang im H-Zustand einen höheren Innenwiderstand hat. Gestört wurde mit einer Impulsflanke von 1 ns aus einer Quelle mit etwa $1\ \Omega$ Innenwiderstand.

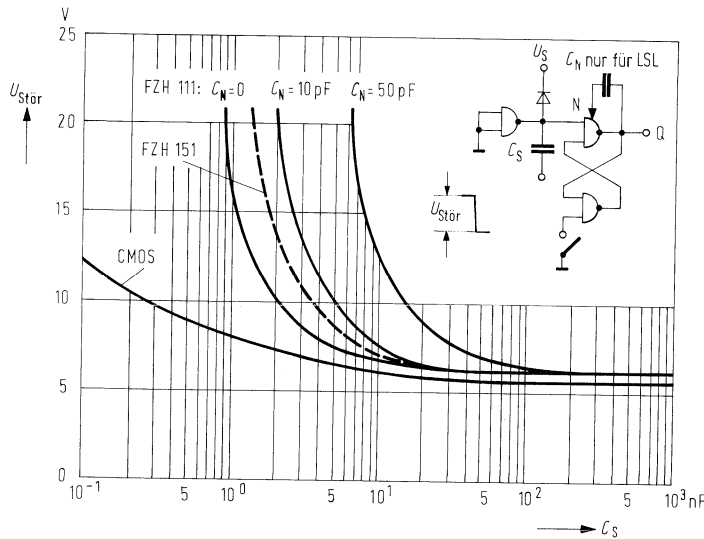


Bild 3
Typische Grenzkurven
der dynamischen
Störsicherheit des
H-Zustands bei
kapazitiver
Störeinkopplung
 $U_{Stör} = f(C_{Stör})$ bei 12 V

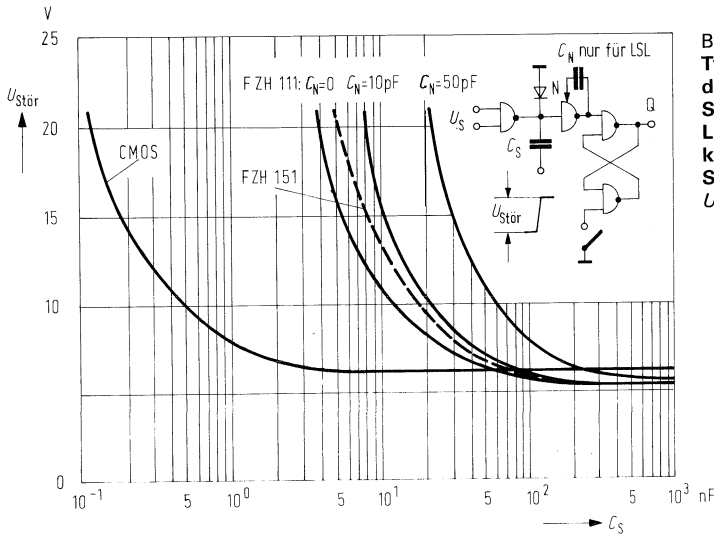


Bild 4
**Typische Grenzkurve
 der dynamischen
 Störsicherheit des
 L-Zustands bei
 kapazitiver
 Störeinkopplung**
 $U_{Stör} = f(C_{Stör})$ bei 12 V

1.3 Zerstörungsenergie

Die zulässige Energiemenge an jedem Anschluß eines LSL-Bausteins, ohne daß dieser zerstört wird, beträgt typisch 1 mWs pro Baustein. Ein geeigneter Schutz ist mit Hilfe von 2 Dioden jeweils nach Erde und Versorgungsspannung oder 1 Z-Diode und einem Serienwiderstand möglich. Für spezielle zerstörungsgefährdete Anwendungen eignet sich der Baustein FZH 301/5.

2. Statische Daten

2.1 Grenzdaten

Grenzdaten sind absolute Grenzwerte bei deren Überschreitung auch nur eines Wertes die integrierte Schaltung zerstört werden kann. Grenzdaten gelten bei $T_U = 25\text{ °C}$, wenn nicht anders angegeben.

2.2 Kenndaten

Typische Kenndaten sind statistisch erfaßte Mittelwerte, die durch Angabe eines garantierten Streubereiches ergänzt werden (worst case). Sie gelten bei der Versorgungsspannung $U_S = 12\text{ V}$ bzw. 15 V und bei der Umgebungstemperatur $T_U = 25\text{ °C}$, wenn nicht anders angegeben.

2.3 Charakteristische Kennlinien

2.3.1 Übertragungskennlinie

Bild 5 zeigt die Übertragungskennlinie $U_O = f(U_I)$ von Schaltgliedern bei Speisespannung U_S von 12 V und 15 V . Sie hängt nur wenig von der Ausgangsbelastung ab. Unterschiedliche Ausgangsfächer bei L und H ermöglichen es, nicht verwendete Eingänge parallel zu schalten, um Störeinkopplungen zu vermeiden. Parallel geschaltete Eingänge belasten den Ausgang zusätzlich nur im H-Zustand mit dem Diodenstrom.

Damit die Schaltglieder sicher umschalten, muß das Eingangssignal einen bestimmten Spannungspegel (Schwellenwert) erreichen. Dieser Schwellenwert ergibt sich graphisch im Schnittpunkt der Übertragungskennlinie mit der Geraden $U_I = U_O$.

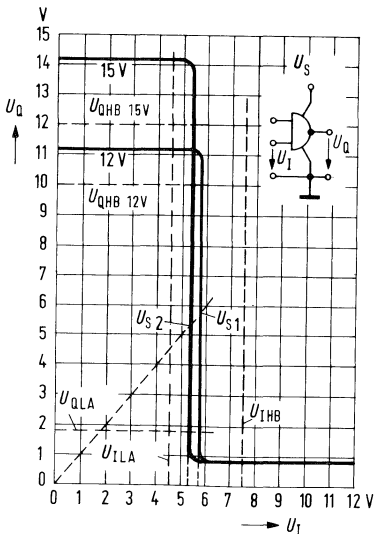


Bild 5 Typische Übertragungskennlinie eines Schaltgliedes
 $U_O = f(U_I)$ bei $U_S = 12$ und 15 V

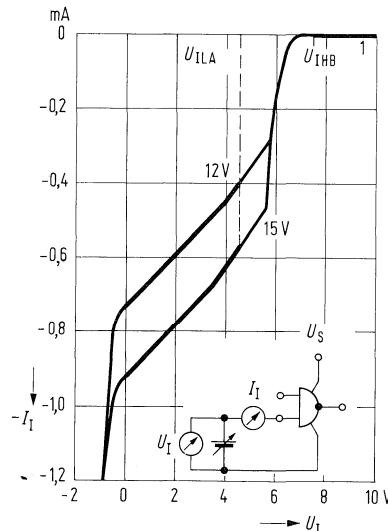


Bild 6 Typische Eingangskennlinie
 $I_I = f(U_I)$ bei $U_S = 12$ und 15 V

2.3 Eingangskennlinie

Bild 6 zeigt die Eingangskennlinie $I_I = f(U_I)$ für die beiden Speisespannungen $U_S = 12\text{ V}$ bzw. 15 V . Sie lassen sich in 3 Bereiche unterteilen:

1. Bei H fließt ein kleiner Eingangssperrestrom (ca. $1\ \mu\text{A}$) in den Eingang hinein. Die Durchbruchspannung der Dioden ist $>18\text{ V}$ bzw. $>30\text{ V}$ bei den B- und S-Typen und darf nicht überschritten werden.
2. Bei L fließt der Eingangsstrom aus dem Eingang heraus.
3. Bei negativen Eingangsspannungen öffnen die Substratdioden am Eingang, so daß der Eingangsstrom stark ansteigt. Da für die verschiedenen Bausteine unterschiedliche maximal zulässige negative Werte gelten, werden sie im einzelnen unter den Grenzdaten aufgeführt.

Die Eingangskennlinien sind unabhängig von der Ausgangsbelastung, da keine Rückwirkung auf den Eingang besteht. Für den TTL-LSL-Pegelumsetzer FZH 181 gelten die bekannten TTL-Eingangskennlinien.

2.3.3 Ausgangskennlinien

Bild 7 zeigt die Ausgangskennlinie $U_{OL} = f(I_{OL})$ im L-Zustand für Normalausgänge und Leistungsausgänge bei den Spannungen $U_S = 12\text{ V}$ und 15 V . Der Strom I_{OL} fließt in das Schaltglied hinein.

Aus dieser typischen Kennlinie ist zu entnehmen, daß der Ausgangsstrom den im Datenblatt bei der Grenzspannung $U_{OL} = 1,7\text{ V}$ angegebenen Laststrom $I_{OL} = 15$ bzw. 18 mA bei $F_Q = 10$ überschreiten darf. Es muß jedoch darauf geachtet werden, daß die Gesamtverlustleistung von 500 mW pro Gehäuse nicht überschritten wird.

Die Bilder 8 und 8 a zeigen die Ausgangskennlinien im H-Zustand $U_{OH} = f(I_{QH})$. Der Strom I_Q fließt dabei aus dem Schaltglied heraus. Ein gleichzeitiger Kurzschluß mehrerer Ausgänge eines Bausteines ist unzulässig. Die maximale Kurzschlußdauer beträgt 1 Sekunde für Bausteine ohne Kurzschlußsicherung. Bei Bausteinen mit Kurzschlußsicherung ist ein Dauerkurzschluß nicht zulässig. Eine Überlastung der Bausteine ist damit sicher vermieden.

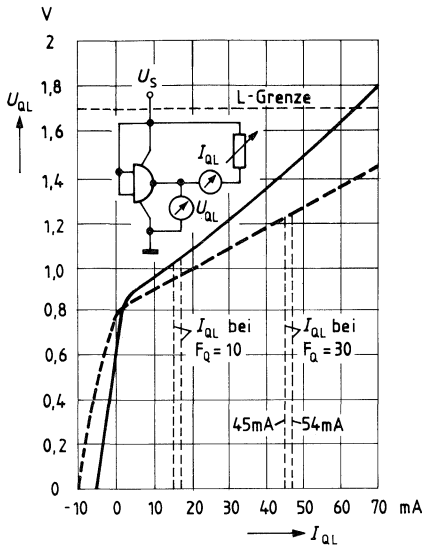


Bild 7
Typische Ausgangskennlinie
des L-Pegels
 $U_{QL} = f(I_{QL})$ bei $U_S = 12$ und 15 V
 - - - = FZH 141/5

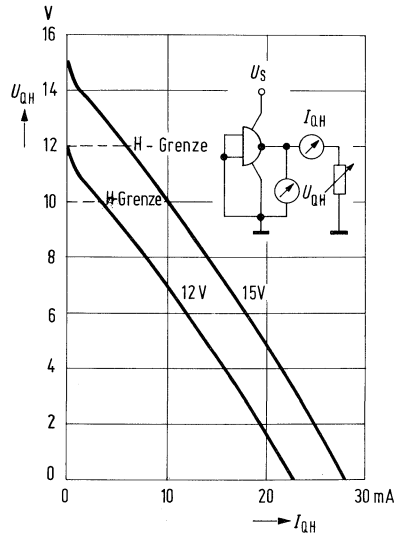


Bild 8
Typische Ausgangskennlinie
des H-Pegels
 $U_{QH} = f(I_{QH})$ bei $U_S = 12$ und 15 V

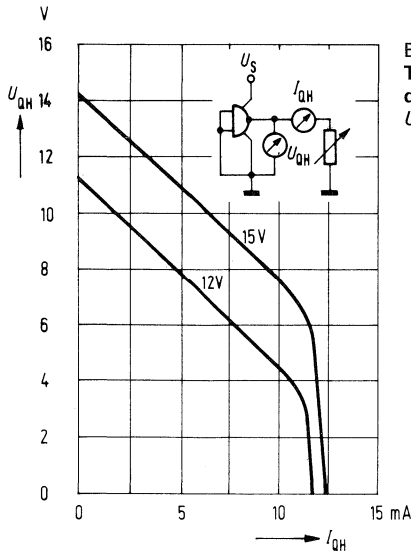


Bild 8a
Typische Ausgangskennlinie
des H-Pegels
 $U_{QH} = f(I_{QH})$ bei $U_S = 12$ und 15 V

Bild 8
 gilt für:

- FZH 121/125
- FZH 131/135
- FZH 141/145
- FZH 171/175
- FZJ 101/105
- FZJ 111/115

Bild 8a
 gilt für:

- FZH 101/105 A
- FZH 111/115 A
- FZH 191/195
- FZH 201/205
- FZJ 121/125
- FZJ 131/135
- FZJ 141/145 A
- FZJ 151/155 A
- FZJ 161/165

2.4 Logische Daten

2.4.1 Eingangslastfaktor

Der Eingangslastfaktor definiert die von einem Eingang im H-Zustand sowie im L-Zustand benötigten Ströme. Der obere Grenzwert des H-Eingangstromes pro Eingang ist $I_{IH} = 1 \mu\text{A}$. Die obere Grenze L-Eingangstrom pro Eingang ist $I_{IL} = -1,5 \text{ mA}$ bei $U_S = 12 \text{ V}$ und $-1,8 \text{ mA}$ bei $U_S = 15 \text{ V}$. Diese Werte ergeben den normalen Lastfaktor $F_1 = 1$. Sie gelten innerhalb des gesamten Temperaturbereiches.

$F_1 = 2$, bedeutet zum Beispiel einen L-Eingang von $-I_{IL} = 2 \times 1,5 = 3 \text{ mA}$ bei $U_S = 12 \text{ V}$ und $-I_{IL} = 2 \times 1,8 = 3,6 \text{ mA}$ bei $U_S = 15 \text{ V}$ und einem H-Eingang von $I_{IH} = 2 \times 1 = 2 \mu\text{A}$.

2.4.2 Ausgangslastfaktor

Der Ausgangslastfaktor bestimmt wie viele Lasten mit $F_1=1$ durch einen Ausgang betrieben werden können. Der H-Ausgangsfaktor ist höher als der L-Ausgangslastfaktor. Dadurch ist es möglich unbenutzte Eingänge parallel zu schalten ohne eine zusätzliche Last zu berechnen.

3. Beschreibung der dynamischen Daten

3.1 Lastkapazität

Bild 9 zeigt den Einfluß kapazitiver Lasten auf die Schaltzeiten. Aufgrund der niederohmigen Ausgangswiderstände in beiden logischen Zuständen sind die Schaltzeiten weitgehend unabhängig von Lastkapazitäten. Dadurch ist es möglich, Schaltglieder über lange Leitungen, die im wesentlichen eine kapazitive Last darstellen, zu verbinden. Die Schaltzeiten bleiben in weitem Bereich unverändert.

Bild 9a zeigt die zulässige Lastkapazität bei Normalausgängen.

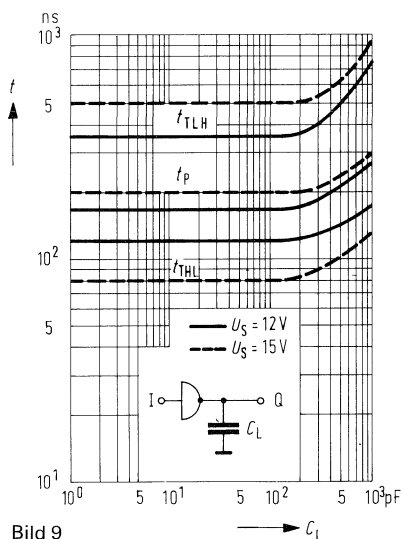


Bild 9
Typische Schaltparameter als Funktion der Lastkapazität $t = f(C_L)$
 t_T = Übergangszeit, t_p = Verzögerungszeit

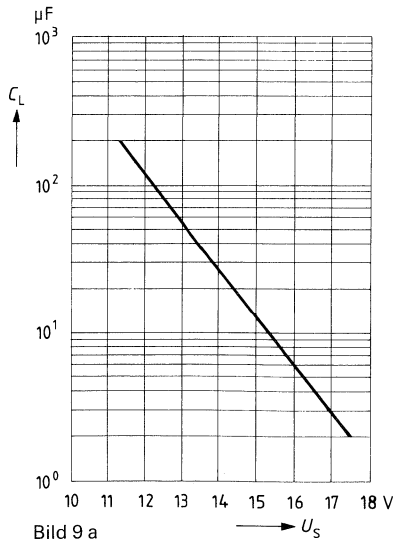


Bild 9 a
Zulässige Lastkapazität
 $C_L = f(U_S)$

3.2 Verzögerungskapazität

Durch die besondere Geometrie des Eingangstransistors der LSL-Bausteine ist die Kollektorkapazität groß. Dies ergibt lange Schaltzeiten und damit eine hohe dynamische Störsicherheit. Bei den Bausteinen mit N-Anschluß ist es möglich, mit einer Integrierkapazität C_N die Schaltzeiten zu verlängern und somit die dynamische Störsicherheit noch zu erhöhen. Bei Schaltgliedern wird der Kondensator zwischen Ausgang Q und N-Anschluß geschaltet. Bei den Flipflops FZJ 101/105 legt man ihn zwischen die Ausgänge Q, \bar{Q} und die Anschlüsse N_O , $N_{\bar{O}}$; bei FZJ 111/115 können zusätzlich die Anschlüsse N_J und N_K mit einem Kondensator beschaltet werden. Die Integrierkapazität C_N kann beliebig große Werte annehmen.

C_N muß bei den Bausteinen FZK 101/105, FZJ 141/145 A, FZJ 151/155 A und FZJ 161/165 mit den N-Anschlüssen und Masse O_S verbunden werden. Die obere Grenze für C_N ist 500 pF für den FZK 101/105 und 1 nF für die übrigen Bausteine.

Bild 10 zeigt die typischen Schaltparameter als Funktion der Kapazität C_N für Schaltglieder bei Speisenspannungen $U_S = 12\text{ V}$ und 15 V .

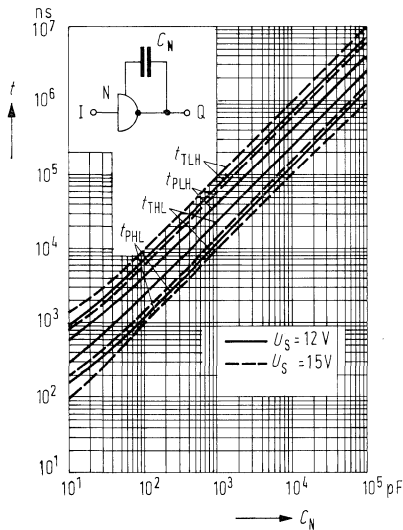


Bild 10
**Typische Schaltparameter für Schaltglieder
 als Funktion der Integrierkapazität**

$t = f(C_N)$, $t_T =$ Übergangszeit, $t_P =$ Verzögerungszeit

Bild 11 und 12 zeigen die typischen Schaltparameter für Kippstufen zwischen Takteingang T und Ausgang Q und Rückstelleingang \bar{R} und Q als Funktion der Integrierkapazität C_N bei den Speisepennungen $U_S = 12\text{ V}$ und 15 V .

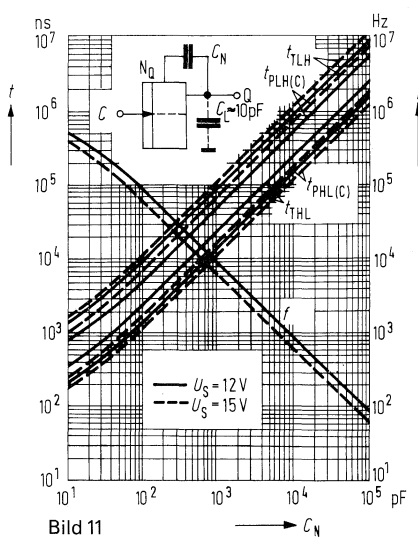


Bild 11

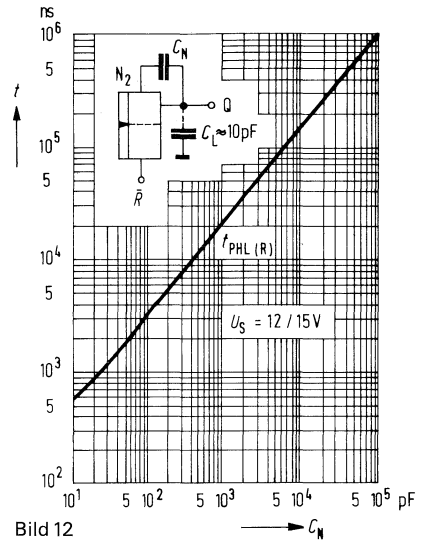


Bild 12

Bild 11 und 12

Typische Schaltparameter von Kippstufen als Funktion der Integrierkapazität $t = f(C_N)$

t_r = Übergangszeit, t_p = Verzögerungszeit.

Die Kurven beziehen sich nur auf den Q-Ausgang. Gleiche Resultate ergeben sich für Messungen zwischen T und Ausgang \bar{Q} und dem Stelleingang \bar{S} und \bar{Q} . Die maximale Taktfrequenz f kann direkt von den Schaltparametern entsprechend Bild 11 abgeleitet werden. Die Integrierkapazität bestimmt das Impuls-Pausen-Verhältnis des Taktes. Die Taktimpulsdauer $t_{pH(C)}$ hängt von der Kapazität am Masterteil ab, während die Taktimpulsdauer $t_{pL(C)}$ durch die Kapazität am Slaveteil bestimmt ist. Das zugehörige Diagramm zeigt Bild 13.

Das gültige Impuls-Pausen-Verhältnis ergibt sich aus der Formel:

$$t_p = t_{pL(C)} + t_{pH(C)}$$

Da keine Integrierkapazität am Masterteil des FZJ101/105 vorgesehen ist, muß der Minimalwert der Taktimpulsdauer eingesetzt werden.

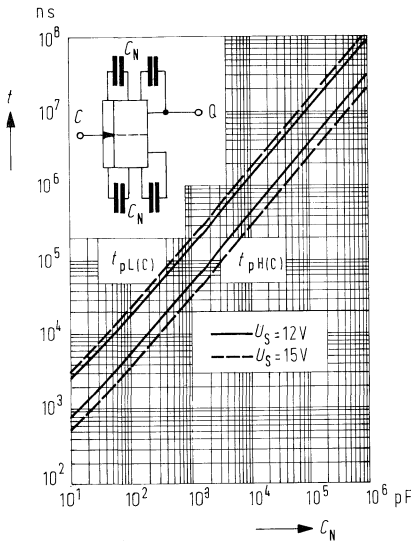


Bild 13
Typisches Impuls-Pausen-Verhältnis
des Taktes als Funktion der
Integrierkapazität $t_p = f(C_N)$.

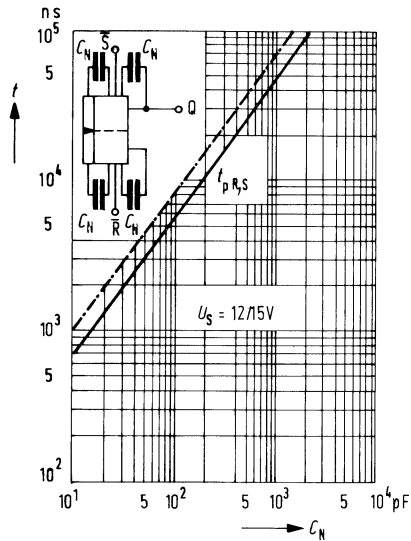


Bild 14
Typische (—) und minimale (---)
Stellimpuls- und Rückstellimpulsdauer als
Funktion der Integrierkapazität $t_p = f(C_N)$

Bild 14 zeigt die erforderliche Zunahme der Stell- und Rückstellimpulsdauer als Funktion der Integrierkapazität C_N bei den Speisespannungen $U_S = 12\text{ V}$ und 15 V . Da keine Integrierkapazität am Material des FZJ101/105 vorgesehen ist, gilt das Diagramm nur für $T = H$, wenn Master- und Slaveteil getrennt sind.

3.3 Schaltzeiten

Die Signal-Laufzeit t_{PLH} gibt die Impulsverzögerung zwischen Eingangs- und Ausgangsspannung an, wenn Ausgang von L auf H-Signal geht. Entsprechendes gilt für die Signal-Laufzeit t_{PHL} , bei der der Ausgang von H auf L-Signal schaltet. Die Messung der Laufzeiten ist auf die 4,5 V-Punkte bezogen.

Die Signal-Übergangszeiten t_{TLH} und t_{THL} der Impulsflanken werden zwischen den 10%- und 90%-Punkten ermittelt.

Die Paarlaufzeit t_p gibt die Signalverzögerung an, die zwei hintereinandergeschaltete invertierende Verknüpfungsglieder bewirken. Am Ende der Kette entsteht also ein verzögertes Signal, das mit der Eingangsspannung phasengleich ist: $t_p = t_{PLH} + t_{PHL}$.

Die Bilder 15 bis 19 zeigen die Signal-Laufzeiten sowie die Signal-Übergangszeiten in Abhängigkeit von der Speisespannung U_S über den Betriebsspannungsbereich von 11,4 bis 17 V.

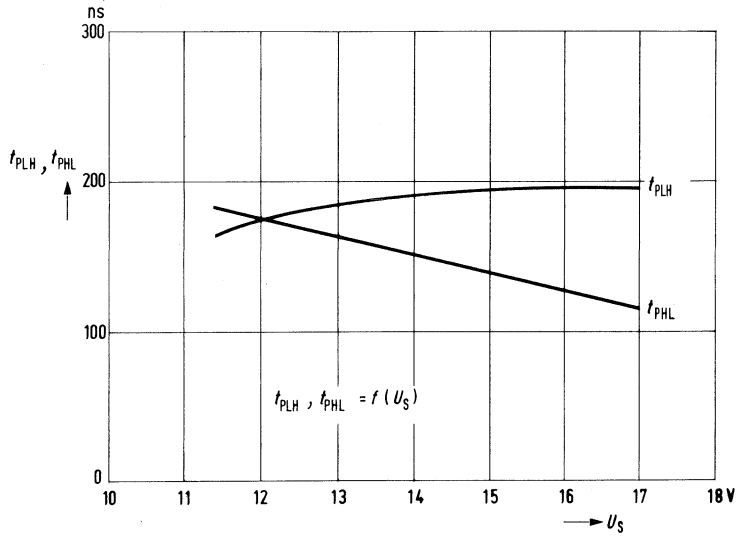


Bild 15
Signal-Laufzeit
 $t_{PLH} = f(U_S)$
Signal-Laufzeit
 $t_{PHL} = f(U_S)$
 für NAND-Glieder.

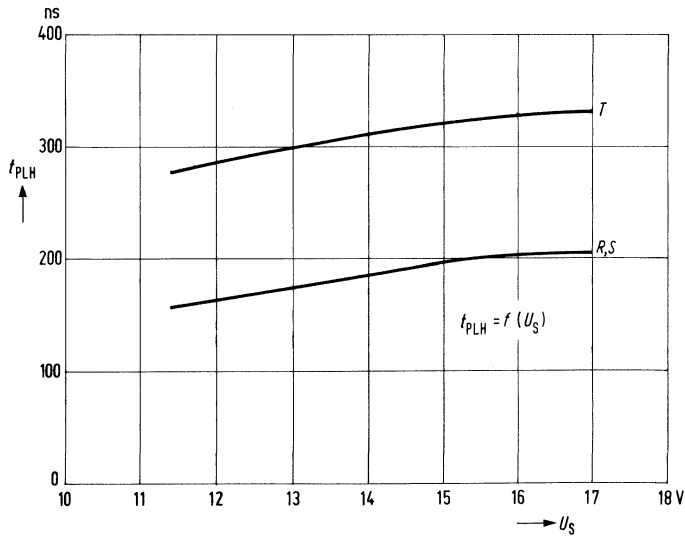


Bild 16
Signal-Laufzeit
 $t_{PLH} = f(U_S)$
 für Flipflop.

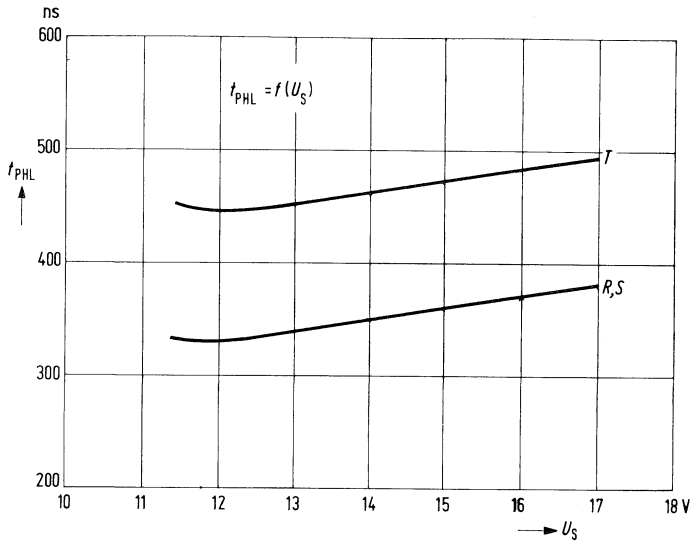


Bild 17
Signal-Laufzeit
 $t_{PHL} = f(U_S)$
 für Flipflop.

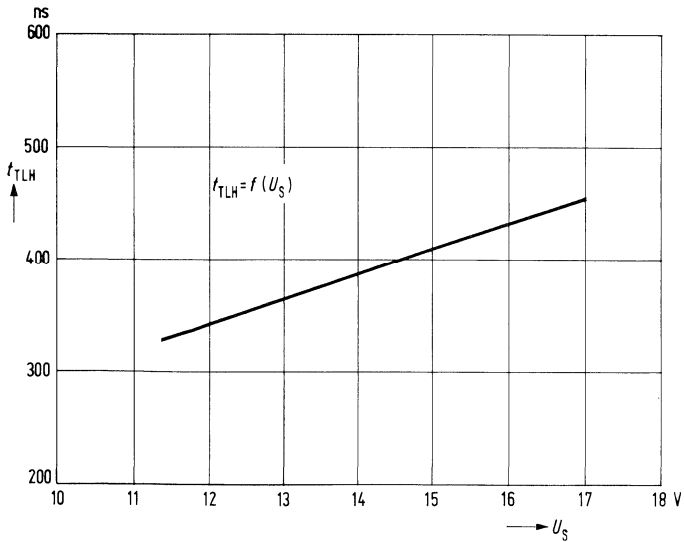


Bild 18
Signal-Übergangszeit
 $t_{TLH} = f(U_S)$ für NAND-
 Glieder und Flipflop.

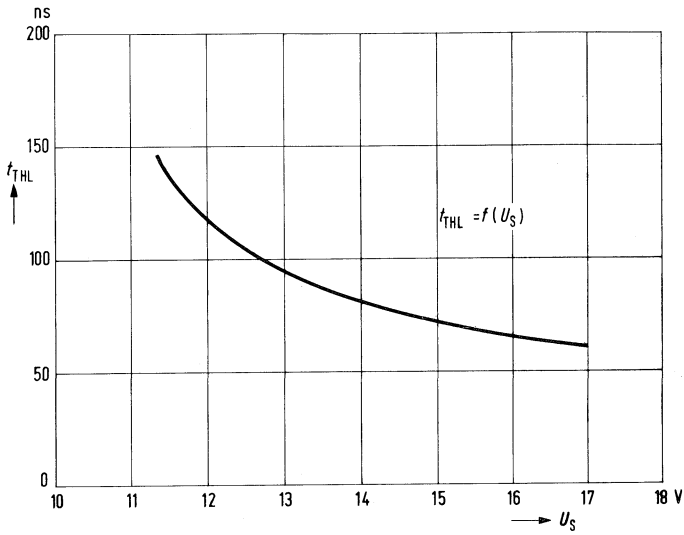


Bild 19 Signal-Übergangszeit $t_{\text{THL}} = f(U_S)$ für NAND-Glieder und Flipflop.

4. Kenndaten

Die Kenndaten in den Tabellen sind für zwei Spannungsbereiche definiert. Dabei gilt für den Spannungsbereich $U_S = 12\text{ V}$: $U_{SB} = 11,4\text{ V}$ und: $U_{SA} = 13,5\text{ V}$ und für den Spannungsbereich $U_S = 15\text{ V}$ ein $U_{SB} = 13,5\text{ V}$ und ein $U_{SA} = 17\text{ V}$. Für die B-Typen gilt eine max. Eingangsspannung und bei offenem Kollektor eine max. Ausgangsspannung von $U_i = U_Q \geq 30\text{ V}$. Für die S-Typen beträgt die max. Speisespannung $U_S \geq 30\text{ V}$. Die typischen Werte gelten bei der jeweiligen Nennspannung und einer Temperatur $T_U = 25\text{ °C}$. Für die Bausteine FZH 211 S und FZH 301/305 sind zusätzliche Grenzdaten beim entsprechenden Typ definiert.

Grenzdaten			untere Grenze B	obere Grenze A	Ein- heit
Speisespannung	FZH 181/185	U_S	0	7	V
	übrige Typen	U_S	0	18	V
	S-Typen	U_S	0	30	V
Eingangsspannung	FZH 181/185	U_i	0	5,5	V
	übrige Typen	U_i	0	18	V
	B- und S-Typen	U_i	0	30	V
Spannung am Knotenpunkt N		U_N	-1,0	0,6	V
Strom am Knotenpunkt N		I_N	-10	2,0	mA
Betriebstemperatur	Bereich 1	T_U	0	70	°C
	Bereich 5	T_U	-25	85	°C
Lagertemperatur		T_s	-65	125	°C

Grenzdaten, maximale negative Werte bei $T_U = 0$ bis 70 °C

	U_i (V)	I_i (mA)	bei U_S (V)
Alle Eingänge außer N-Knotenpunkt und N_1 -Anschlüsse sowie außer FZH 151/155, FZH 181/185		-25	17
FZH 151/155	-0,7		17
FZH 181/185	-0,5	-25	5

Anwendungshinweise:

Freie Anschlüsse dürfen nicht beschaltet werden.

Anstiegs- und Abfallzeiten der Eingangssignale bei unbeschalteten Bausteinen (ohne C_N) sollen generell $1\text{ V}/\mu\text{s}$ nicht unterschreiten. Beim Übergang von beschalteten auf unbeschaltete Bausteine ist darauf zu achten, daß die Ansteuerflanken ausreichend steil gemacht werden. Leitungen zu den N-Anschlüssen müssen möglichst kurz sein.

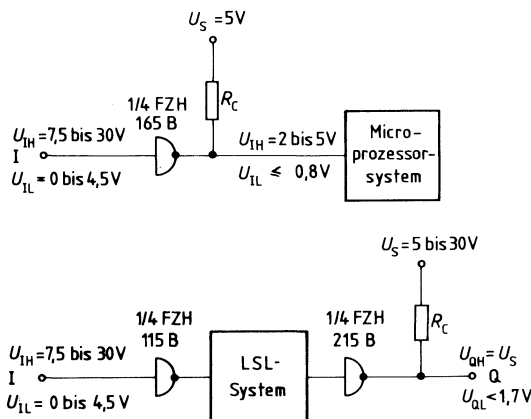
LSL-Bausteine für Eingangsspannungen bis 30 V, B-Serie

Ein Teil unserer LSL-Schaltungen ist jetzt auch für Eingangsspannungen $\leq 30\text{ V}$, und im Falle von offenen Kollektorausgängen für Ausgangsspannungen $\leq 30\text{ V}$ erhältlich. Dadurch kann der Anwender ohne Interface-Schaltung direkt auf 24 V- oder 28 V-Systeme übergehen. Der LSL-TTL-Pegelumsetzer FZH 165 B ist von besonderer Bedeutung. Er dient als Umsetzer von Systemen mit Eingangsspannungen $\leq 30\text{ V}$ auf 5 V-Systeme, z. B. mit Mikroprozessoren, Silicongate MOS oder TTL.

Verfügbare Typen

Typ	Bestellnummer	Funktion
FZH 115 B	Q 67000-H 215-B	Vier NAND-Glieder für $U_i \leq 30\text{ V}$
FZH 165 B	Q 67000-H 289-B	LSL-TTL-Pegelumsetzer für $U_i = U_o \leq 30\text{ V}$
FZH 215 B	Q 67000-H 640-B	Vier NAND-Glieder für $U_i = U_o \leq 30\text{ V}$
FZH 245 B	Q 67000-H 646-B	Zwei NAND-Schmitt-Trigger für $U_i \leq 30\text{ V}$
FZH 255 B	Q 67000-H 818-B	Vier UND-Glieder für $U_i \leq 30\text{ V}$
FZH 265 B	Q 67000-H 820-B	Zwei NAND-Glieder und vier Inverter für $U_i \leq 30\text{ V}$
FZH 285 B	Q 67000-H 824-B	Vier NOR-Glieder für $U_i \leq 30\text{ V}$
FZH 295 B	Q 67000-H 826-B	Vier ODER-Glieder für $U_i \leq 30\text{ V}$
FZH 301	Q 67000-H 1586	Vier NOR-Glieder für $U_i \leq 30\text{ V}$
FZH 305	Q 67000-H 1587	Vier NOR-Glieder für $U_i \leq 30\text{ V}$

Anwendungsbeispiele



Typ	Bestellnummer
FZH 121	Q 67000-H 192
FZH 125	Q 67000-H 254
FZH 131	Q 67000-H 193
FZH 135	Q 67000-H 255
FZH 171	Q 67000-H 328
FZH 175	Q 67000-H 329

FZH 101 A, FZH 105 A: Vier NAND-Glieder mit je zwei Eingängen } siehe unter Abschnitt
 FZH 111 A, FZH 115 B: Vier NAND-Glieder mit je zwei Eingängen } FZH 191
 und N-Anschluß

FZH 121, FZH 125: Zwei NAND-Glieder mit je fünf Eingängen
 FZH 131, FZH 135: Zwei NAND-Glieder mit je fünf Eingängen und N-Anschluß
 FZH 171, FZH 175: Zwei NAND-Glieder mit je vier Eingängen, Erweiterungseingang N_1
 und N-Anschluß

Statische Kenndaten im 12 V-Bereich
 im Temperaturbereich 1 und 5

	Prüfbedingungen	Prüf- schal- tung	untere Grenze B	typ.	obere Grenze A	Ein- heit
Speisespannung	U_S		11,4	12,0	13,5	V
H-Eingangsspannung	U_{IH}	$U_S = U_{SB}$	7,5			V
L-Eingangsspannung	U_{IL}	$U_S = U_{SA}$ und U_{SB}			4,5	V
H-Ausgangsspannung	U_{OH}	$U_S = U_{SB}$ und U_{SA} $U_{IL} = 4,5 V, -I_{QH} = 0,1 mA$	10,0	11,3		V
L-Ausgangsspannung	U_{OL}	$U_S = U_{SB}, U_{IH} = 7,5 V$ $I_{QL} = 15 mA$		0,9	1,7	V
Statische Störsicherheit						
H-Signal	U_{ss}		2,5	5,0		V
L-Signal	U_{ss}		2,8	5,0		V
H-Eingangsstrom pro Eingang	I_{IH}	$U_S = U_{SA}, U_I = U_{IHA}$			1,0	μA
L-Eingangsstrom pro Eingang	$-I_{IL}$	$U_S = U_{SA}, U_{IL} = 1,7 V$		0,8	1,5	mA
Kurzschlußausgangsstrom pro Ausgang	$-I_Q$	$U_S = U_{SA}, U_I = 0 V$	10,0	30,0	50,0	mA
H-Speisestrom pro Glied	I_{SH}	$U_S = U_{SA}, U_I = 0 V$		0,9	1,6	mA
L-Speisestrom pro Glied	I_{SL}	$U_S = U_{SA}, U_I = U_{IHA}$		1,7	3,0	mA
Leistungsverbrauch pro Glied	P	$U_S = U_{SA}$ Tastverhältnis 1 : 1		16	31	mW

Schaltzeiten bei $U_S = 12 V, F_Q = 1, T_U = 25^\circ C$

Signal-Laufzeit	t_{PLH}	$C_L = 10 pF$ bei 4,5 V über Masse $C_L = 10 pF$	$\left. \begin{matrix} \\ \\ \\ \end{matrix} \right\} 26$	90	175	310	ns
	t_{PHL}			90	175	310	ns
Signal-Übergangszeit	t_{rLH}			200	340	570	ns
	t_{rHL}			70	120	210	ns

Statische Kenndaten im 15 V-Bereich
 im Temperaturbereich 1 und 5

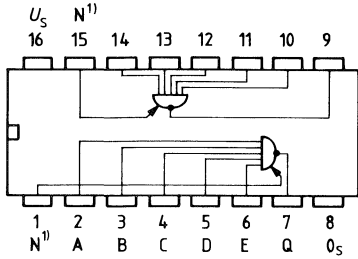
	Prüfbedingungen	Prüf-schal-tung	untere Grenze B	typ.	obere Grenze A	Ein-heit	
Speisespannung	U_S		13,5	15,0	17,0	V	
H-Eingangsspannung	U_{IH}	$U_S = U_{SB}$	7,5			V	
L-Eingangsspannung	U_{IL}	$U_S = U_{SB}$ und U_{SA}			4,5	V	
H-Ausgangsspannung	U_{OH}	$U_S = U_{SB}$ und U_{SA}	12,0	14,3		V	
L-Ausgangsspannung	U_{OL}	$U_{IL} = 4,5 \text{ V}$, $-I_{QH} = 0,1 \text{ mA}$ $U_S = U_{SB}$, $U_{IH} = 7,5 \text{ V}$, $I_{OL} = 18 \text{ mA}$			1,0	1,7	V
Statische Störsicherheit							
H-Signal	U_{SS}		4,6	8,0		V	
L-Signal	U_{SS}		2,8	5,0		V	
H-Eingangsstrom pro Eingang	I_{IH}	$U_S = U_{SA}$, $U_i = U_{iHA}$	3		1,0	μA	
L-Eingangsstrom pro Eingang	$-I_{iL}$	$U_S = U_{SA}$, $U_{iL} = 1,7 \text{ V}$	4		1,0	1,8	mA
Kurzschlußausgangsstrom pro Ausgang	$-I_Q$	$U_S = U_{SA}$, $U_i = 0 \text{ V}$	5	15,0	37,0	60,0	mA
H-Speisestrom pro Glied	I_{SH}	$U_S = U_{SA}$, $U_i = 0 \text{ V}$	6		1,2	2,1	mA
L-Speisestrom pro Glied	I_{SL}	$U_S = U_{SA}$, $U_i = U_{iHA}$	7		2,3	4,0	mA
Leistungsverbrauch pro Glied	P	$U_S = U_{SA}$ Tastverhältnis 1:1			27	52	mW

Schaltzeiten bei $U_S = 15 \text{ V}$, $F_Q = 1$, $T_U = 25 \text{ }^\circ\text{C}$

Signal-Laufzeit	t_{PLH}	} $C_L = 10 \text{ pF}$ bei 4,5 V über Masse	} 26	195	ns
	t_{PHL}			140	ns
Signal-Übergangszeit	t_{TLH}	} $C_L = 10 \text{ pF}$		410	ns
	t_{THL}			75	ns

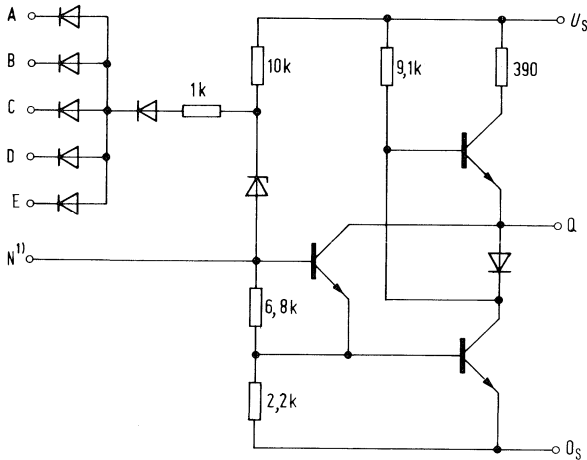
Zwei NAND-Glieder mit je fünf Eingängen

FZH 121
FZH 125
FZH 131
FZH 135



Anschlußanordnung
Ansicht von oben

Schaltschema (ein Glied)



Logische Daten pro Glied

Logische Daten pro Glied		obere Grenze A
H-Ausgangslastfaktor	F_{OH}	100
L-Ausgangslastfaktor	F_{OL}	10
Eingangslastfaktor pro Eingang	F_i	1

Logische Funktion

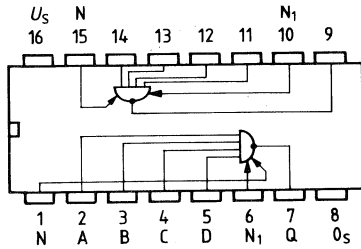
$$Q = \overline{A \wedge B \wedge C \wedge D \wedge E}$$

¹⁾ Nur bei FZH 131/135

Zwei NAND-Glieder mit je vier Eingängen Erweiterungseingang N_1 und N-Anschluß

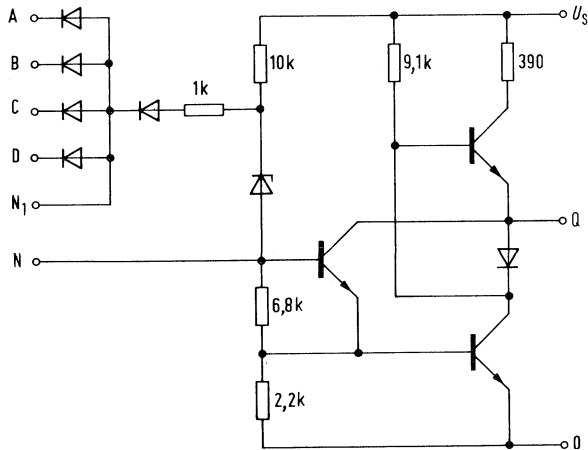
FZH 171
FZH 175

An den Erweiterungseingängen N_1 können die NAND-Glieder mit Hilfe von Dioden BAW 76 beliebig erweitert werden. Dabei müssen die Anoden der Erweiterungsdioden am Anschluß N_1 parallel geschaltet werden.



Anschlußanordnung
Ansicht von oben

Schaltschema (ein Glied)



Logische Daten pro Glied

Logische Daten pro Glied		obere Grenze A
H-Ausgangslastfaktor	F_{OH}	100
L-Ausgangslastfaktor	F_{OL}	10
Eingangslastfaktor pro Eingang	F_I	1

Logische Funktion

$$Q = \overline{A \wedge B \wedge C \wedge D \wedge \text{Erw.}}$$

Typ	Bestellnummer
FZH 141	Q 67000-H 194
FZH 145	Q 67000-H 256

Es gelten die Daten wie FZH 131/135 mit Ausnahme der hier angegebenen Werte.

Statische Kenndaten im 12 V-Bereich

im Temperaturbereich 1 und 5

	Prüfbedingungen	Prüf-schaltung	untere Grenze B	typ.	obere Grenze A	Einheit
L-Ausgangsspannung	$U_S = U_{SB}, U_{IH} = 7,5 \text{ V}$ $I_{OL} = 45 \text{ mA}$	1		1,3	1,7	V

Statische Kenndaten im 15 V-Bereich

im Temperaturbereich 1 und 5

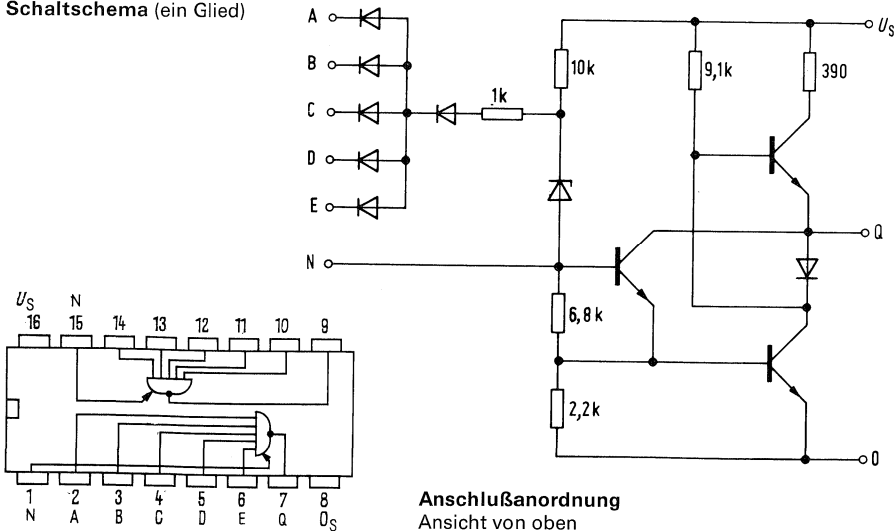
L-Ausgangsspannung	$U_S = U_{SB}, U_{IH} = 7,5 \text{ V}$ $I_{OL} = 54 \text{ mA}$	1		1,4	1,7	V
--------------------	--	---	--	-----	-----	---

Logische Daten pro Glied

H-Ausgangslastfaktor	F_{OH}	100
L-Ausgangslastfaktor	F_{OL}	30
Eingangslastfaktor pro Eingang	F_I	1

Logische Funktion $Q = \overline{A \wedge B \wedge C \wedge D \wedge E}$

Schaltschema (ein Glied)



Anschlußanordnung
Ansicht von oben

Typ	Bestellnummer
FZH 151	Q 67000-H 195
FZH 155	Q 67000-H 260

Der Baustein FZH 151/155 ist ein UND/ODER-Kombinationsglied, mit dem folgende Schaltungen realisiert werden können: Flipflop, Zähler und Frequenzteiler, Schieberegister, Addierschaltungen, Verzögerungsschaltungen. Der Baustein kann bis zu einer minimalen Speisespannung von $U_S = 10\text{ V}$ betrieben werden.

Statische Kenndaten im 12 V-Bereich

im Temperaturbereich 1 und 5

	Prüfbedingungen	Prüfschaltung	untere Grenze B	typ.	obere Grenze A	Einheit	
Speisespannung	U_S		11,4	12,0	13,5	V	
H-Eingangsspannung	U_{IH}	$U_S = U_{SB}$	15	7,5		V	
L-Eingangsspannung	U_{IL}	$U_S = U_{SB}$	16		4,5	V	
H-Ausgangsspannung	U_{QH}	$U_S = U_{SB}, U_{IL} = 4,5\text{ V}$ $-I_{QH} = 0,1\text{ mA}$	16	10,0	11,3	V	
L-Ausgangsspannung	U_{QL}	$U_S = U_{SB}, U_{IH} = 7,5\text{ V}$ $I_{QL} = 30\text{ mA}$	15		0,9	1,7	V
Statische Störsicherheit							
H-Signal	U_{SS}		2,5	5,0		V	
L-Signal	U_{SS}		2,8	5,0		V	
H-Eingangsstrom an R_1, C_1, R_2, C_2	I_{IH}	$U_S = U_{SA}, U_I = U_{IHA}$	17		2,0	μA	
H-Eingangsstrom übrige Eingänge	I_{IH}	$U_S = U_{SA}, U_I = U_{IHA}$	17		1,0	μA	
L-Eingangsstrom an R_1, C_1, R_2, C_2	$-I_{IL}$	$U_S = U_{SA}, U_{IL} = 1,7\text{ V}$	18		1,0	2,5	mA
L-Eingangsstrom übrige Eingänge	$-I_{IL}$	$U_S = U_{SA}, U_{IL} = 1,7\text{ V}$	18		0,5	1,25	mA
Kurzschlußausgangsstrom pro Ausgang	$-I_Q$	$U_S = U_{SA}, U_I = 0\text{ V}$	19	10,0	30,0	50,0	mA
H-Speisestrom	I_{SH}	$U_S = U_{SA}, U_I = 0\text{ V}$	20		14,0	22,0	mA
L-Speisestrom	I_{SL}	$U_S = U_{SA}, U_I = U_{IHA}$	21		8,0	15,0	mA
Leistungsverbrauch	P	$U_S = U_{SA}$			132	250	mW
		Tastverhältnis 1:1					

Schaltzeiten bei $U_S = 12\text{ V}$, $F_Q = 1$, $T_U = 25\text{ °C}$

		Prüfbedingungen	Prüf- schal- tung	untere Grenze B	typ.	obere Grenze A	Ein- heit
Signal-Laufzeiten	$t_{PLH\ I}$	für nichtinvertiertes Ausgangssignal	} 27		340		ns
	$t_{PLH\ II}$	für invertiertes Ausgangssignal					
	$t_{PLH\ III}$	für Eingang 15					
Signal-Laufzeiten	$t_{PHL\ I}$	für nichtinvertiertes Ausgangssignal					
	$t_{PHL\ II}$	für invertiertes Ausgangssignal					
	$t_{PHL\ III}$	für Eingang 15					
Signal-Übergangszeiten	t_{TLH}	} $C_L = 10\text{ pF}$			400		ns
	t_{THL}				330		ns
					200		ns

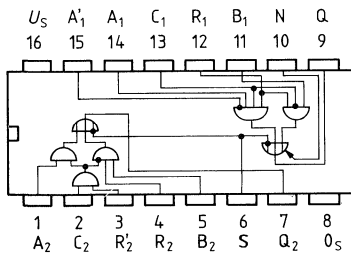
Statische Kenndaten im 15 V-Bereich
im Temperaturbereich 1 und 5

Speisespannung	U_S			13,5	15,0	17,0	V
H-Eingangsspannung	U_{IH}	$U_S = U_{SB}$	15	7,5			V
L-Eingangsspannung	U_{IL}	$U_S = U_{SB}$	16		4,5		V
H-Ausgangsspannung	U_{QH}	$U_S = U_{SB}$, $U_{IL} = 4,5\text{ V}$ $-I_{QH} = 0,1\text{ mA}$	16	12,0	14,3		V
L-Ausgangsspannung	U_{QL}	$U_S = U_{SB}$, $U_{IH} = 7,5\text{ V}$ $I_{QL} = 30\text{ mA}$	15		1,0	1,7	V
Statische Störsicherheit							
H-Signal	U_{ss}			4,5	8,0		V
L-Signal	U_{ss}			2,8	5,0		V
H-Eingangsstrom an R_1, C_1, R_2, C_2	I_{IH}	$U_S = U_{SA}$, $U_I = U_{IHA}$	17			2,0	μA
H-Eingangsstrom übrige Eingänge	I_{IH}	$U_S = U_{SA}$, $U_I = U_{IHA}$	17			1,0	μA
L-Eingangsstrom an R_1, C_1, R_2, C_2	$-I_{IL}$	$U_S = U_{SA}$, $U_{IL} = 1,7\text{ V}$	18		1,2	3,0	mA
L-Eingangsstrom übrige Eingänge	$-I_{IL}$	$U_S = U_{SA}$, $U_{IL} = 1,7\text{ V}$	18		0,6	1,5	mA
Kurzschlußausgangsstrom pro Ausgang	$-I_Q$	$U_S = U_{SA}$, $U_I = 0\text{ V}$	19	15,0	37,0	60,0	mA
H-Speisestrom	I_{SH}	$U_S = U_{SA}$, $U_I = 0\text{ V}$	20		18,0	29,0	mA
L-Speisestrom	I_{SL}	$U_S = U_{SA}$, $U_I = U_{IHA}$	21		12,0	21,0	mA
Leistungsverbrauch	P	$U_S = U_{SA}$			225	425	mW

Tastverhältnis 1:1

Schaltzeiten bei $U_S = 15\text{ V}$, $F_Q = 1$, $T_U = 25\text{ °C}$

	Prüfbedingungen	Prüf-schal-tung	untere Grenze B	typ.	obere Grenze A	Einheit
Signal-Laufzeiten	$t_{PLH I}$	für nichtinvertiertes Ausgangssignal	} 27	340		ns
	$t_{PLH II}$	für invertiertes Ausgangssignal		280		ns
Signal-Laufzeiten	$t_{PLH III}$	für Eingang 15		270		ns
	$t_{PHL I}$	für nichtinvertiertes Ausgangssignal		270		ns
	$t_{PHL II}$	für invertiertes Ausgangssignal		350		ns
Signal-Übergangszeiten	$t_{PHL III}$	für Eingang 15		470		ns
	t_{TLH}	} $C_L = 10\text{ pF}$	350	ns		
	t_{THL}		220	ns		



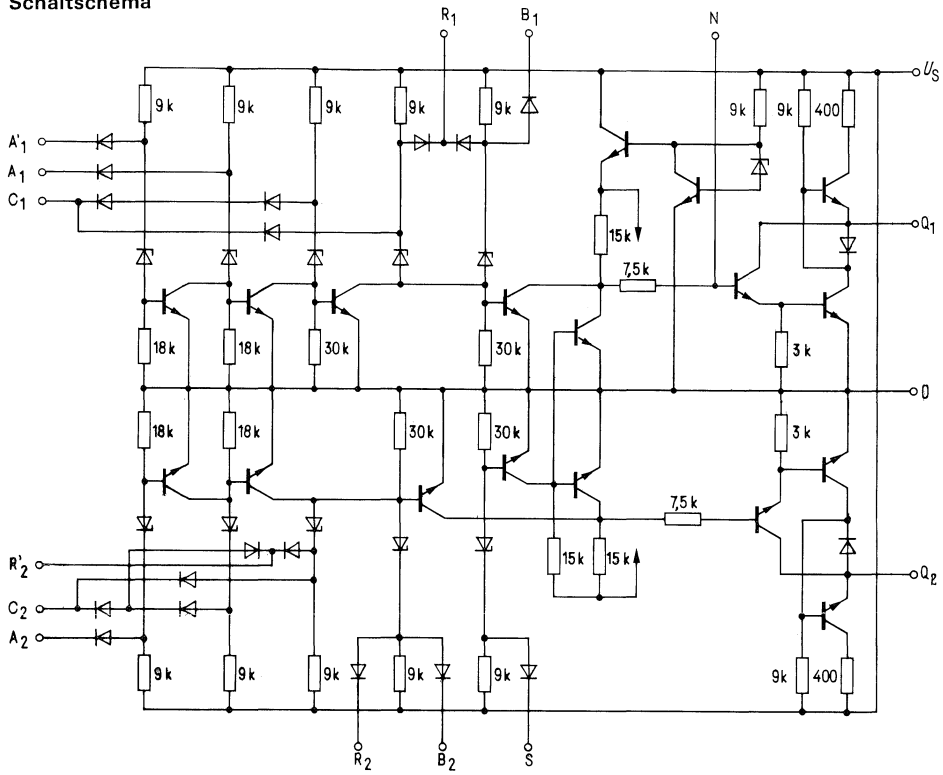
Anschlußanordnung
Ansicht von oben

Logische Daten pro Glied

		obere Grenze A
H-Ausgangslastfaktor	F_{OH}	100
L-Ausgangslastfaktor	F_{OL}	16
(für beliebige LSL-Lasten)		
L-Ausgangslastfaktor	F_{OL}	20
(für FZH 151 als Last)		
Eingangslastfaktor an R_1, C_1, R_2, C_2	F_I	2
Eingangslastfaktor, übrige Eingänge	F_I	1

Logische Funktion $Q_1 = \overline{S} \vee (A_1 \wedge A_1' \wedge R_1 \wedge C_1) \vee (B_1 \wedge R_1 \wedge \overline{C_1})$
 $Q_2 = \overline{S} \vee (A_2 \wedge C_2 \wedge R_2') \vee (B_2 \wedge R_2 \wedge C_2 \wedge R_2')$

Schaltschema



Typ	Bestellnummer
FZH 161	Q67000-H288
FZH 165 B	Q67000-H289-B

Die Bausteine FZH 161/165 enthalten 4 LSL-TTL-Pegelumsetzer. Sie können auch als LSL-wired-AND-Stufen verwendet werden. Für die Berechnung des gemeinsamen Kollektorarbeitswiderstandes gelten die vier Seiten weiter aufgeführten Formeln.

Bei wired-AND-Verknüpfung und N-Beschaltung müssen gleichgroße Kapazitäten C_N verwendet werden.

Die zulässige Spannung am Ausgang Q beträgt maximal 18V für FZH 161 und 30V für FZH 165 B, der Strom maximal 20 mA.

Die zulässige Eingangsspannung des FZH 165 B ist 30 V.

Statische Kenndaten im 12 V-Bereich

im Temperaturbereich 1 und 5

	Prüfbedingungen	Prüfschaltung	untere Grenze B	typ.	obere Grenze A	Einheit
Speisespannung	U_S		11,4	12,0	13,5	V
H-Eingangsspannung	U_{IH}	$U_S = U_{SB}$	9	7,5		V
L-Eingangsspannung	U_{IL}	$U_S = U_{SB}$	10		4,5	V
L-Ausgangsspannung	U_{OL}	$U_S = U_{SB}, U_{IH} = 7,5 V$ $I_{OL} = 20 mA$	9		0,4	V
Statische Störsicherheit						
H-Signal	U_{ss}		2,5	5,0		V
L-Signal	U_{ss}		2,8	5,0		V
H-Eingangsstrom an Eingang 2, 5, 11, 14	I_{IH}	$U_S = U_{SA}, U_I = U_{IHA}$	11		1,0	μA
an Eingang 1, 15	I_{IH}					
L-Eingangsstrom an Eingang 2, 5, 11, 14	$-I_{IL}$	$U_S = U_{SA}, U_{IL} = 1,7 V$	12	0,8	1,5	mA
an Eingang 1, 15	$-I_{IL}$					
H-Ausgangssperrstrom	I_{OH}	$U_S = U_{SA}, U_O = 18 V / 30 V$	10		80	μA
H-Speisestrom pro Glied	I_{SH}	$U_S = U_{SA}, U_I = 0 V$	14	2,5	4,5	mA
L-Speisestrom pro Glied	I_{SL}	$U_S = U_{SA}, U_I = U_{IHA}$	13	4,0	6,0	mA
Leistungsverbrauch pro Glied	P	$U_S = U_{SA}$		39	70	mW
		Tastverhältnis 1:1				

Schaltzeiten bei $U_S = 12 V, T_U = 25 \text{ }^\circ C$

Signal-Laufzeit	t_{PLH}	$C_L = 15 pF$	$R_C = 760$	$U_{SK} = 12 V$	80	250	500	ns
					80	130	300	ns
	t_{PHL}	$C_L = 15 pF$	$R_C = 320$	$U_{SK} = 5 V$	80	230	500	ns
					80	120	300	ns
Signal-Übergangszeit	t_{TLH}	$C_L = 15 pF$	$R_L = 760$	$U_{SK} = 12 V$	50	75	100	ns
					15	30	50	ns
	t_{THL}	$C_L = 15 pF$	$R_C = 320$	$U_{SK} = 5 V$	20	45	70	ns
					6	12	25	ns

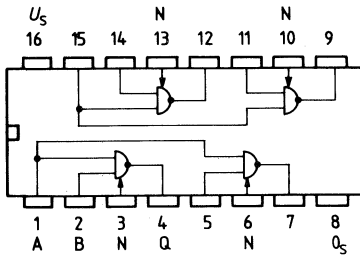
Statische Kenndaten im 15 V-Bereich

im Temperaturbereich 1 und 5

	Prüfbedingungen	Prüf- schal- tung	untere Grenze B	typ.	obere Grenze A	Ein- heit
Speisespannung	U_S		13,5	15,0	17,0	V
H-Eingangsspannung	U_{IH}	$U_S = U_{SB}$	7,5			V
L-Eingangsspannung	U_{IL}	$U_S = U_{SB}$	10		4,5	V
L-Ausgangsspannung	U_{OL}	$U_S = U_{SB}, U_{IH} = 7,5 V$ $I_{OL} = 20 mA$	9		0,4	V
Statische Störsicherheit						
H-Signal	U_{ss}		4,5	8,0		V
L-Signal	U_{ss}		2,8	5,0		V
H-Eingangsstrom an Eingang 2, 5, 11, 14 an Eingang 1, 15	I_{IH} I_{IH}	$U_S = U_{SA}, U_I = U_{IHA}$	11		1,0 2,0	μA μA
L-Eingangsstrom an Eingang 2, 5, 11, 14 an Eingang 1, 15	$-I_{IL}$ $-I_{IL}$					
H-Ausgangssperrstrom	I_{QH}	$U_S = U_{SA}, U_G = 18 V / 30 V$	10		80	μA
H-Speisestrom pro Glied	I_{SH}	$U_S = U_{SA}, U_I = 0 V$	14	2,8	4,5	mA
L-Speisestrom pro Glied	I_{SL}	$U_S = U_{SA}, U_I = U_{IHA}$	13	4,5	7,0	mA
Leistungsverbrauch pro Glied	P	$U_S = U_{SA}$ Tastverhältnis 1:1		55	78	mW

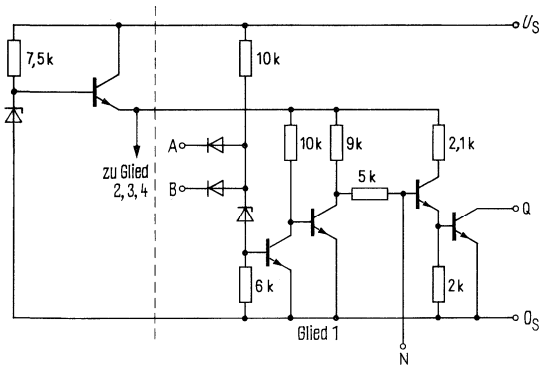
Schaltzeiten bei $U_S = 15 V, T_U = 25 ^\circ C$

Signal-Laufzeit	t_{PLH} t_{PHL}	$C_L = 15 pF$ $R_C = 760$	$U_{SK} = 15 V$	28	180	ns
					140	ns
Signal-Übergangszeit	t_{PLH} t_{PHL} t_{TLH} t_{THL}	$C_L = 15 pF$ $R_C = 320$ $R_L = 760$ $C_L = 15 pF$ $R_C = 320$	$U_{SK} = 5 V$ $U_{SK} = 15 V$ $U_{SK} = 15 V$ $U_{SK} = 5 V$	28	270	ns
					120	ns
					70	ns
					30	ns
					35	ns
					11	ns



Anschlußanordnung
Ansicht von oben

Schaltschema (ein Glied)



Logische Daten pro Glied

L-Ausgangslastfaktor
Eingangslastfaktor Eingang A
Eingangslastfaktor Eingang B

F_{OL} 10
 F_I 2
 F_I 1

obere
Grenze A

Logische Funktion

$$Q = \overline{A \wedge B}$$

Berechnung des Kollektorarbeitswiderstandes R_K

Der Widerstand R_K berechnet sich aus dem notwendigen Spannungshub und den Eingangs- und Ausgangsströmen nach folgenden Formeln:

$$R_{KA} = \frac{U_{SK} - U_{QH} \text{ V}}{n I_{QH} + N I_{IH} \mu\text{A}} \quad R_{KB} = \frac{U_{SK} - U_{QL} \text{ V}}{I_{QL} - N I_{IL} \mu\text{A}}$$

Wobei: U_{SK} = Versorgungsspannung des Arbeitswiderstandes
 n = Anzahl der AND-Verknüpfungen
 N = Anzahl der angeschlossenen Eingänge

Der in der Schaltung verwendete Widerstand muß zwischen dem oberen und unteren Grenzwert A und B liegen.

Bei Verwendung als **Pegelumsetzer** ergibt sich für

FZH 161/165 B LSL-TTL: $R_{KA} = \frac{5 - 2,4 \text{ V}}{n 80 + N 40 \mu\text{A}}$ $R_{KB} = \frac{5 - 0,4 \text{ V}}{20 - N 1,6 \text{ mA}}$
 wobei $n_A = 2$ für $N_A = 10$

FZH 181/185 TTL-LSL₁₂V: $R_{KA} = \frac{12 - 10 \text{ V}}{n 250 + N 1 \mu\text{A}}$ $R_{KB} = \frac{12 - 1,0 \text{ V}}{50 - N 1,5 \text{ mA}}$
 TTL-LSL₁₅V: $R_{KA} = \frac{15 - 12 \text{ V}}{n 250 + N 1 \mu\text{A}}$ $R_{KB} = \frac{15 - 1,0 \text{ V}}{50 - N 1,8 \text{ mA}}$
 wobei $n_A = 4$ für $N_A = 25$

Wird der Baustein FZH 161/165 B für wired-AND-Verknüpfungen verwendet, so ergibt sich

im 12-V-Bereich: $R_{KA} = \frac{12 - 10 \text{ V}}{n 80 + N 1 \mu\text{A}}$ $R_{KB} = \frac{12 - 0,4 \text{ V}}{20 - N 1,5 \text{ mA}}$

und im 15-V-Bereich: $R_{KA} = \frac{15 - 12 \text{ V}}{n 80 + N 1 \mu\text{A}}$ $R_{KB} = \frac{15 - 0,4 \text{ V}}{20 - N 1,8 \text{ mA}}$

wobei $n_A = 9$ für $N_A = 10$

Typ	Bestellnummer
FZH 181	Q67000-H326
FZH 185	Q67000-H327

Die Bausteine FZH181 und FZH185 enthalten 4 TTL-LSL-Pegelumsetzer, die auch in wired-AND-Verknüpfung betrieben werden können. Für die Berechnung des gemeinsamen Kollektorarbeitswiderstandes gelten die auf der Seite vorher aufgeführten Formeln. Die zulässige Spannung am Ausgang Q beträgt maximal 18 V, der Strom maximal 50 mA.

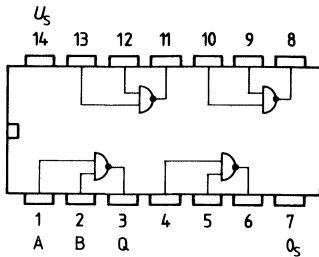
Statische Kenndaten

im Temperaturbereich 1 und 5

	Prüfbedingungen	Prüfschaltung	untere Grenze B	typ.	obere Grenze A	Einheit
Speisespannung	U_S		4,75	5,0	5,25	V
H-Eingangsspannung	U_{IH}	$U_S = 4,75 \text{ V}$	1			V
L-Eingangsspannung	U_{IL}	$U_S = 4,75 \text{ V}$	8		0,8	V
H-Ausgangssperrstrom	I_{QH}	$U_S = 4,75 \text{ V}, U_{IL} = 0,8 \text{ V}$ $U_{QH} = 18 \text{ V}$	8		250	μA
L-Ausgangsspannung	U_{OL}	$U_S = 4,75 \text{ V}, U_{IH} = 2,0 \text{ V}$ $I_{OL} = 16 \text{ mA}$	1		0,4	V
	U_{QL}	$U_S = 4,75 \text{ V}, U_{IH} = 2,0 \text{ V}$ $I_{QL} = 50 \text{ mA}$	1		1,0	V
Statische Störsicherheit	U_{SS}			0,4	1,0	V
Eingangsstrom pro Eingang	I_I	$U_S = 5,25 \text{ V}, U_I = 5,5 \text{ V}$	3		1,0	mA
H-Eingangsstrom pro Eingang	I_{IH}	$U_S = 5,25 \text{ V}, U_{IH} = 2,4 \text{ V}$	3		80	μA
L-Eingangsstrom pro Eingang	$-I_{IL}$	$U_S = 5,25 \text{ V}, U_{IL} = 0,4 \text{ V}$	4		1,6	mA
H-Speisestrom pro Glied	I_{SH}	$U_S = 5 \text{ V}, U_I = 0 \text{ V}$	6		1,0	mA
L-Speisestrom pro Glied	I_{SL}	$U_S = 5 \text{ V}, U_I = 5 \text{ V}$	7		8,5	mA
Leistungsverbrauch pro Glied	P	$U_S = U_{SA}$ Tastverhältnis 1:1			24	mW

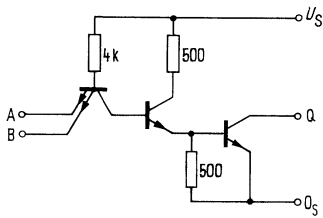
Schaltzeiten bei $U_S = 5 \text{ V}, T_U = 25 \text{ }^\circ\text{C}$

Signal-Laufzeit	t_{PLH} t_{PHL}	$C_L = 15 \text{ pF}$ $R_K = 760 \Omega$	$U_{SK} = 12 \text{ V}$	} 29		130	300	ns
						20	60	ns



Anschlußanordnung
Ansicht von oben

Schaltschema (ein Glied)



Logische Daten pro Glied

		obere Grenze A
L-Ausgangslastfaktor	F_{OL}	10
Eingangslastfaktor pro Eingang (TTL-Last)	F_i	1
Logische Funktion	$Q = \overline{A \wedge B}$	

Typ	Bestellnummer
FZH 101 A	Q67000–H1242
FZH 105 A	Q67000–H1241
FZH 111 A	Q67000–H191
FZH 115 B	Q67000–H215–B
FZH 191	Q67000–H633
FZH 195	Q67000–H634
FZH 201	Q67000–H636
FZH 205	Q67000–H637

FZH 101 A, FZH 105 A: Vier NAND-Glieder mit je zwei Eingängen
 FZH 111 A, FZH 115 B: Vier NAND-Glieder mit je zwei Eingängen und N-Anschluß
 FZH 191, FZH 195: Drei NAND-Glieder mit je drei Eingängen und N-Anschluß
 FZH 201, FZH 205: Sechs Inverter mit Strobeeingängen
 Die zulässige Eingangsspannung des FZH 115 B ist 30 V.

Statische Kenndaten im 12 V-Bereich
 im Temperaturbereich 1 und 5

	Prüfbedingungen	Prüf- schal- tung	untere Grenze B	typ.	obere Grenze A	Ein- heit	
Speisespannung	U_S		11,4	12,0	13,5	V	
H-Eingangsspannung	U_{IH}	$U_S = U_{SB}$	7,5			V	
L-Eingangsspannung	U_{IL}	$U_S = U_{SB}$ und U_{SA}			4,5	V	
H-Ausgangsspannung	U_{OH}	$U_S = U_{SB}$ und U_{SA} $U_{IL} = 4,5 \text{ V}, -I_{QH} = 0,1 \text{ mA}$	10,0	11,3		V	
L-Ausgangsspannung	U_{OL}	$U_S = U_{SB}, U_{IH} = 7,5 \text{ V}$ $I_{OL} = 15 \text{ mA}$		0,9	1,7	V	
Statische Störsicherheit							
H-Signal	U_{SS}		2,5	5,0		V	
L-Signal	U_{ss}		2,8	5,0		V	
H-Eingangsstrom pro Eingang	I_{IH}	$U_S = U_{SA}, U_i = U_{IHA}$	3		1,0	μA	
Strobe 1	I_{IH}				4	μA	
Strobe 2	I_{IH}				2	μA	
L-Eingangsstrom pro Eingang	$-I_{IL}$	$U_S = U_{SA}, U_{UK} = 1,7 \text{ V}$	4	0,8	1,5	mA	
Strobe 1	I_{IL}				6	mA	
Strobe 2	I_{IL}				3	mA	
Kurzschlußausgangsstrom pro Ausgang	$-I_Q$	$U_S = U_{SA}, U_Q = 0 \text{ V}$	5	9	15	25	mA
H-Stromaufnahme pro Glied	I_{SH}	$U_S = U_{SA}, U_i = 0 \text{ V}$	6	0,9	1,6	mA	
L-Stromaufnahme pro Glied	I_{SL}	$U_S = U_{SA}, U_i = U_{IHA}$	7	1,7	3,0	mA	
Leistungsverbrauch pro Glied	P	$U_S = U_{SA}$ Tastverhältnis 1:1		15	31	mW	

Die Typen FZH 101 A/105 A und FZH 111 A/115 B mit Kurzschlußsicherung, ersetzen die Typen FZH 101/105 und FZH 111/115 ohne Kurzschlußsicherung.

Schaltzeiten bei $U_S = 12\text{ V}$, $F_Q = 1$, $T_U = 25\text{ °C}$

	Prüfbedingungen	Prüf-schaltung	untere Grenze B	typ.	obere Grenze A	Einheit
Signal-Laufzeit	t_{PLH}	} $C_L = 10\text{ pF}$ bei 4,5 V über Masse	} 26	}	}	}
	t_{PHL}					
Signal-Übergangszeit	t_{TLH}	} $C_L = 10\text{ pF}$	}	}	}	}
	t_{THL}					
			90	175	310	ns
			90	175	310	ns
			200	340	570	ns
			70	120	210	ns

Statische Kenndaten im 15 V-Bereich

im Temperaturbereich 1 und 5

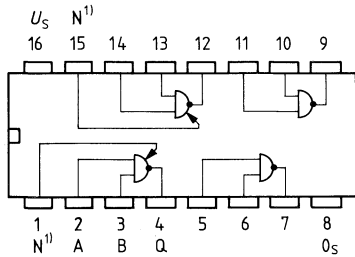
Speisespannung	U_S			13,5	15,0	17,0	V
H-Eingangsspannung	U_{IH}	$U_S = U_{SB}$	1	7,5			V
L-Eingangsspannung	U_{IL}	$U_S = U_{SB}$ und U_{SA}	2			4,5	V
H-Ausgangsspannung	U_{OH}	$U_S = U_{SB}$ und U_{SA}	2	12,0	14,3		V
		$U_{IL} = 4,5\text{ V}$, $-I_{OH} = 0,1\text{ mA}$					
L-Ausgangsspannung	U_{OL}	$U_S = U_{SB}$, $U_{IH} = 7,5\text{ V}$	1		1,0	1,7	V
		$I_{OL} = 18\text{ mA}$					
Statische Störsicherheit							
H-Signal	U_{ss}			4,5	8,0		V
L-Signal	U_{ss}			2,8	5,0		V
H-Eingangsstrom pro Eingang	I_{IH}	} $U_S = U_{SA}$, $U_I = U_{IHA}$	} 3	}	}	}	}
Strobe 1	I_{IH}						
Strobe 2	I_{IH}						
L-Eingangsstrom pro Eingang	$-I_{IL}$	} $U_S = U_{SA}$, $U_{UK} = 1,7\text{ V}$	} 4	}	}	}	}
Strobe 1	I_{IL}						
Strobe 2	I_{IL}						
Kurzschlußausgangsstrom pro Ausgang	$-I_Q$	$U_S = U_{SA}$, $U_Q = 0\text{ V}$	5	9	15	25	mA
H-Stromaufnahme pro Glied	I_{SH}	$U_S = U_{SA}$, $U_I = 0\text{ V}$	6		1,2	2,1	mA
L-Stromaufnahme pro Glied	I_{SL}	$U_S = U_{SA}$, $U_I = U_{IHA}$	7		2,3	4,0	mA
Leistungsverbrauch pro Glied	P	$U_S = U_{SA}$ Tastverhältnis 1:1			27	51	mW

Schaltzeiten bei $U_S = 15\text{ V}$, $F_Q = 1$, $T_U = 25\text{ °C}$

Signal-Laufzeit	t_{PLH}	} $C_L = 10\text{ pF}$ bei 4,5 V über Masse	} 26	}	}	}
	t_{PHL}					
Signal-Übergangszeit	t_{TLH}	} $C_L = 10\text{ pF}$	}	}	}	}
	t_{THL}					
					195	ns
					140	ns
					410	ns
					75	ns

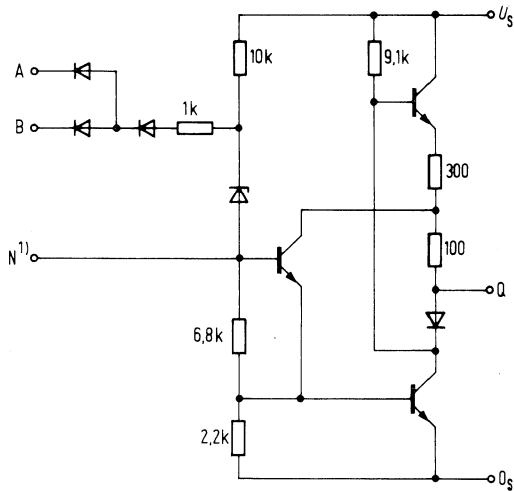
Vier NAND-Glieder mit je zwei Eingängen

FZH 101 A
FZH 105 A
FZH 111 A
FZH 115 B



Anschlußanordnung
Ansicht von oben

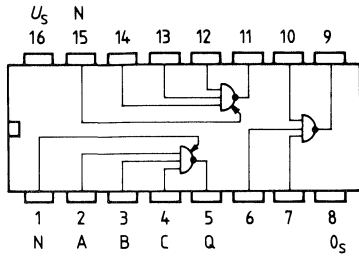
Schaltschema (ein Glied)



Logische Daten pro Glied

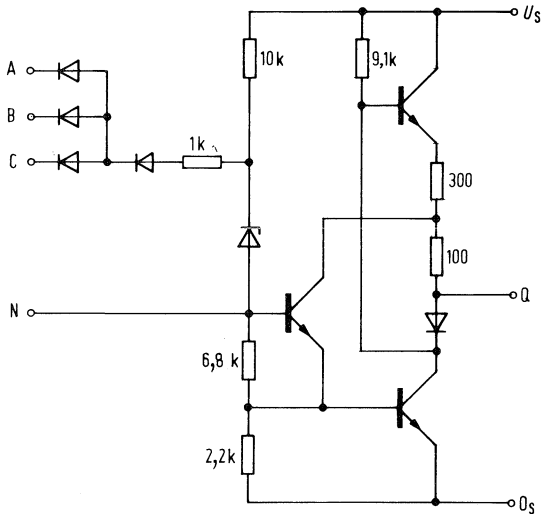
		obere Grenze A
H-Ausgangslastfaktor	F_{QH}	100
L-Ausgangslastfaktor	F_{QL}	10
Eingangslastfaktor, pro Eingang	F_I	1
Logische Funktion	$Q = \overline{A \wedge B}$	

1) Nur bei FZH 111 A/115 B



Anschlußanordnung
Ansicht von oben

Schaltschema (ein Glied)

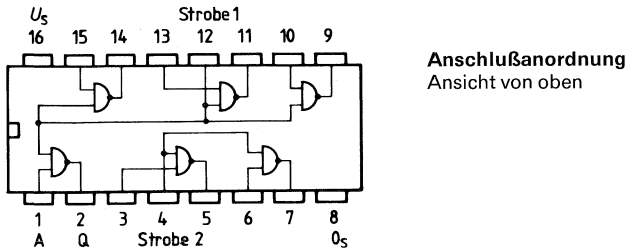


Logische Daten pro Glied

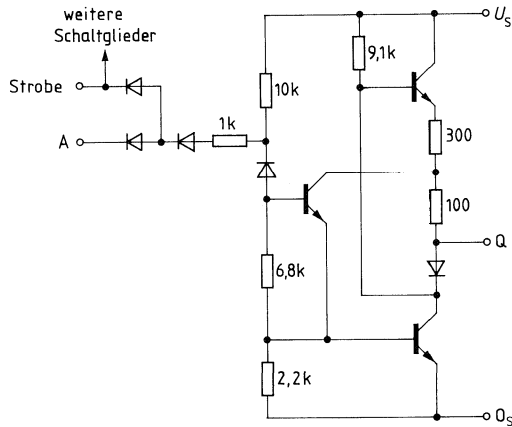
		obere Grenze A
H-Ausgangslastfaktor	F_{QH}	100
L-Ausgangslastfaktor	F_{QL}	10
Eingangslastfaktor pro Eingang	F_I	1

Logische Funktion

$$Q = \overline{A \wedge B \wedge C}$$



Schaltschema (ein Glied)



Logische Daten pro Glied

		obere Grenze A
H-Ausgangslastfaktor	F_{OH}	100
L-Ausgangslastfaktor	F_{OL}	10
Eingangslastfaktor A-Eingänge	F_I	1
Strobe 1	F_I	4
Strobe 2	F_I	2

Logische Funktion

$$Q = \overline{A \wedge \text{Strobe}}$$

Typ	Bestellnummer
FZH 211	Q67000–H639
FZH 215 B	Q67000–H640–B
FZH 231	Q67000–H642
FZH 235	Q67000–H643

FZH 211, FZH 215 B: Vier NAND-Glieder mit je zwei Eingängen, offenem Kollektor und N-Anschluß

FZH 231, FZH 235: Zwei NAND-Glieder mit je fünf Eingängen, offenem Kollektor und N-Anschluß

Die Formeln für die wired-AND-Verknüpfung gelten wie bei FZH 161/181 gezeigt. Bei wired-AND-Verknüpfung und N-Beschaltung müssen gleichgroße Kapazitäten C_N verwendet werden.

Die zulässige Spannung an den Ausgängen beträgt maximal 18 V und 30 V beim FZH 215 B, der Strom maximal 18 mA. Die zulässige Eingangsspannung des FZH 215 B ist 30 V.

Statische Kenndaten im 12 V-Bereich
im Temperaturbereich 1 und 5

	Prüfbedingungen	Prüfschal- tung	untere Grenze B	typ.	obere Grenze A	Ein- heit
Speisespannung	U_S		11,4	12,0	13,5	V
H-Eingangsspannung	U_{IH}	$U_S = U_{SB}$	7,5			V
L-Eingangsspannung	U_{IL}	$U_S = U_{SB}$ und U_{SA}	2		4,5	V
L-Ausgangsspannung	U_{OL}	$U_S = U_{SB}$, $U_{IH} = 7,5$ V $I_{OL} = 15$ mA	1	0,9	1,7	V
Statische Störsicherheit						
H-Signal	U_{SS}		2,5	5,0		V
L-Signal	U_{SS}		2,8	5,0		V
H-Eingangsstrom pro Eingang	I_{IH}	$U_S = U_{SA}$, $U_I = U_{IHA}$	3		1,0	µA
L-Eingangsstrom pro Eingang	$-I_{IL}$	$U_S = U_{SA}$, $U_{IL} = 1,7$ V	4	0,8	1,5	mA
H-Ausgangsstrom	I_{OH}	$U_S = U_{SB}$, $U_{IL} = 4,5$ V $U_{OH} = 18$ V bzw. 30 V	8		80	µA
H-Stromaufnahme pro Glied	I_{SH}	$U_S = U_{SA}$, $U_I = 0$ V	6	1,0	1,7	mA
L-Stromaufnahme pro Glied	I_{SL}	$U_S = U_{SA}$, $U_I = U_{IHA}$	7	0,4	1,0	mA
Leistungsverbrauch pro Glied	P	$U_S = U_{SA}$ Tastverhältnis 1:1		8,5	18	mW

Schaltzeiten bei $U_S = 12$ V, $T_U = 25$ °C

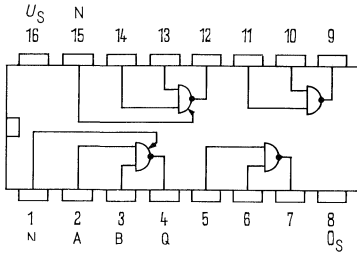
Signal-Laufzeit	t_{PLH}	$\left. \begin{array}{l} U_{SK} = 12 \text{ V}, C_L = 15 \text{ pF}, \\ R_K = 760 \Omega \end{array} \right\} 28$	30	70	150	ns
	t_{PHL}		90	175	310	ns
Signal-Übergangszeit	t_{TLH}		120	230	450	ns
	t_{THL}		70	120	210	ns

Statische Kenndaten im 15 V-Bereich
 im Temperaturbereich 1 und 5

	Prüfbedingungen	Prüf-schal-tung	untere Grenze B	typ.	obere Grenze A	Ein-heit
Speisespannung	U_S		13,5	15,0	17,0	V
H-Eingangsspannung	U_{IH}	1	7,5			V
L-Eingangsspannung	U_{IL}	2			4,5	V
L-Ausgangsspannung	U_{OL}	1		1,0	1,7	V
			$U_S = U_{SB}$			
			$U_S = U_{SB}$ und U_{SA}			
			$U_S = U_{SB}$, $U_{IH} = 7,5$ V			
			$I_{OL} = 18$ mA			
Statische Störsicherheit						
H-Signal	U_{ss}		4,5	8,0		V
L-Signal	U_{ss}		2,8	5,0		V
H-Eingangsstrom pro Eingang	I_{IH}	3			1,0	μ A
			$U_S = U_{SA}$, $U_I = U_{IHA}$			
H-Ausgangsstrom	I_{OH}	8			80	μ A
			$U_S = U_{SB}$, $U_{IL} = 4,5$ V			
			$U_{OH} = 18$ V bzw. 30 V			
L-Eingangsstrom pro Eingang	$-I_{IL}$	4		1,0	1,8	mA
			$U_S = U_{SA}$, $U_{IL} = 1,7$ V			
H-Stromaufnahme pro Glied	I_{SH}	6		1,3	2,1	mA
			$U_S = U_{SA}$, $U_I = 0$ V			
L-Stromaufnahme pro Glied	I_{SL}	7		0,7	1,4	mA
			$U_S = U_{SA}$, $U_I = U_{IHA}$			
Leistungsverbrauch pro Glied	P			15	30	mW
			$U_S = U_{SA}$			
			Tastverhältnis 1:1			

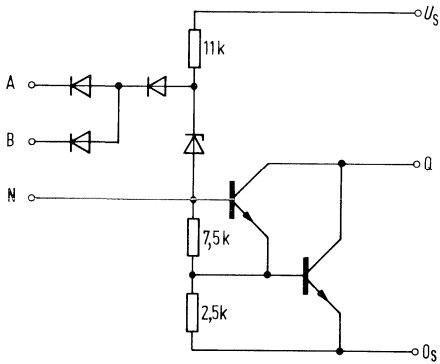
Schaltzeiten bei $U_S = 15$ V, $T_U = 25$ °C

Signal-Laufzeit	t_{PLH}	$\left. \begin{array}{l} U_{SK} = 15 \text{ V}, C_L = 15 \text{ pF}, \\ R_K = 760 \Omega \end{array} \right\} 28$	$\left. \begin{array}{l} 90 \\ 155 \\ 300 \\ 70 \end{array} \right\}$	$\left. \begin{array}{l} \text{ns} \\ \text{ns} \\ \text{ns} \\ \text{ns} \end{array} \right\}$
	t_{PHL}			
Signal-Übergangszeit	t_{TLH}			
	t_{THL}			



Anschlußanordnung
Ansicht von oben

Schaltschema (ein Glied)

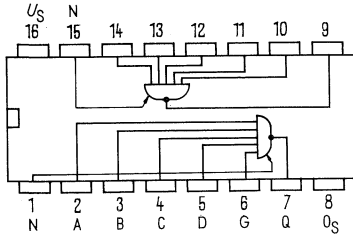


Logische Daten pro Glied

Logische Daten pro Glied		obere Grenze A
L-Ausgangslastfaktor	F_{OL}	10
Eingangslastfaktor pro Eingang	F_I	1
Logische Funktion	$Q = \overline{A \wedge B}$	

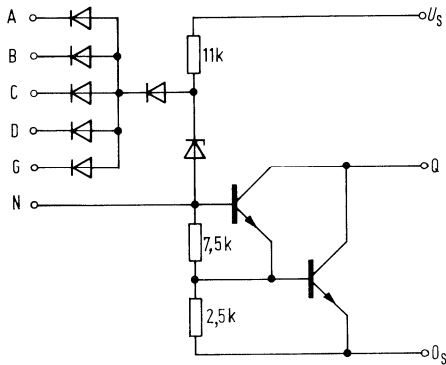
Zwei NAND-Glieder mit je fünf Eingängen, offenem Kollektor und N-Anschluß

FZH 231
FZH 235



Anschlußanordnung
Ansicht von oben

Schaltschema (ein Glied)



Logische Daten pro Glied

		obere Grenze A
L-Ausgangslastfaktor	F_{oL}	10
Eingangslastfaktor pro Eingang	F_i	1
Logische Funktion	$Q = A \wedge B \wedge C \wedge D \wedge G$	

Vorläufige Daten

Typ	Bestellnummer
FZH 211 S	Q67000-H639-S1

Vier NAND-Treiber mit offenem Kollektorausgang, 2 Eingängen und N-Anschluß zur Verzögerung. Eingangsschwelle umschaltbar auf LSL-, TTL- und CMOS Pegel, in Abhängigkeit von der verwendeten Speisespannung.

Hauptanwendung

Treiber bis 30 V/150 mA, Relaisreiber und Pegelwandler.

Die Formeln für die wired-AND-Verknüpfung gelten wie bei FZH 161/181 gezeigt. Bei wired-AND-Verknüpfung und N-Beschaltung müssen gleichgroße Kapazitäten C_N verwendet werden.

Zusätzliche Grenzdaten

Zusätzliche Grenzdaten		Prüfbedingungen	untere Grenze B	obere Grenze A	Einheit
Speisespannung	U_S		0	30	V
Eingangsspannung	U_I		-0,5	30	V
Spannung zw. 2 Eingängen	U_{I1}			30	V
Spannung am Ausgang	$U_{OH\ sust}$			30	V
Ausgangstransistor gesperrt					
Spannung am Ausgang	U_{OL}		0		V
Ausgangstransistor leitend					
Ausgangsstrom	I_{OL}			150	mA
Kapazität an Q	C_L			5	nF
Kapazität zwischen N und Q	C_N			0,1	µF

Im übrigen gelten die für die LSL-Serie FZ 100 definierten Grenzdaten.

Funktionsbereich

Temperaturbereich 1

Speisespannungsbereich 1	U_S	TTL-Schwelle an A, B	4	7	V
Speisespannungsbereich 2	U_S	LSL-Schwelle an A, B	9	30	V
Speisespannung	U_S	Umschaltung der Schwelle an A, B bei $U_S = 8\text{ V typ}$	4	30	V

Kenndaten im 5 V-Bereich
Temperaturbereich 1

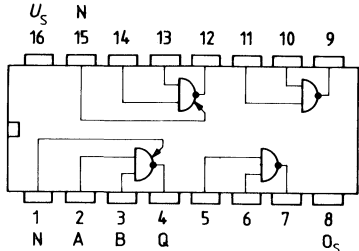
	Prüfbedingungen	Prüf- schal- tung ²⁾	untere Grenze B	typ.	obere Grenze A	Ein- heit	
Speisespannung	U_S		4		7	V	
H-Eingangsspannung	U_{IH}	L an Q	2			V	
L-Eingangsspannung	U_{IL}	H an Q	2			V	
L-Ausgangsspannung	U_{OL}	$U_{IH} = 2\text{ V}, I_{OL} = 1,6\text{ mA}$	4	0,7	0,8	V	
L-Ausgangsspannung	U_{OL}	$U_{IH} = 2\text{ V}, I_{OL} = 100\text{ mA}$	4		0,8	V	
L-Ausgangsspannung ¹⁾	U_{OL}	$U_{IH} = 2\text{ V}, I_{OL} = 150\text{ mA}$	4		1,3	V	
H-Eingangsstrom	I_{IH}	$U_{IH} = 30\text{ V}$	3		1,5	V	
L-Eingangsstrom	$-I_{IL}$	$U_{IL} = 0\text{ V}$	2	5	1	μA	
H-Ausgangsstrom	I_{OL}	$U_{IL} = 0,8\text{ V}, U_{OH} = 30\text{ V}$	5		50	μA	
Stromaufnahme pro Gehäuse	I_S	$U_S = 7\text{ V}$	1	1,5	3	4	mA

Kenndaten im 12 V, 15 V, 24 V-Bereich
Temperaturbereich 1

Speisespannung	U_S		9		30	V	
H-Eingangsspannung	U_{IH}	L an Q	3	8		V	
L-Eingangsspannung	U_{IL}	H an Q	2		6	V	
L-Ausgangsspannung	U_{OL}	$U_{IH} = 8\text{ V}, I_{OL} = 100\text{ mA}$	4	1	1,3	V	
L-Ausgangsspannung ¹⁾	U_{OL}	$U_{IH} = 8\text{ V}, I_{OL} = 150\text{ mA}$	4		1,5	V	
H-Eingangsstrom	I_{IH}	$U_{IH} = 30\text{ V}$	3		1	μA	
L-Eingangsstrom	$-I_{IL}$	$U_{IL} = 0\text{ V}$	2	5	50	μA	
H-Ausgangsstrom	I_{OH}	$U_{IL} = 6\text{ V}, U_{OH} = 30\text{ V}$	5		50	μA	
Stromaufnahme pro Gehäuse	I_S	$U_S = 30\text{ V}$	1	1,5	3	4	mA

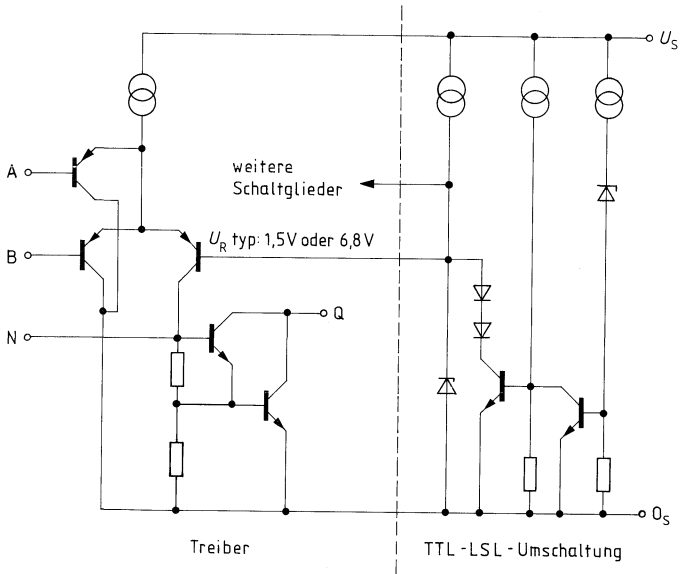
¹⁾ Die Summe aller Ausgangsströme pro Gehäuse darf 400 mA nicht überschreiten.

²⁾ Es gelten die für die LSL-Serie FZ 100 beschriebenen Prüfschaltungen, jedoch mit offenem Kollektor.



Anschlußanordnung
Ansicht von oben

Schaltschema (ein Glied)



Logische Funktion $Q = \overline{A \wedge B}$

Typ	Bestellnummer
FZH 241	Q67000-H645
FZH 245 B	Q67000-H646-B

An den Erweiterungseingängen N_1 können die NAND-Schmitt-Trigger mit Hilfe von Dioden BAW 76 beliebig erweitert werden. Dabei müssen die Anoden der Erweiterungsdioden am Anschluß N_1 parallel geschaltet werden.

Die Speisespannung ist bei unstabiliertem Netzteil direkt am Anschluß 16 mit einem Kondensator von $1\mu\text{F}$ abzublocken. Die zulässige Eingangsspannung des FZH 245 B ist 30V.

Statische Kenndaten im 12 V-Bereich im Temperaturbereich 1 und 5

	Prüfbedingungen	Prüf- schal- tung	untere Grenze B	typ.	obere Grenze A	Ein- heit	
Speisespannung	U_S		11,4	12,0	13,5	V	
obere Schwellenspannung	U_{So}	$U_S = 12,0\text{ V}$	2	5,5	6,5	7,5	V
untere Schwellenspannung	U_{Su}	$U_S = 12,0\text{ V}$	2	5,0	5,6	7,0	V
Hysteresese	U_{Hy}	$U_S = 12,0\text{ V}$	2	0,5	0,9	1,3	V
H-Ausgangsspannung	U_{QH}	$U_S = U_{SB}$ und U_{SA} $U_{IL} = 4,5\text{ V}$, $-I_{QH} = 0,1\text{ mA}$	2	10,0	11,3		V
L-Ausgangsspannung	U_{QL}	$U_S = U_{SB}$, $U_{IH} = 7,5\text{ V}$ $I_{QL} = 15\text{ mA}$	1		0,9	1,7	V
Statische Störsicherheit							
H-Signal	U_{ss}			2,5	5,0	V	
L-Signal	U_{ss}			2,8	5,0	V	
H-Eingangsstrom pro Eingang	I_{IH}	$U_S = U_{SA}$, $U_I = U_{IHA}$	3		1,0	μA	
L-Eingangsstrom pro Eingang	$-I_{IL}$	$U_S = U_{SA}$, $U_{IL} = 1,7\text{ V}$	4		1,5	mA	
Kurzschlußausgangsstrom pro Ausgang	$-I_O$	$U_S = U_{SA}$, $U_I = 0\text{ V}$	5	9,0	15,0	25,0	mA
H-Speisestrom pro Glied	I_{SH}	$U_S = U_{SA}$, $U_I = 0\text{ V}$	6		4,0	6,3	mA
L-Speisestrom pro Glied	I_{SL}	$U_S = U_{SA}$, $U_I = U_{IHA}$	7		4,0	6,3	mA

Schaltzeiten bei $U_S = 12\text{ V}$, $F_Q = 1$, $T_U = 25\text{ °C}$

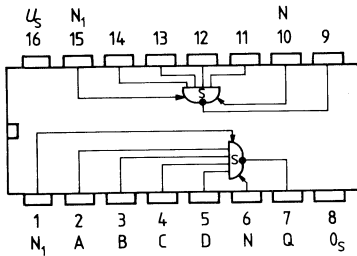
Signal-Laufzeit	t_{PLH}	} $C_L = 10\text{ pF}$ bei 4,5 V über Masse	} 26	90	175	310	ns
	t_{PHL}			90	175	310	ns
Signal-Übergangszeit	t_{TLH}	} $C_L = 10\text{ pF}$	}	200	340	570	ns
	t_{THL}			70	120	210	ns

Statische Kenndaten im 15 V-Bereich
im Temperaturbereich 1 und 5

	Prüfbedingungen	Prüf- schal- tung	untere Grenze B	typ.	obere Grenze A	Ein- heit
Speisespannung obere	U_S		13,5	15,0	17,0	V
Schwellenspannung untere	U_{So} $U_S = 15,0 V$	2	5,4	6,4	7,4	V
Schwellenspannung	U_{Su} $U_S = 15,0 V$	2	6,9	5,5	4,9	V
Hysterese	U_{Hy} $U_S = 15,0 V$	2	0,5	0,9	1,3	V
H-Ausgangsspannung	U_{QH} $U_S = U_{SB}$ und U_{SA} $U_{IL} = 4,5 V, -I_{QH} = 0,1 mA$	2	12,0	14,3		V
L-Ausgangsspannung	U_{QL} $U_S = U_{SB}, U_{IH} = 7,5 V$ $I_{QL} = 18 mA$	1		1,1	1,7	V
Statische Störsicherheit						
H-Signal	U_{ss}		4,5	8,0		V
L-Signal	U_{ss}		2,8	5,0		V
H-Eingangsstrom pro Eingang	I_{IH} $U_S = U_{SA}, U_I = U_{IHA}$	3			1,0	μA
L-Eingangsstrom pro Eingang	$-I_{IL}$ $U_S = U_{SA}, U_{IL} = 1,7 V$	4			1,8	mA
Kurzschlußausgangsstrom pro Ausgang	$-I_Q$ $U_S = U_{SA}, U_I = 0 V$	5	9	15	25	mA
H-Speisestrom pro Glied	I_{SH} $U_S = U_{SA}, U_I = 0 V$	6		4,5	7,3	mA
L-Speisestrom	I_{SL} $U_S = U_{SA}, U_I = U_{IHA}$	7		5,0	8,0	mA

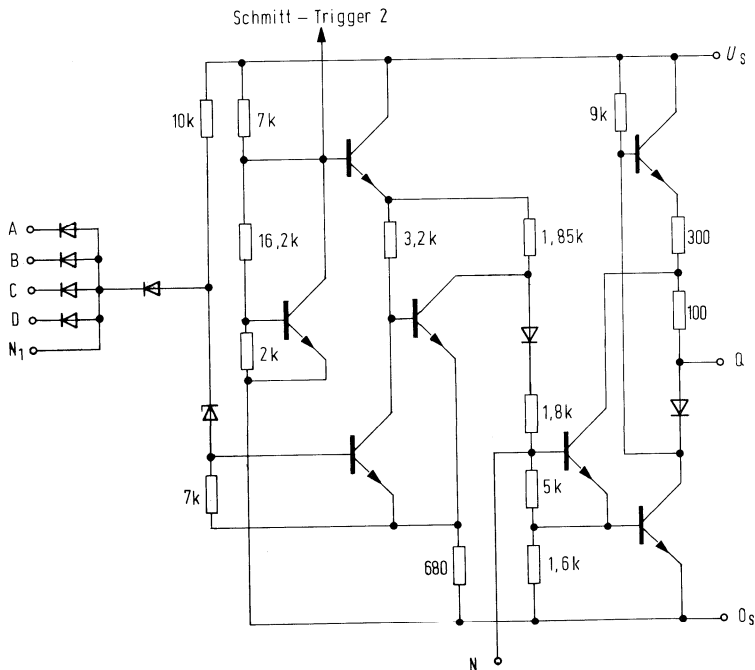
Schaltzeiten bei $U_S = 15 V, F_Q = 1, T_U = 25 ^\circ C$

Signal-Laufzeit	t_{PLH}	} $C_L = 10 pF$ bei 4,5 V über Masse	} 26	205	} ns
	t_{PHL}			170	
Signal-Übergangszeit	t_{TLH}	} $C_L = 10 pF$	}	340	} ns
	t_{THL}			120	



Anschlußanordnung
Ansicht von oben

Schaltschema (ein Glied)



Logische Daten pro Glied

H-Ausgangslastfaktor
L-Ausgangslastfaktor
Eingangslastfaktor pro Eingang

	obere Grenze A
F_{QH}	100
F_{QL}	10
F_i	1

Logische Funktion

$$Q = \overline{A \wedge B \wedge C \wedge D}$$

Typ	Bestellnummer
FZH 251	Q67000-H817
FZH 255 B	Q67000-H818-B
FZH 261	Q67000-H819
FZH 265 B	Q67000-H820-B
FZH 271	Q67000-H821
FZH 275	Q67000-H822
FZH 281	Q67000-H823
FZH 285 B	Q67000-H824-B
FZH 291	Q67000-H825
FZH 295 B	Q67000-H826-B

FZH 251/255 B: Vier UND-Glieder mit je 2 Eingängen und N-Anschluß
 FZH 261/265 B: Zwei NAND-Glieder mit je 2 Eingängen und vier Inverter
 FZH 271/275: Vier exklusiv-ODER-Glieder mit je 2 Eingängen und N-Anschluß
 FZH 281/285 B: Vier NOR-Glieder mit je 2 Eingängen und N-Anschluß
 FZH 291/295 B: Vier ODER-Glieder mit je 2 Eingängen und N-Anschluß
 Die zulässige Eingangsspannung der B-Typen ist 30 V.

Statische Kenndaten im 12 V-Bereich
im Temperaturbereich 1 und 5

	Prüfbedingungen	Prüf-schal-tung	untere Grenze B	typ.	obere Grenze A	Ein-heit
Speisespannung	U_S		11,4	12,0	13,5	V
H-Eingangsspannung	U_{IH}	$U_S = U_{SB}$	7,5			V
L-Eingangsspannung	U_{IL}	$U_S = U_{SA}$ und U_{SB}			4,5	V
H-Ausgangsspannung	U_{OH}	$U_S = U_{SB}$ und U_{SA} $-I_{QH} = 0,1$ mA	10,0	11,3		V
L-Ausgangsspannung	U_{OL}	$U_S = U_{SB}$, $I_{OL} = 15$ mA		0,9	1,7	V
Statische Störsicherheit						
H-Signal	U_{ss}		2,5	5,0		V
L-Signal	U_{ss}		2,8	5,0		V
H-Eingangsstrom pro Eingang	I_{IH}	$U_S = U_{SA}$, $U_I = U_{IHA}$			1,0	µA
L-Eingangsstrom pro Eingang	$-I_{IL}$	$U_S = U_{SA}$, $U_{IL} = 1,7$ V		0,8	1,5	mA
Kurzschlußausgangsstrom pro Ausgang	$-I_O$	$U_S = U_{SA}$, $U_I = 0$ V	9	15	25	mA

Statische Kenndaten im 12 V-Bereich
im Temperaturbereich 1 und 5

	Prüfbedingungen	Prüf- schal- tung	untere Grenze B	typ.	obere Grenze A	Ein- heit
Speiseströme FZH 251/255 B						
H-Speisestrom	I_{SH} $U_1 = U_{IHA}$	$U_S = U_{SA}$	6	6,4	12,5	mA
L-Speisestrom	I_{SL} $U_1 = 0 V$		7	9,6	18,0	mA
FZH 261/265 B						
H-Speisestrom	I_{SH} $U_1 = 0 V$	$U_S = U_{SA}$	6	6,2	12,5	mA
L-Speisestrom	I_{SL} $U_1 = U_{IHA}$		7	10,2	18,0	mA
FZH 271/275						
H-Speisestrom	I_{SH} $U_{I1} = U_{IHA}$	$U_S = U_{SA}$	6	13,8	21,5	mA
L-Speisestrom	I_{SL} $U_{I2} = 0 V$ $U_1 = 0 V$		7	15,2	24,0	mA
FZH 281/285 B						
H-Speisestrom	I_{SH} $U_1 = 0 V$	$U_S = U_{SA}$	6	13,2	21,5	mA
L-Speisestrom	I_{SL} $U_1 = U_{IHA}$		7	14,8	24,0	mA
FZH 291/295 B						
H-Speisestrom	I_{SH} $U_1 = U_{IHA}$	$U_S = U_{SA}$	6	9,0	14,0	mA
L-Speisestrom	I_{SL} $U_1 = 0 V$		7	14,4	24,0	mA

Statische Kenndaten im 15 V-Bereich
im Temperaturbereich 1 und 5

	Prüfbedingungen	Prüf- schal- tung	untere Grenze B	typ.	obere Grenze A	Ein- heit	
Speisespannung	U_S		13,5	15,0	17,0	V	
H-Eingangsspannung	U_{IH}	$U_S = U_{SB}$	1	7,5		V	
L-Eingangsspannung	U_{IL}	$U_S = U_{SB}$ und U_{SA}	2		4,5	V	
H-Ausgangsspannung	U_{QH}	$U_S = U_{SB}$ und U_{SA} , $-I_{QH} = 0,1$ mA	2	12,0	14,3	V	
L-Ausgangsspannung	U_{QL}	$U_S = U_{SB}$, $I_{QL} = 18$ mA	1		1,0	1,7	V
Statische Störsicherheit							
H-Signal	U_{ss}		4,6	8,0		V	
L-Signal	U_{ss}		2,8	5,0		V	
H-Eingangsstrom pro Eingang	I_{IH}	$U_S = U_{SA}$, $U_I = U_{IHA}$	3		1,0	μA	
L-Eingangsstrom pro Eingang	$-I_{IL}$	$U_S = U_{SA}$, $U_{IL} = 1,7$ V	4		1,0	1,8	mA
Kurzschlußausgangsstrom pro Ausgang	$-I_O$	$U_S = U_{SA}$, $U_I = 0$ V	5	9	15	25	mA
Speiseströme							
FZH 251/255 B							
H-Speisestrom	I_{SH}	$U_I = U_{IHA}$	6		8,7	15,5	mA
L-Speisestrom	I_{SL}	$U_I = 0$ V $U_S = U_{SA}$	7		13,8	24,0	mA
FZH 261/265 B							
H-Speisestrom	I_{SH}	$U_I = 0$ V	6		8,2	14,5	mA
L-Speisestrom	I_{SL}	$U_I = U_{IHA}$ $U_S = U_{SA}$	7		14,4	24,0	mA
FZH 271/275							
H-Speisestrom	I_{SH}	$U_{I1} = U_{IHA}$ $U_{I2} = 0$ V	6		16,4	24,0	mA
L-Speisestrom	I_{SL}	$U_I = 0$ V $U_S = U_{SA}$	7		19,2	30,0	mA
FZH 281/285 B							
H-Speisestrom	I_{SH}	$U_I = 0$ V	6		15,1	24,0	mA
L-Speisestrom	I_{SL}	$U_I = U_{IHA}$ $U_S = U_{SA}$	7		18,8	30,0	mA
FZH 291/295 B							
H-Speisestrom	I_{SH}	$U_I = U_{IHA}$	6		10,5	18,5	mA
L-Speisestrom	I_{SL}	$U_I = 0$ V $U_S = U_{SA}$	7		18,4	30,0	mA

Schaltzeiten bei $U_S = 12\text{ V}$, $F_Q = 1$, $T_U = 25\text{ °C}$ $Q = A \wedge B$

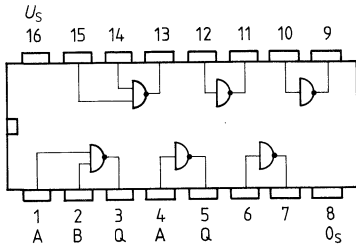
	Prüfbedingungen	Prüf- schal- tung	untere Grenze B	typ.	obere Grenze A	Ein- heit
FZH 261/265 B						
Signal-Laufzeit	t_{PLH} } $C_L = 10\text{ pF}$ bei 4,5 V	} 26	90	175	310	ns
	t_{PHL} } über Masse		90	175	310	ns
Signal-Übergangszeit	t_{TLH} } $C_L = 10\text{ pF}$	} 26	200	340	570	ns
	t_{THL} } über Masse		70	120	210	ns
FZH 251/255 B, FZH 271/275, FZH 291/295 B						
Signal-Laufzeit	t_{PLH} } $C_L = 10\text{ pF}$ bei 4,5 V	} 26	200	340	570	ns
	t_{PHL} } über Masse		90	175	310	ns
Signal-Übergangszeit	t_{TLH} } $C_L = 10\text{ pF}$	} 26	200	340	570	ns
	t_{THL} } über Masse		70	120	210	ns
FZH 281/285 B						
Signal-Laufzeit	t_{PLH} } $C_L = 10\text{ pF}$ bei 4,5 V	} 26	90	175	310	ns
	t_{PHL} } über Masse		200	340	570	ns
Signal-Übergangszeit	t_{TLH} } $C_L = 10\text{ pF}$	} 26	200	340	570	ns
	t_{THL} } über Masse		70	120	210	ns

Schaltzeiten bei $U_S = 15\text{ V}$, $F_Q = 1$, $T_U = 25\text{ °C}$

FZH 261/265 B						
Signal-Laufzeit	t_{PLH} } $C_L = 10\text{ pF}$ bei 4,5 V	} 26		185		ns
	t_{PHL} } über Masse			150		ns
Signal-Übergangszeit	t_{TLH} } $C_L = 10\text{ pF}$	} 26		410		ns
	t_{THL} } über Masse				70	ns
FZH 251/255 B, FZH 271/275, FZH 291/295 B						
Signal-Laufzeit	t_{PLH} } $C_L = 10\text{ pF}$ bei 4,5 V	} 26		340		ns
	t_{PHL} } über Masse				180	ns
Signal-Übergangszeit	t_{TLH} } $C_L = 10\text{ pF}$	} 26		390		ns
	t_{THL} } über Masse				130	ns
FZH 281/285 B						
Signal-Laufzeit	t_{PLH} } $C_L = 10\text{ pF}$ bei 4,5 V	} 26		305		ns
	t_{PHL} } über Masse				280	ns
Signal-Übergangszeit	t_{TLH} } $C_L = 10\text{ pF}$	} 26		340		ns
	t_{THL} } über Masse				120	ns

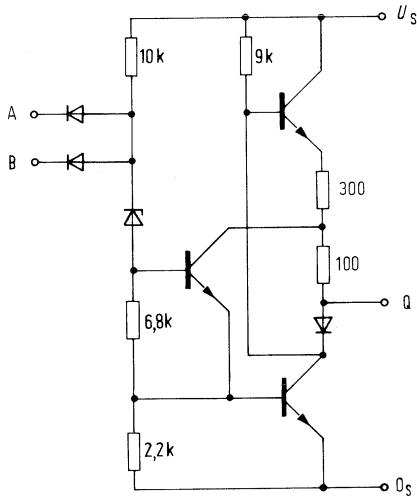
Zwei NAND-Glieder mit je 2 Eingängen und vier Inverter

FZH 261
FZH 265 B



Anschlußanordnung
Ansicht von oben

Schaltschema (ein Glied)



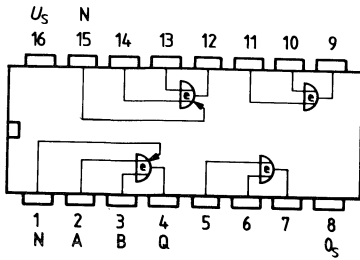
B-Eingang nur bei Glied 1 und 6

Logische Daten pro Glied

Logische Daten pro Glied		obere Grenze A
H-Ausgangslastfaktor	F_{QH}	100
L-Ausgangslastfaktor	F_{QL}	10
Eingangslastfaktor pro Eingang	F_I	1
Logische Funktion Glied 1 und 6	$Q = A \wedge B$	
Glied 2, 3, 4 und 5	$Q = \overline{A}$	

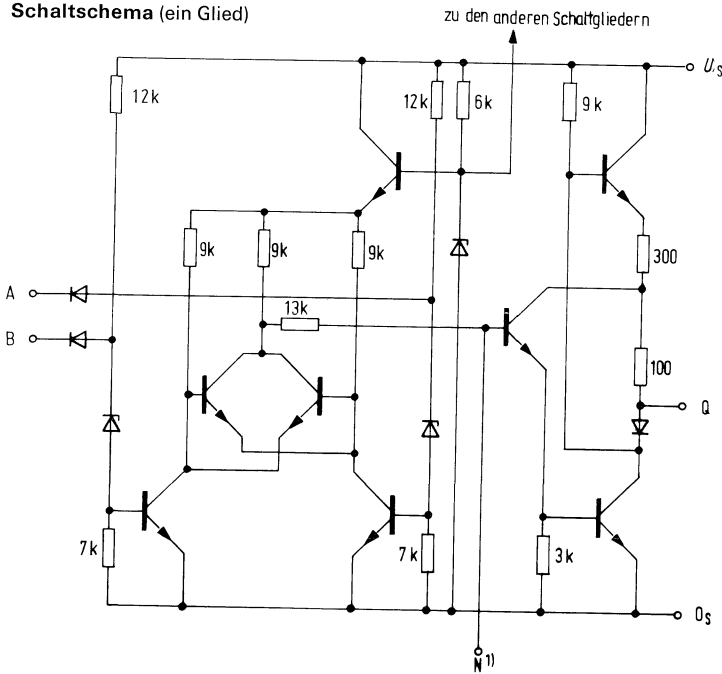
Vier exklusiv-ODER-Glieder mit je 2 Eingängen und N-Anschluß

FZH 271
FZH 275



Anschlußanordnung
Ansicht von oben

Schaltschema (ein Glied)



Logische Daten pro Glied

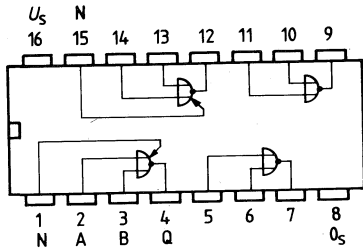
	obere Grenze A
H-Ausgangslastfaktor	F_{QH} 100
L-Ausgangslastfaktor	F_{QL} 10
Eingangslastfaktor pro Eingang	F_I 1

Logische Funktion

$$Q = (A \wedge \bar{B}) \vee (\bar{A} \wedge B)$$

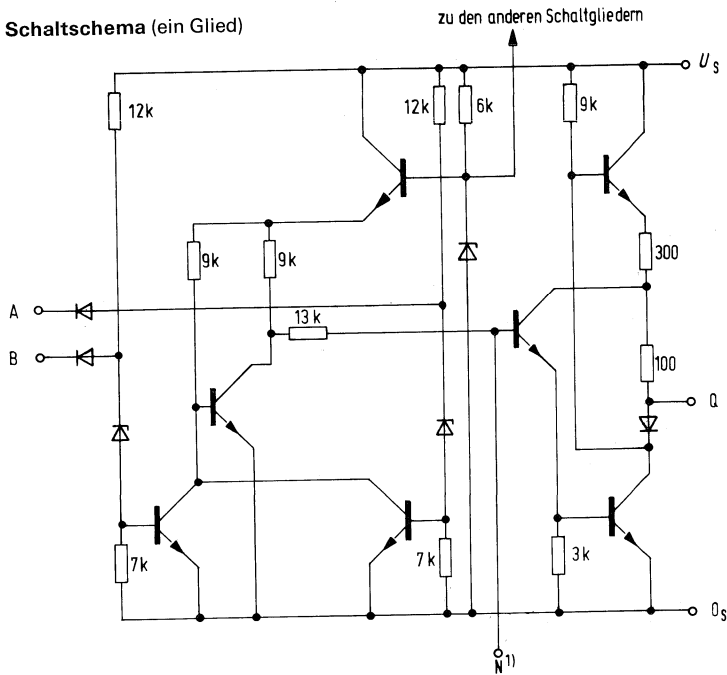
¹⁾ Nur bei Schaltglied 1 und 4

Vier NOR-Glieder mit je 2 Eingängen und N-Anschluß



Anschlußanordnung
Ansicht von oben

Schaltschema (ein Glied)



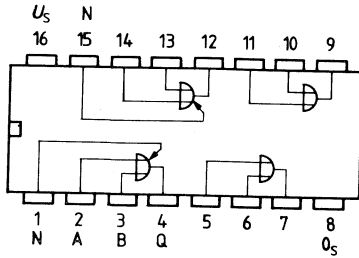
Logische Daten pro Glied

		obere Grenze A
H-Ausgangslastfaktor	F_{OH}	100
L-Ausgangslastfaktor	F_{OL}	10
Eingangslastfaktor pro Eingang	F_I	1

Logische Funktion

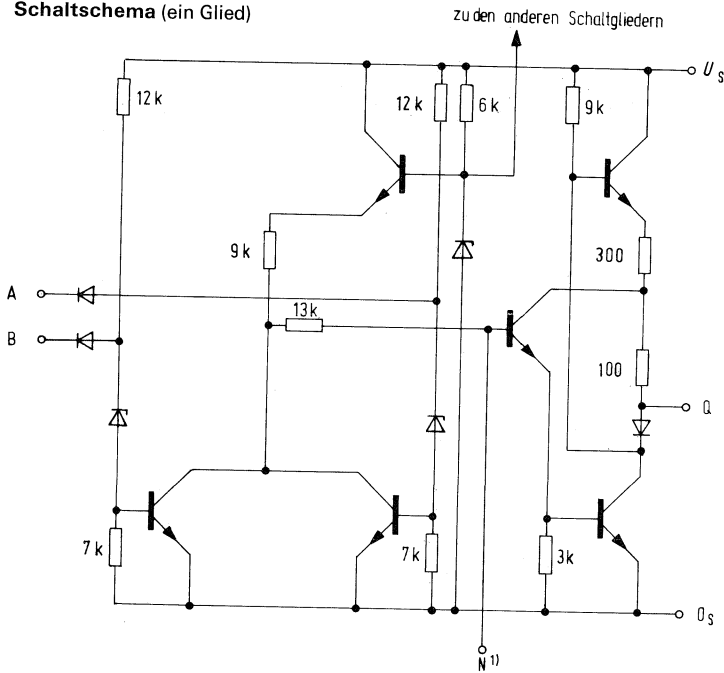
$$Q = \overline{A \vee B}$$

1) Nur bei Schaltglied 1 und 4



Anschlußanordnung
Ansicht von oben

Schaltschema (ein Glied)



Logische Daten pro Glied

		obere Grenze A
H-Ausgangslastfaktor	F_{OH}	100
L-Ausgangslastfaktor	F_{OL}	10
Eingangslastfaktor pro Eingang	F_I	1

Logische Funktion

$$Q = A \vee B$$

1) Nur bei Schaltglied 1 und 4

Vorläufige Daten

Typ	Bestellnummer
FZH 301	Q67000-H1586
FZH 305	Q67000-H1587

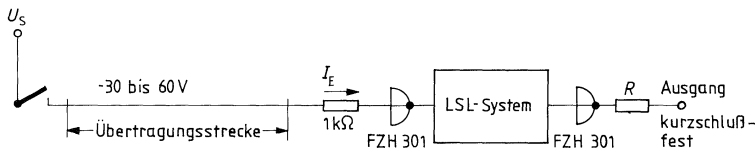
Die Bausteine FZH 301/305 haben folgende Eigenschaften:

Eingangsspannungen bis 30 V; aktive Eingänge d. h. unbeschaltete Eingänge wirken als L-Signal; Zerstörungsschutz an Ein- und Ausgängen; kurzschlußsichere Ausgänge gegen Masse- und Speisespannung.

Anwendungsbeispiel

Der Einsatz des FZH 301/5 in einer elektronischen Steuerung bietet Sicherheit gegen Überlastung, Kurzschluß und Drahtbruch, sowohl am Eingang als auch am Ausgang eines Systems.

Der Eingang des FZH 301/5 ist stromgesteuert, d. h. der Baustein funktioniert nur, wenn ein positives Eingangssignal auch einen entsprechenden Eingangsstrom I_E bewirkt. Dies bietet Sicherheit gegen Drahtbruch der Übertragungsleitung. Zur Ansteuerung des Bausteins sind positive Signale notwendig, so daß Kurzschlüsse gegen Erde auf dem Übertragungswege keine Funktion verursachen. Der Baustein besitzt weiterhin integrierte Schutzdioden, die mit Hilfe eines Vorwiderstandes von $1\text{k}\Omega$ einen wirksamen Schutz der Eingänge von -30 bis 60V gewährleisten. Der geringe Eingangsstrom des Bausteins ermöglicht auch höhere Widerstandswerte. Die sonst üblichen Schutzdioden können entfallen.



Die Ausgangsstufe des FZH 301/5 ist so ausgelegt, daß die Kurzschlüsse sowohl nach Erde als auch nach der positiven Speisespannung unabhängig vom logischen Zustand zulässig sind. Integrierte Schutzdioden mit einem zulässigen Strom von $\pm 30\text{mA}$ für $30\mu\text{s}$ bieten Sicherheit gegen Überlastung. Gegebenenfalls kann ein Serienwiderstand zur Strombegrenzung vorgesehen werden. Eine entsprechende Reduzierung des Ausgangslastfaktors ist dabei zu berücksichtigen. Die sonst üblichen Schutzdioden können entfallen.

Zusätzliche Grenzdaten	Bedingungen	untere	obere	Einheit
		Grenze B	Grenze A	
Eingangsstrom pro Eingang max. 4 Eingänge gleichzeitig Ausgangsstrom pro Ausgang	I_I } Impuls 30 μ s P : P = 1 : 100 I_O }	-30	30	mA
		-30	30	mA

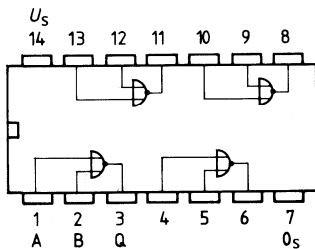
Statische Kenndaten

im Temperaturbereich 1 und 5

	Prüfbedingungen	Prüfschaltung	untere Grenze B	typ.	obere Grenze A	Einheit
Speisespannung	U_S		11,4	15	17	V
H-Eingangsspannung	U_{IH}	$U_S = U_{SA}$ bis U_{SB}	3	8	30	V
L-Eingangsspannung	U_{IL}	$U_S = U_{SA}$ bis U_{SB}	3	0	4,5	V
H-Ausgangsspannung	U_{QH}	$U_S = U_{SA}$ bis U_{SB} $-I_{QH} = 5$ mA	3	$U_S - 1,4$		V
L-Ausgangsspannung	U_{QL}	$U_S = U_{SA}$ bis U_{SB} $I_{QL} = 1,8$ mA	3		1,7	V
	U_{QL}	$U_S = U_{SA}$ bis U_{SB} $I_{QL} = 5,4$ mA	3		2,6	V
Eingangsstrom	I_I	$U_I = 2$ V bis 30 V	2	0,2	0,5	1 mA
	$-I_I$	$U_I = 0$ V	2		10	μ A
Kurzschlußausgangsstrom	$-I_{QH}$	$U_S = U_{SA}, U_Q = 0$ V	1	9	15	30 mA
H-Speisestrom	I_{QH}	$U_S = U_{SA}, U_Q = U_S$	1	5,5	10	25 mA
L-Speisestrom	I_{SH}	$U_S = U_{SA}, U_I = 0$ V	6		12	12 mA
Zenerschutz der Eingänge	I_{SL}	$U_S = U_{SA}, U_I = U_{SA}$	7		20	20 mA
	U_{IZ}	$I_I \leq 30$ mA Impuls 30 μ s P : P = 1 : 100	3	30		V
Eingangsschutz mit Serienwiderstand	U_{IR}	$I_I \leq 30$ mA $R_S = 1$ K Ω		-30	60	V
Schutzdioden der Ausgänge und Eingänge in Flußrichtung	U_{OF}	$I_Q \leq 30$ mA	2 + 3		2	V

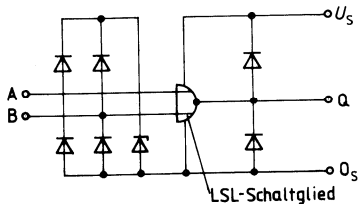
Dynamische Kenndaten
im Temperaturbereich 1 und 5

	Prüfbedingungen	Prüf-schaltung	untere Grenze B	typ.	obere Grenze A	Einheit
Signal-Laufzeit	$U_S = U_{SA} \text{ bis } U_{SB}$ $C_L = 100 \text{ pF}$ $U_I = U_Q = 7 \text{ V}$ Eingangsimpuls: 10 V, $t_{THL}, t_{LH} \leq 1 \mu\text{s}$	} 26			1 1	μs μs
Signal-Übergangszeit					0,6 0,6	μs μs



Anschlußanordnung
Ansicht von oben

Prinzipschaltung (ein Glied)



Logische Funktion: $Q = \overline{A \wedge B}$

Typ	Bestellnummer
FZJ 101	Q67000-J95
FZJ 105	Q67000-J124
FZJ 111	Q67000-J96
FZJ 115	Q67000-J125

FZJ 101/105: JK-Master-Slave Flipflop mit je zwei J- und K-Eingängen und N-Anschlüssen am Slave.

FZJ 111/115: JK-Master-Slave Flipflop mit N-Anschlüssen an Master und Slave.

Statische Kenndaten im 12 V-Bereich

im Temperaturbereich 1 und 5

		Prüfbedingungen	Prüf-schal-tung	untere Grenze B	typ.	obere Grenze A	Ein-heit
Speisespannung	U_S			11,4	12,0	13,5	V
H-Eingangsspannung	U_{IH}	$U_S = U_{SB}$	22	7,5			V
L-Eingangsspannung an allen Eingängen außer T	U_{iL}	$U_S = U_{SB}$ und U_{SA}	22			4,5	V
L-Eingangsspannung an T	U_{iL}	$U_S = U_{SB}$ und U_{SA}	22			4,0	V
H-Ausgangsspannung	U_{OH}	$U_S = U_{SB}$ und U_{SA} $U_{iL} = 4,5 \text{ V}^1)$ $-I_{OH} = 0,1 \text{ mA}$	22	10,0	11,3		V
L-Ausgangsspannung	U_{OL}	$U_S = U_{SB}$, $U_{iH} = 7,5 \text{ V}^1)$ $I_{OL} = 15 \text{ mA}$	22		1,0	1,7	V
Statische Störsicherheit							
H-Signal	U_{ss}			2,5	5,0		V
L-Signal	U_{ss}			2,8	5,0		V
H-Eingangsstrom an allen Eingängen außer T	I_{iH}	$U_S = U_{SA}$, $U_i = U_{iHA}$	23			1,0	μA
H-Eingangsstrom an T	I_{iH}	$U_S = U_{SA}$, $U_i = U_{iHA}$	23			3,0	μA
L-Eingangsstrom an allen Eingängen außer T	$-I_{iL}$	$U_S = U_{SA}$, $U_{iL} = 1,7 \text{ V}$	24		0,8	1,5	mA
L-Eingangsstrom an T	$-I_{iL}$	$U_S = U_{SA}$, $U_{iL} = 1,7 \text{ V}$	24		1,6	3,0	mA
Kurzschlußausgangsstrom pro Ausgang	$-I_O$	$U_S = U_{SA}$, $U_O = 0 \text{ V}$	25	10,0	30,0	50,0	mA
Speisestrom	I_S	$U_S = U_{SA}$, $U_i = U_{iHA}$	23		8,0	14,0	mA

¹⁾ gemessen an R bzw. \bar{S} .

Schaltzeiten bei $U_S = 12\text{ V}$, $F_Q = 1$, $T_U = 25\text{ °C}$

		Prüfbedingungen	Prüf-schal-tung	untere Grenze B	typ.	obere Grenze A	Ein-heit
Maximale Zählfrequenz	f_Z	Taktverhältnis 1 : 1		0,2	0,5		MHz
Taktimpulsdauer	t_{pT}	bei 50%		0,6			μs
Rückstellimpulsdauer	t_{pR}			1,0			μs
Stellimpulsdauer	t_{pS}			1,0			μs
Vorbereitungszeit	t_v			0			ns
Haltezeit	t_H			0			ns
Signal-Laufzeit von T nach Q	t_{PLH}	$C_L = 10\text{ pF}$ bei 4,5 V über Masse	31	160	290	520	ns
von \bar{R} oder \bar{S} nach Q	t_{PHL}		31	270	450	770	ns
Signal-Übergangszeit an Q	t_{PLH}		30	70	165	330	ns
	t_{PHL}		30	180	330	580	ns
	t_{TLH}	$C_L = 10\text{ pF}$	31	200	340	570	ns
	t_{THL}		31	70	120	210	ns

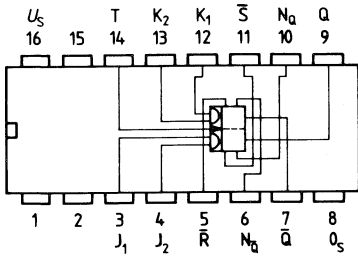
Statische Kenndaten im 15 V-Bereich
im Temperaturbereich 1 und 5

Speisespannung	U_S			13,5	15,0	17,0	V
H-Eingangsspannung	U_{IH}	$U_S = U_{SB}$	22	7,5			V
L-Eingangsspannung, an allen Eingängen außer T	U_{IL}	$U_S = U_{SB}$ und U_{SA}	22			4,5	V
L-Eingangsspannung an T	U_{IL}	$U_S = U_{SB}$ und U_{SA}	22			4,0	V
H-Ausgangsspannung	U_{QH}	$U_S = U_{SB}$ und U_{SA} ($U_{IL} = 4,5\text{ V}^1$) $-I_{QH} = 0,1\text{ mA}$	22	12,0	14,3		V
L-Ausgangsspannung	U_{QL}	$U_S = U_{SB}$, $U_{IH} = 7,5\text{ V}^1$ $I_{QL} = 18\text{ mA}$	22		1,1	1,7	V
Statische Störsicherheit							
H-Signal	U_{SS}			4,5	8,0		V
L-Signal	U_{SS}			2,8	5,0		V
H-Eingangsstrom an allen Eingängen außer T	I_{IH}	$U_S = U_{SA}$, $U_I = U_{IHA}$	23			1,0	μA
H-Eingangsstrom an T	I_{IH}	$U_S = U_{SA}$, $U_I = U_{IHA}$	23			3,0	μA
L-Eingangsstrom an allen Eingängen außer T	$-I_{IL}$	$U_S = U_{SA}$, $U_{IL} = 1,7\text{ V}$	24		1,0	1,8	mA
L-Eingangsstrom an T	$-I_{IL}$	$U_S = U_{SA}$, $U_{IL} = 1,7\text{ V}$	24		2,0	3,6	mA
Kurzschlußausgangsstrom pro Ausgang	$-I_{OQ}$	$U_S = U_{SA}$, $U_Q = 0\text{ V}$	25	25,0	37,0	60,0	mA
Speisestrom	I_S	$U_S = U_{SA}$, $U_I = U_{IHA}$	23		11,0	20,0	mA

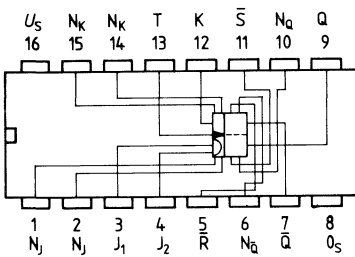
¹⁾ gemessen an \bar{R} bzw. \bar{S} .

Schaltzeiten bei $U_S = 15\text{ V}$, $F_Q = 1$, $T_U = 25\text{ °C}$

	Prüfbedingungen	Prüf- schal- tung	untere Grenze B	typ.	obere Grenze A	Ein- heit
Signal-Laufzeit von T nach Q	} $C_L = 10\text{ pF}$ bei 4,5 V über Masse	t_{PLH}	31	330		ns
		t_{PHL}	31	470		ns
von \bar{R} oder \bar{S} nach Q		t_{PLH}	30	195		ns
		t_{PHL}	30	340		ns
Signal-Übergangszeit an Q	} $C_L = 10\text{ pf}$	t_{TLH}	31	410		ns
		t_{THL}	31	75		ns



FZJ 101, FZJ 105
Anschlußanordnung
 Ansicht von oben



FZJ 111, FZJ 115
Anschlußanordnung
 Ansicht von oben

Logische Daten

		obere Grenze A
H-Ausgangslastfaktor pro Ausgang	F_{QH}	100
L-Ausgangslastfaktor pro Ausgang	F_{QL}	10
H-Eingangslastfaktor an T	F_{IH}	3
L-Eingangslastfaktor an T	F_{IL}	2
Eingangslastfaktor der übrigen Eingänge	F_I	1

Dynamisch wirken \bar{R} und \bar{S} wie 1,5 Normallasten

Logisches Verhalten

t_n		t_{n+1}
J	K	Q
L	L	Q_n
L	H	L
H	L	H
H	H	\bar{Q}_n

$J = J_1 \wedge J_2$
 $K = K_1 \wedge K_2$ nur bei FZJ 101, FZJ 105
 t_n = Zeitpunkt vor dem Taktimpuls
 t_{n+1} = Zeitpunkt nach dem Taktimpuls

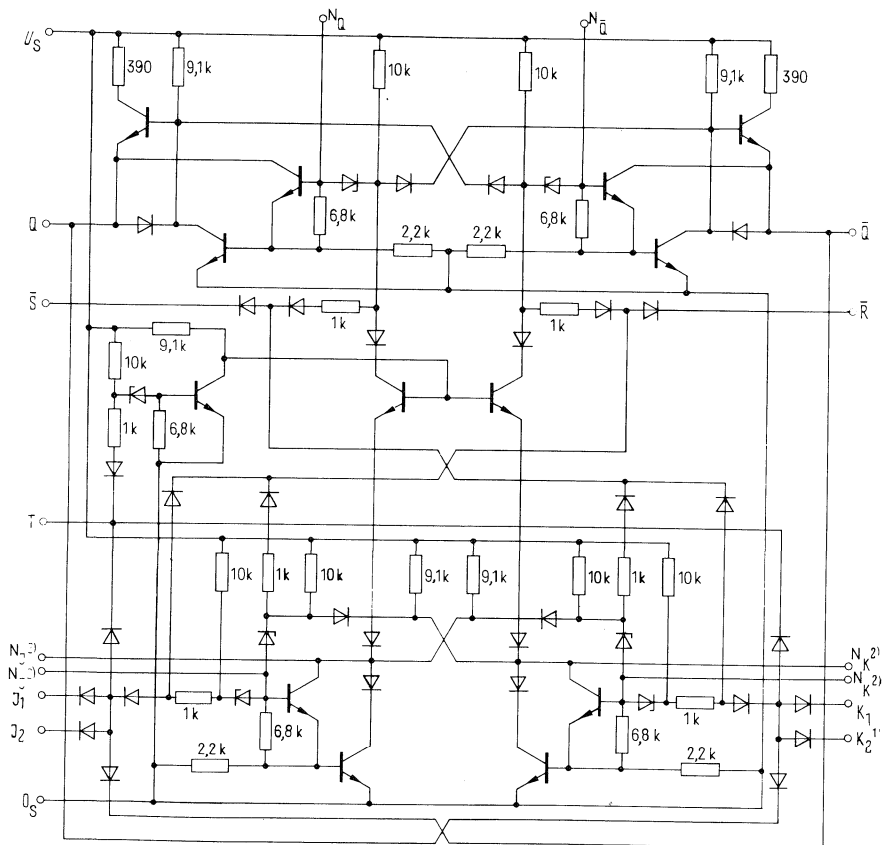
L-Potential an \bar{R} bringt Q auf L-Signal
 L-Potential an \bar{S} bringt Q auf H-Signal
 \bar{R} und \bar{S} arbeiten unabhängig von T

Taktimpuls



- 1 Slave von Master trennen
- 2 Signal von J und K in Master eingeben
- 3 J- und K-Eingänge sperren
- 4 Informationen von Master nach Slave übertragen

Schaltschema



J, K = Eingänge, Q, \bar{Q} = Ausgänge, \bar{R} = Rückstelleingang, \bar{S} = Stelleingang,
 T = Takteingang

1) Nur bei FZJ 101/105

2) Nur bei FZJ 111/115

Typ	Bestellnummer
FZJ 121	Q67000-J385
FZJ 125	Q67000-J386

Statische Kenndaten im 12 V-Bereich im Temperaturbereich 1 und 5

		Prüfbedingungen	Prüf- schal- tung	untere Grenze B	typ.	obere Grenze A	Ein- heit
Speisespannung	U_S			11,4	12,0	13,5	V
H-Eingangsspannung an T, J und K	U_{IH}	$U_S = U_{SB}$	22	8,0			V
L-Eingangsspannung an T	U_{IL}	$U_S = U_{SB}$ und U_{SA}	22			4,0	V
L-Eingangsspannung an J und K	U_{IL}	$U_S = U_{SB}$ und U_{SA}	22			5,5	V
H-Eingangsspannung an \bar{R} und \bar{S}	U_{IH}	$U_S = U_{SB}$	22	7,5			V
L-Eingangsspannung an \bar{R} und \bar{S}	U_{IL}	$U_S = U_{SB}$ und U_{SA}	22			4,5	V
H-Ausgangsspannung	U_{OH}	$U_S = U_{SB}$ und U_{SA} ($I_{QH} = 0,1$ mA $U_{IL} = 4,5$ V)	22	10,0	11,3		V
L-Ausgangsspannung	U_{OL}	$U_S = U_{SB}$, $U_{IH} = 7,5$ V) $I_{OL} = 18$ mA	22		1,0	1,7	V
Statische Störsicherheit H-Signal	U_{SS}			2,0	5,0		V
L-Signal	U_{SS}			2,3	5,0		V
H-Eingangsstrom an T	I_{IH}	$U_S = U_{SA}$, $U_I = U_{IHA}$	23			3,0	μ A
H-Eingangsstrom an J, K, \bar{R} und \bar{S}	I_{IH}	$U_S = U_{SA}$, $U_I = U_{IHA}$	23			1,0	μ A
L-Eingangsstrom an T	$-I_{IL}$	$U_S = U_{SA}$, $U_{IL} = 1,7$ V	24		1,6	3,0	mA
L-Eingangsstrom an J, K, \bar{R} und \bar{S}	$-I_{IL}$	$U_S = U_{SA}$, $U_{IL} = 1,7$ V	24		0,8	1,5	mA
Kurzschlußausgangsstrom pro Ausgang	$-I_Q$	$U_S = U_{SA}$, $U_O = 0$ V	25	9,0	15,0	25,0	mA
Speisestrom	I_S	$U_S = U_{SA}$, $U_I = U_{IHA}$	23		15,0	24,0	mA

¹⁾ gemessen an \bar{R} bzw. \bar{S} .

Schaltzeiten bei $U_S = 12\text{ V}$, $F_0 = 1$, $T_U = 25\text{ °C}$

	Prüfbedingungen	Prüf- schal- tung	untere Grenze B	typ.	obere Grenze A	Ein- heit	
Maximale Zählfrequenz	f_Z Taktverhältnis 1:1		0,2	0,5		MHz	
Taktimpulsdauer	t_{pT}	} bei 50%	0,6			μs	
Rückstellimpulsdauer	t_{pR}		1,0			μs	
Stellimpulsdauer	t_{pS}		1,0			μs	
Vorbereitungszeit	t_V		0			ns	
Haltezeit	t_H		0			ns	
Signal-Laufzeit von T nach Q	t_{PLH}	} $C_L = 10\text{ pF}$ bei 4,5 V über Masse	31	160	290	520	ns
	t_{PHL}		31	270	450	770	ns
von \bar{R} oder \bar{S} nach Q	t_{PLH}		30	70	165	330	ns
	t_{PHL}		30	180	330	580	ns
Signal-Übergangszeit an Q	t_{TLH}	} $C_L = 10\text{ pF}$	31	200	340	570	ns
	t_{THL}		31	70	120	210	ns

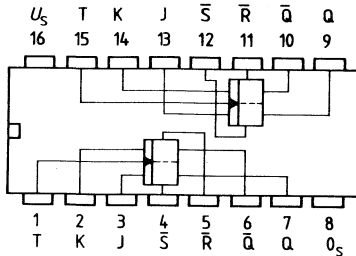
Statische Kenndaten im 15 V-Bereich
im Temperaturbereich 1 und 5

Speisespannung	U_S			13,5	15,0	17,0	V
H-Eingangsspannung an T, J und K	U_{IH}	$U_S = U_{SB}$	22	8,0			V
L-Eingangsspannung an T	U_{IL}	$U_S = U_{SB}$ und U_{SA}	22			4,0	V
L-Eingangsspannung an J und K	U_{IL}	$U_S = U_{SB}$ und U_{SA}	22			5,5	V
H-Eingangsspannung an R und S	U_{IH}	$U_S = U_{SB}$	22	7,5			V
L-Eingangsspannung an R und S	U_{IL}	$U_S = U_{SB}$ und U_{SA}	22			4,5	V
H-Ausgangsspannung	U_{QH}	$U_S = U_{SB}$ und U_{SA} $U_{IL} = 4,5\text{ V}^1)$, $-I_{QH} = 0,1\text{ mA}$	22	12,0	14,3		V
L-Ausgangsspannung	U_{QL}	$U_S = U_{SB}$, $U_{IH} = 7,5\text{ V}^1)$ $I_{QL} = 18\text{ mA}$	22		1,1	1,7	V
Statische Störsicherheit							
H-Signal	U_{SB}			4,0	8,0		V
L-Signal	U_{SS}			2,3	5,0		V
H-Eingangsstrom an T	I_{IH}	$U_S = U_{SA}$, $U_I = U_{IHA}$	23			3,0	μA
H-Eingangsstrom an J, K, R und S	I_{IH}	$U_S = U_{SA}$, $U_I = U_{IHA}$	23			1,0	μA
L-Eingangsstrom an T	$-I_{IL}$	$U_S = U_{SA}$, $U_{IL} = 1,7\text{ V}$	24		2,0	3,6	mA
L-Eingangsstrom an J, K, R und S	$-I_{IL}$	$U_S = U_{SA}$, $U_{IL} = 1,7\text{ V}$	24		1,0	1,8	mA
Kurzschlußausgangsstrom pro Ausgang	$-I_{O}$	$U_S = U_{SA}$, $U_O = 0\text{ V}$	25	9,0	15,0	25,0	mA
Speisestrom	I_S	$U_S = U_{SA}$, $U_I = U_{IHA}$	23		20,0	32,0	mA

¹⁾ gemessen an \bar{R} bzw. \bar{S} .

Schaltzeiten bei $U_s = 15\text{ V}$, $F_Q = 1$, $T_U = 25\text{ °C}$

	Prüfbedingungen	Prüf- schal- tung	untere Grenze B	typ.	obere Grenze A	Ein- heit
Signal-Laufzeit von T nach Q	t_{PLH}	}	31	330		ns
von \bar{R} oder \bar{S} nach Q	t_{PLH}	}	30	195		ns
Signal-Übergangszeit an Q	t_{TLH}	}	31	410		ns



Anschlußanordnung
Ansicht von oben

Logische Daten pro Flipflop

			obere Grenze A
H-Ausgangslastfaktor pro Ausgang	F_{QH}		100
L-Ausgangslastfaktor pro Ausgang	F_{QL}		10
Eingangslastfaktor an T	H-Signal	F_{IH}	3
an \bar{R} und \bar{S}	H-Signal	F_{IH}	1
an T, \bar{R} und \bar{S}	L-Signal	F_{IL}	2
übrige Eingänge		F_I	1

Dynamisch wirken \bar{R} und \bar{S} wie 1,5 Normallasten.

Logisches Verhalten

t_n		t_{n+1}
J	K	Q
L	L	Q_n
L	H	L
H	L	H
H	H	\bar{Q}_n

t_n = Zeitpunkt vor dem Taktimpuls

t_{n+1} = Zeitpunkt nach dem Taktimpuls

L-Potential an \bar{R} bringt Q auf L-Signal

L-Potential an \bar{S} bringt Q auf H-Signal

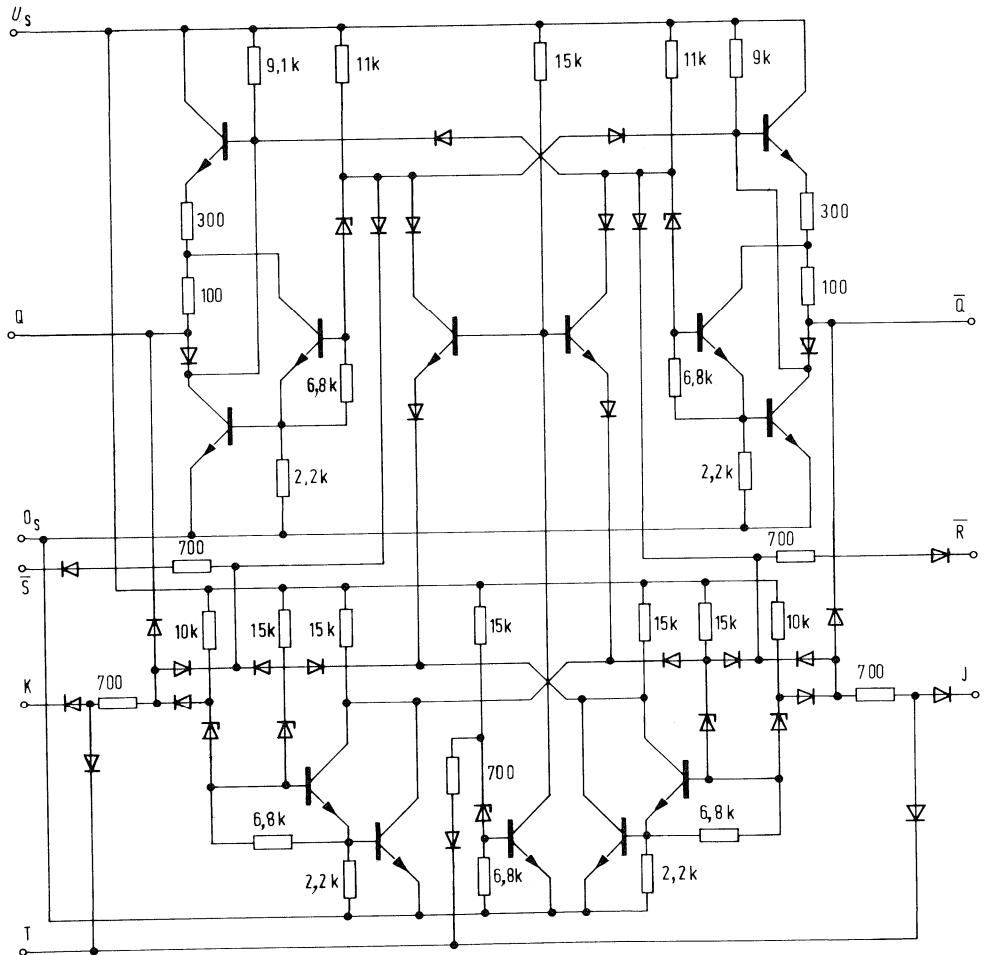
\bar{R} und \bar{S} arbeiten unabhängig von T

Taktimpuls



- 1 Slave von Master trennen
- 2 Signal von J und K in Master eingeben
- 3 J- und K-Eingänge sperren
- 4 Information von Master nach Slave übertragen

Schaltschema 1/2 FZJ 121



J, K = Eingänge, Q, \bar{Q} = Ausgänge, \bar{R} = Rückstelleingang, \bar{S} = Stelleingang, T = Takteingang

Typ	Bestellnummer
FZJ 131	Q67000-J388
FZJ 135	Q67000-J389

Der Baustein FZJ 131/135 enthält vier taktzustandsgesteuerte D-Flipflop. Informationen an D werden bei T = H nach Q übernommen. Bei T = L ist der D-Eingang gesperrt.
Typische Anwendung: 4-Bit-Zwischenspeicher.

Statische Kenndaten im 12 V-Bereich im Temperaturbereich 1 und 5

	Prüfbedingungen	untere Grenze B	typ.	obere Grenze A	Einheit
Speisespannung	U_S	11,4	12	13,5	V
H-Eingangsspannung	U_{IH}	7,5			V
L-Eingangsspannung	U_{IL}			4,5	V
H-Ausgangsspannung	U_{OH}	10,0	11,3		V
L-Ausgangsspannung	U_{OL}		0,9	1,7	V
Statische Störsicherheit	U_{SSH} U_{SSL}	2,5 2,8	5 5		V V
H-Eingangsstrom pro Eingang	I_{IH}			1	μ A
L-Eingangsstrom an D	$-I_{IL}$			3	mA
L-Eingangsstrom an T	$-I_{IL}$			6	mA
Kurzschlußausgangsstrom pro Ausgang	$-I_Q$	9	15	25	mA
Speisestrom	I_S		22	32	mA
Leistungsverbrauch	P		264	432	mW

Schaltzeiten bei $U_S = 12$ V, $F_Q = 1$, $T_U = 25$ °C

Maximale Zählfrequenz	f_Z	Taktverhältnis 1 : 1	0,5			MHz	
Taktimpulsdauer	t_{pT}	4,5 V über Masse	0,5			μ s	
Vorbereitungszeit an D							
H-Signal	t_S		300			ns	
L-Signal	t_S		500			ns	
Haltezeit an D							
H-Signal	t_H		150			ns	
L-Signal	t_H		50			ns	
Signal-Laufzeit von D nach Q	t_{PLH}		$C_L = 10$ pF bei 4,5 V über Masse	90	175	310	ns
	t_{PHL}			30	70	150	ns
von D nach \bar{Q}	t_{PLH}			30	70	150	ns
	t_{PHL}	70		130	290	ns	
von T nach Q	t_{PLH}	90		160	310	ns	
	t_{PHL}	70		120	210	ns	
von T nach \bar{Q}	t_{PLH}	90		150	310	ns	
	t_{PHL}	70		120	210	ns	
Signal-Übergangszeit an Q	t_{TLH}	$C_L = 10$ pF		50	90	170	ns
	t_{THL}			15	35	60	ns

Statische Kenndaten im 15 V-Bereich
im Temperaturbereich 1 und 5

	Prüfbedingungen	untere Grenze B	typ.	obere Grenze A	Einheit
Speisespannung	U_S	13,5	15	17	V
H-Eingangsspannung	U_{IH} $U_S = U_{SB}$	7,5			V
L-Eingangsspannung	U_{IL} $U_S = U_{SB}$ und U_{SA}			4,5	V
H-Ausgangsspannung	U_{OH} $U_S = U_{SB}, -I_{OH} = 0,1 \text{ mA}$ $U_{IH} = 7,5 \text{ V}$	12,0	14,3		V
L-Ausgangsspannung	U_{OL} $U_S = U_{SB}, I_{OL} = 18 \text{ mA},$ $U_{ID} = 4,5 \text{ V}, U_{IT} = 7,5 \text{ V}$		1,0	1,7	V
Statische Störsicherheit	U_{ssH}	4,5	8		V
	U_{ssL}	2,8	5		V
H-Eingangsstrom pro Eingang	I_{IH} $U_I = U_{IH}, U_S = U_{SA}$			1	μA
L-Eingangsstrom an D	$-I_{IL}$ $U_S = U_{SA}, U_{IL} = 1,7 \text{ V}$			3,6	mA
L-Eingangsstrom an T	$-I_{IL}$ $U_S = U_{SA}, U_{IL} = 1,7 \text{ V}$			7,2	mA
Kurzschlußausgangsstrom pro Ausgang	$-I_{O}$ $U_S = U_{SA}, U_I = U_O = 0 \text{ V}$	9	15	25	mA
Speisestrom	I_S $U_S = U_{SA}, U_I = 0 \text{ V}$		28	42	mA
Leistungsverbrauch	P $U_S = U_{SA}, U_I = 0 \text{ V}$		420	720	mW

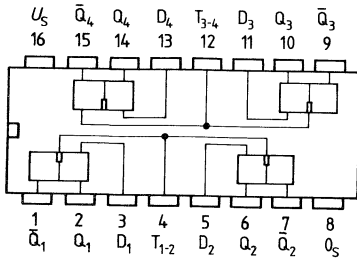
Schaltzeiten bei $U_S = 15 \text{ V}, F_0 = 1, T_U = 25 \text{ }^\circ\text{C}$

Signal-Laufzeit von D nach Q	t_{PLH}	$C_L = 10 \text{ pF}$ bei 4,5 V über Masse	210	ns	
	t_{PHL}		65	ns	
von D nach \bar{Q}	t_{PLH}		65	ns	
	t_{PHL}		125	ns	
von T nach Q	t_{PLH}		195	ns	
	t_{PHL}		115	ns	
von T nach \bar{Q}	t_{PLH}		205	ns	
	t_{PHL}		100	ns	
Signal-Übergangszeit an Q	t_{TLH}		$C_L = 10 \text{ pF}$	115	ns
	t_{THL}			25	ns

Logische Daten pro Flipflop

H-Ausgangslastfaktor pro Ausgang	F_{OH}	100
L-Ausgangslastfaktor pro Ausgang	F_{OL}	10
Eingangslastfaktor an D	F_I	2
Eingangslastfaktor an T	F_I	4

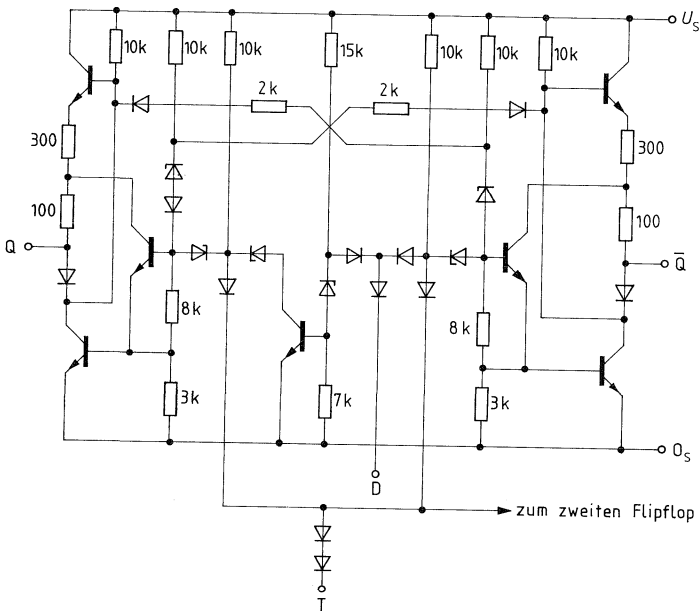
gilt für 2 Flipflop



Anschlußanordnung
Ansicht von oben

D = Eingang
Q, \bar{Q} = Ausgänge
T = Takteingang

Schaltschema (ein Flipflop)



Logisches Verhalten (jedes Flipflop)

Eingänge		Ausgang
T	D_n	Q_{n+1}
L	L	Q_n
L	H	Q_n
H	L	L
H	H	H

n: Zeitpunkt vor dem Informationswechsel an D
n + 1: Zeitpunkt nach dem Informationswechsel an D

Synchrone Zähler

FZJ 141 A
 FZJ 145 A
 FZJ 151 A
 FZJ 155 A

Typ	Bestellnummer
FZJ 141 A	Q67000-J642
FZJ 145 A	Q67000-J647
FZJ 151 A	Q67000-J684
FZJ 155 A	Q67000-J685

FZJ 141 A/145 A: Synchrone Dezimalzähler mit N-Anschluß
 FZJ 151 A/155 A: Synchrone 4-Bit-Binä rzähler mit N-Anschluß

Die Bausteine FZJ 141 A/145 A und FZJ 151 A/155 A sind synchrone Zähler mit je einem Stell-
 eingang pro Bit, gemeinsamem Rückstelleingang, Taktverriegelung und Übertragsfreigabe.
 Der in JK-Flipflops gespeicherte Zählerinhalt steht an den Ausgängen Q zur Verfügung. Die
 Ausgangsinformation erscheint jeweils nach der fallenden Taktflanke.
 Der Betrieb des Zählers ist in Impulssdiagrammen dargestellt.

Statische Kenndaten im 12 V-Bereich im Temperaturbereich 1 und 5

	Prüfbedingungen	Prüf- schal- tung	untere Grenze B	typ.	obere Grenze A	Ein- heit
Speisespannung	U_S		11,4	12	13,5	V
H-Eingangsspannung an F und T	U_{IH}		8			V
an \bar{A} , \bar{B} , \bar{C} , \bar{D} und \bar{R}	U_{IH}	$U_S = U_{SB}$	7,5			V
L-Eingangsspannung	U_{IL}	$U_S = U_{SA}$ und U_{SB}			4,5	V
H-Ausgangsspannung	U_{OH}	$U_S = U_{SB}, -I_{OH} = 0,1 \text{ mA}$	10,0	11,3		V
L-Ausgangsspannung	U_{OH}	$U_S = U_{SB}, I_{OL} = 15 \text{ mA}$		0,9	1,7	V
Statische Störsicherheit						
H-Signal	U_{SSH}		2,5	5		V
L-Signal	U_{SSL}		2,8	5		V
H-Eingangsstrom pro Eingang	I_{IH}	$U_S = U_{SA}, U_I = U_{IHA}$			1	μA
L-Eingangsstrom pro Eingang	$-I_{IL}$	$U_S = U_{SA}, U_{IL} = 1,7 \text{ V}$		0,8	1,5	mA
Kurzschlußausgangsstrom pro Ausgang	$-I_O$	$U_S = U_{SA}, U_O = 0 \text{ V}$	9	15	25	mA
H-Speisestrom	I_{SH}	$U_S = U_{SA}, U_I = U_{SA}$		12	17	mA
L-Speisestrom	I_{SL}	$U_S = U_{SA}$ Eingang \bar{R} : $U_I = 0 \text{ V}$, sonst. Eing.: $U_I = U_{SA}$		20	29	mA

Schaltzeiten bei $U_S = 12\text{ V}$, $F_Q = 1$, $T_U = 25\text{ °C}$

	Prüfbedingungen	Prüfschaltung	untere Grenze B	typ.	obere Grenze A	Einheit	
Kondensator	C_N		0		1	nF	
Taktimpulsdauer	t_{DT}	bei 4,5 V über Masse Taktverhältnis 1 : 1	0,5	1,5		nF	
Maximale Zählfrequenz	f_Z		0,5				
Rückstellimpulsdauer	t_{pR}	bei 4,5 V über Masse	0,5		2	μs	
Totzeit nach Rückstellung durch \bar{R} bezogen auf die fallende Taktflanke	t_t		53				
Rückstellimpulsdauer beim Setzen	t_{pR}		54				
Vorbereitungszeit an \bar{A} , \bar{B} , \bar{C} , \bar{D}	t_V	bei 4,5 V über Masse	1			μs	
Haltezeit an \bar{A} , \bar{B} , \bar{C} , \bar{D}	t_H		54				
Signal-Laufzeit von T nach Q	t_{PLH}		54				
von T nach \bar{Q}	t_{PHL}	$C_L = 10\text{ pF}$ bei 4,5 V über Masse	50	90	200	450	ns
von F_U nach \bar{U}	t_{PLH}		50	90	200	450	ns
von \bar{R} nach Q	t_{PLH}		50	200	400	700	ns
von \bar{A} nach Q_A , \bar{B} nach Q_C	t_{PHL}		50	150	300	500	ns
\bar{C} nach Q_C , \bar{D} nach Q_D	t_{PLH}		52	90	200	450	ns
Signal-Übergangszeit an T an Q	t_{PHL}		52	25	60	200	ns
	t_{PHL}		53	70	150	310	ns
	t_{PLH}		51	30	120	210	ns
	t_{PHL}		51	30	120	210	ns
	t_T			1			V/ μs
	t_{TLH}	$C_L = 10\text{ pF}$		90	250	450	ns
	t_{THL}			5	20	60	ns
an \bar{U}	t_{TLH}		50	70	140	310	ns
	t_{THL}			30	60	210	ns

Statische Kenndaten im 15 V-Bereich
 im Temperaturbereich 1 und 5

	Prüfbedingungen	Prüfschaltung	untere Grenze B	typ.	obere Grenze A	Einheit
Speisespannung	U_S		13,5	15	17,0	V
H-Eingangsspannung an F und T	U_{IH}		8			V
an \bar{A} , \bar{B} , \bar{C} , \bar{D} und \bar{R}	U_{IH}	$U_S = U_{SB}$	7,5			V
L-Eingangsspannung	U_{IL}	$U_S = U_{SA}$ und U_{SB}			4,5	V
H-Ausgangsspannung	U_{OH}	$U_S = U_{SB}, -I_{OH} = 0,1 \text{ mA}$	12	14,3		V
L-Ausgangsspannung	U_{OH}	$U_S = U_{SB}, I_{OL} = 18 \text{ mA}$		1	1,7	V
Statische Störsicherheit						
H-Signal	U_{ssH}		4,5	8		V
L-Signal	U_{ssL}		2,8	5		V
H-Eingangsstrom pro Eingang	I_{IH}	$U_S = U_{SA}, U_I = U_{IHA}$			1	μA
L-Eingangsstrom pro Eingang	$-I_{IL}$	$U_S = U_{SA}, U_{IL} = 1,7 \text{ V}$		1	1,8	mA
Kurzschlußausgangsstrom pro Ausgang	$-I_{O}$	$U_S = U_{SA}, U_O = 0 \text{ V}$	9	15	25	mA
H-Speisestrom	I_{SH}	$U_S = U_{SA}, U_I = U_{SA}$		15	23	mA
L-Speisestrom	I_{SL}	$U_S = U_{SA}$ Eingang \bar{R} : $U_I = 0 \text{ V}$ sonst. Eing.: $U_I = U_{SA}$		23	36,5	mA

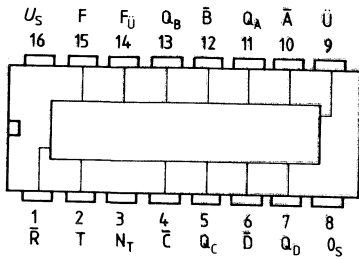
Schaltzeiten bei $U_S = 15 \text{ V}, F_Q = 1, T_U = 25^\circ \text{C}$

Signal-Übergangszeit von T nach Q	t_{PLH}	} $C_L = 10 \text{ pF}$ bei 4,5 V über Masse	50			ns
	t_{PHL}		50			ns
von T nach \bar{U}	t_{PLH}		50			ns
	t_{PHL}		50			ns
von F_U nach \bar{U}	t_{PLH}		52			ns
	t_{PHL}		52			ns
von \bar{R} nach Q	t_{PHL}		53			ns
von \bar{A} nach Q_A , \bar{B} nach Q_B ,	t_{PLH}		51			ns
\bar{C} nach Q_C , \bar{D} nach Q_D	t_{PHL}		51			ns
Signal-Übergangszeit an T	t_T		} $C_L = 10 \text{ pF}$		1	
an Q	t_{TLH}			50		ns
	t_{THL}					ns
an \bar{U}	t_{TLH}					ns
	t_{THL}					ns

Logische Daten

H-Ausgangslastfaktor pro Ausgang	F_{QH}				100
L-Ausgangslastfaktor pro Ausgang	F_{QL}				10
Eingangslastfaktor pro Eingang	F_I				1

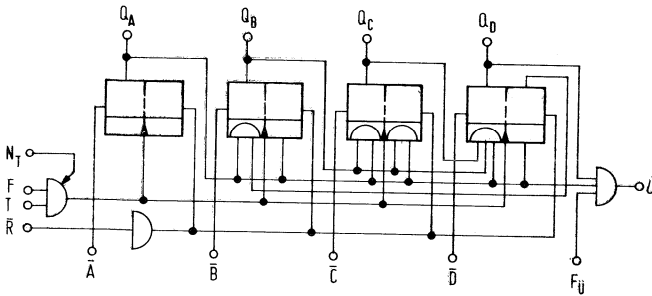
FZJ 141 A
 FZJ 145 A
 FZJ 151 A
 FZJ 155 A



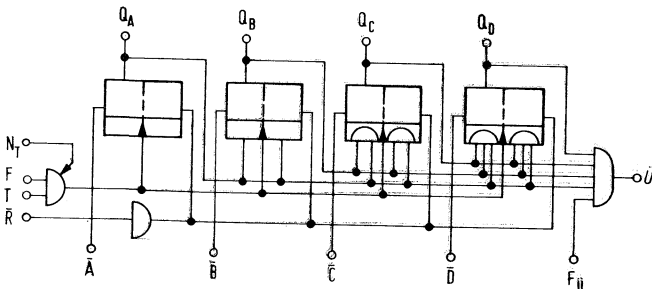
Anschlußanordnung
 Ansicht von oben

- A, B, C, D = Stelleingang
- T = Takteingang
- U-tilde = Übertragsausgang
- F = Freigabe
- R-bar = Rückstelleingang
- Q, Q-bar = Ausgänge

Blockschaltbild des FZJ 141 A/145 A



Blockschaltbild des FZJ 151 A/155 A



**Logisches Verhalten des Dezimalzählers
 FZJ 141 A/145 A**

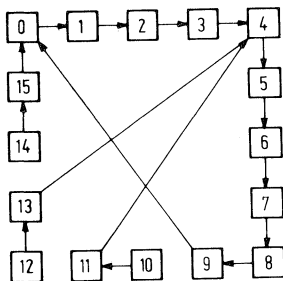
Zählbedingung: $\bar{A} = \bar{B} = \bar{C} = \bar{D} = F = F_0 = \bar{R} = H$

Zählfolge	Ausgänge				
	Ü	Q _D	Q _C	Q _B	Q _A
0	L	L	L	L	L
1	L	L	L	L	H
2	L	L	L	H	L
3	L	L	L	H	H
4	L	L	H	L	L
5	L	L	H	L	H
6	L	L	H	H	L
7	L	L	H	H	H
8	L	H	L	L	L
9	H	H	L	L	H

**Logisches Verhalten des Binärzählers
 FZJ 151 A/155 A**

Zählbedingung: $\bar{A} = \bar{B} = \bar{C} = \bar{D} = F = F_0 = \bar{R} = H$

Zählfolge	Ausgänge				
	Ü	Q _D	Q _C	Q _B	Q _A
0	L	L	L	L	L
1	L	L	L	L	H
2	L	L	L	H	L
3	L	L	L	H	H
4	L	L	H	L	L
5	L	L	H	L	H
6	L	L	H	H	L
7	L	L	H	H	H
8	L	H	L	L	L
9	L	H	L	L	H
10	L	H	L	H	L
11	L	H	L	H	H
12	L	H	H	L	L
13	L	H	H	L	H
14	L	H	H	H	L
15	H	H	H	H	H



Nebenstehendes Flußdiagramm
 gilt nur für FZJ 141 A/145 A
 bei Vorwahl im Bereich
 der Dezimalzahlen 10 bis 15

Freigabebedingungen

Eingang F	Betriebsart
L	sperren
H	zählen

Eingang F ₀	Übertragsausgang Ü
L	L
H	L oder H

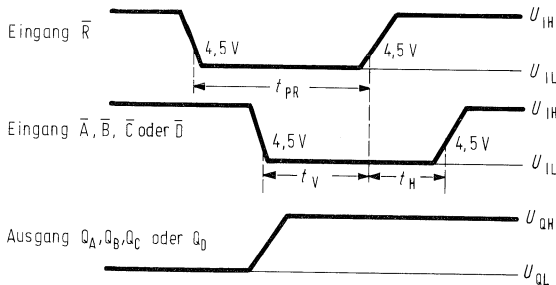
Die Stell- und Rückstelleingänge arbeiten unabhängig von T und F. Werden die Stell- und Rückstelleingänge nicht benützt, so müssen sie mit U_S verbunden werden. Zum Speichern der Information an \bar{A} bis \bar{D} muß zuerst \bar{R} auf H und dann \bar{A} bis \bar{D} auf H geschaltet werden.

Stell- und Rückstellbedingungen

Eingänge					Ausgänge			
\bar{R}	\bar{A}	\bar{B}	\bar{C}	\bar{D}	Q_A	Q_B	Q_C	Q_D
L	H	H	H	H	L	L	L	L
L	L	X	X	X	H	X	X	X
L	X	L	X	X	X	H	X	X
L	X	X	L	X	X	X	H	X
L	X	X	X	L	X	X	X	H

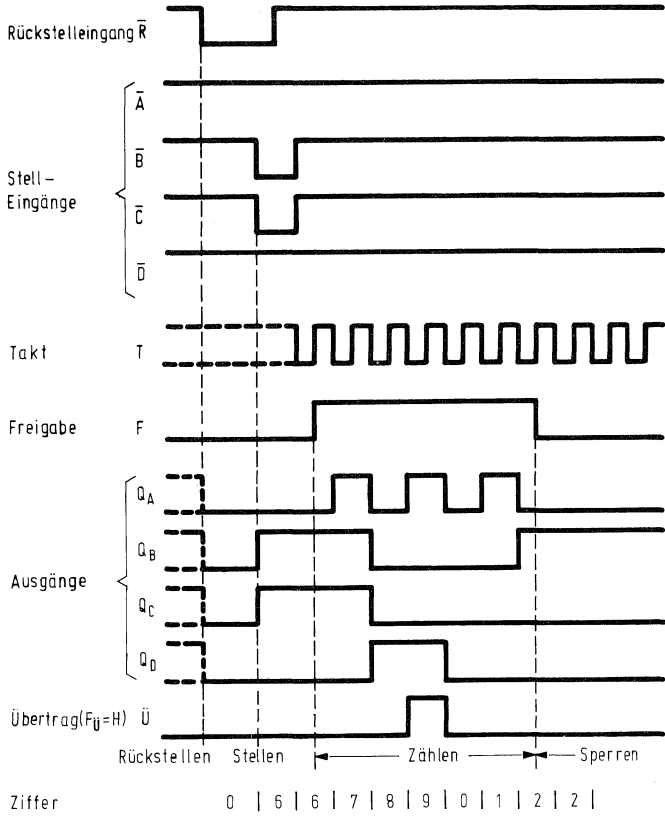
X = L- oder H-Signal

Impulsdiagramm für die Voreinstellung



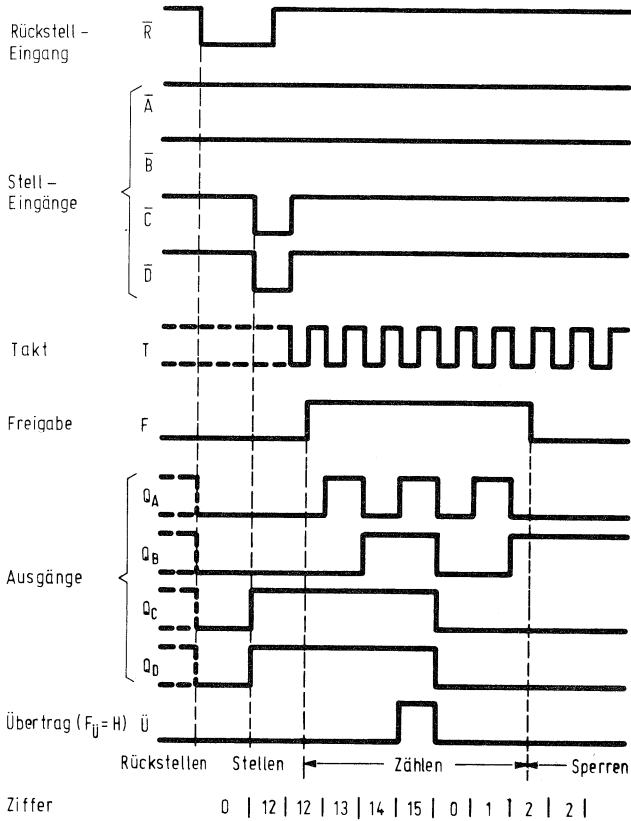
Impulsdiagramm des Dezimalzählers FZJ 141 A/145 A mit den Funktionen:

1. Rückstellen des Zählers auf Q = L
2. Stellen des Zählers auf binär 6
3. Zählen von binär 7 bis 2 mit Übertragsimpuls
4. Sperren



Impulsdiagramm des Binärzählers FZJ 151 A/155 A mit den Funktionen:

1. Rückstellen des Zählers auf $Q = L$
2. Stellen des Zählers auf binär 12
3. Zählen von binär 13 bis 2 mit Übertragsimpuls
4. Sperren



Typ	Bestellnummer
FZJ 161	Q67000-J507
FZJ 165	Q67000-J562

Der Baustein FZJ 161/165 ist ein synchrones 4-Bit-Schieberegister mit Serien- oder Parallelingabe und Serien- oder Parallelausgabe für Rechtsschiebetrieb. Der Betrieb des Registers ist im Impulsdigramm dargestellt.

Das Schieberegister eignet sich als Serien-Parallel-Umsetzer, Parallel-Serien-Umsetzer, Register und Speicher.

Statische Kenndaten im 12V-Bereich im Temperaturbereich 1 und 5

	Prüfbedingungen	untere Grenze B	typ.	obere Grenze A	Ein- heit
Speisespannung	U_S	11,4	12	13,5	V
H-Eingangsspannung	U_{IH}	7,5			V
L-Eingangsspannung	U_{IL}			4,5	V
H-Ausgangsspannung	U_{OH}	10,0	11,3		V
L-Ausgangsspannung	U_{OL}		0,9	1,7	V
Statische Störsicherheit					
H-Signal	U_{SSH}	2,5	5		V
L-Signal	U_{SSL}	2,8	5		V
H-Eingangsstrom pro Eingang	I_{IH}			1	μ A
L-Eingangsstrom an S	$-I_{IL}$			6	mA
L-Eingangsstrom übrige Eingänge	$-I_{IL}$			1,5	mA
Kurzschlußausgangsstrom pro Ausgang	$-I_O$			25	mA
Speisestrom	I_S			33	mA

Schaltzeiten bei $U_S = 12\text{ V}$, $F_Q = 1$, $T_U = 25^\circ\text{C}$

		Prüfbedingungen	untere Grenze B	typ.	obere Grenze A	Ein- heit	
Kondensator	C_N		0			nF	
Maximale Zählfrequenz	f_Z	Taktverhältnis 1:1	0,5	1,5	1	MHz	
Taktimpulsdauer	t_{pT}	} 4,5 V über Masse	0,5			μs	
Rückstellimpulsdauer	t_{pR}		0,5			μs	
Rückstellimpulsdauer beim Setzen – Setzzeit	t_{pR}		1			μs	
bei A, B, C, D, S	t_S		1			μs	
bei SE	t_S		0			μs	
Haltezeit							
bei A, B, C, D, S	t_H		1			μs	
bei SE	t_H		0,5			μs	
Signal-Laufzeit von T nach Q	t_{PLH}		} $C_L = 10\text{ pF}$ bei 4,5 V über Masse	90	140	450	ns
von \bar{R} nach Q	t_{PHL}			90	140	450	ns
von S nach Q, A nach Q_A , B nach Q_B ,	t_{PLH}	0,6		0,85	1,3	μs	
C nach Q_C , D nach Q_D	t_{PLH}	100		240	500	ns	
Signal-Übergangszeit an T	t_T	1				V/ μs	
an Q	t_{TLH}	} $C_L = 10\text{ pF}$		70	150	290	ns
	t_{THL}		5	20	60	ns	

Statische Kenndaten im 15 V-Bereich
im Temperaturbereich 1 und 5

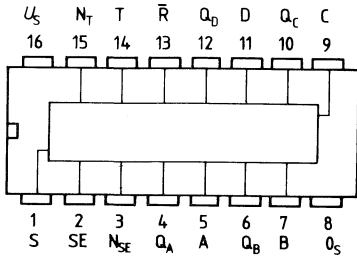
	Prüfbedingungen	untere Grenze B	typ.	obere Grenze A	Einheit
Speisespannung	U_S	13,5	15	17	V
H-Eingangsspannung	U_{IH}	7,5			V
L-Eingangsspannung	U_{IL}	$U_S = U_{SB}$ $U_S = U_{SB}$ und U_{SA}		4,5	V
H-Ausgangsspannung	U_{QH}	12,0	14,3		V
L-Ausgangsspannung	U_{QL}	$U_S = U_{SB}, -I_{QH} = 0,1 \text{ mA}$ $U_{IL} = 4,5 \text{ V}$ $U_S = U_{SB}, I_{QL} = 18 \text{ mA}$		1,7	V
Statische Störsicherheit					
H-Signal	U_{ssH}	4,5	8,0		V
L-Signal	U_{ssL}	2,8	5,0		V
H-Eingangsstrom	I_{IH}	$U_I = U_{SA}, U_I = U_{IHA}$		1	μA
pro Eingang					
L-Eingangsstrom an S	$-I_{IL}$	$U_S = U_{SA}, U_{IL} = 1,7 \text{ V}$		7,2	mA
L-Eingangsstrom	$-I_{IL}$	$U_S = U_{SA}, U_{IL} = 1,7 \text{ V}$		1,8	mA
übrige Eingänge					
Kurzschlußausgangsstrom	$-I_Q$	9	15	25	mA
pro Ausgang					
Speisestrom	I_S		26	42	mA

Schaltzeiten bei $U_S = 15 \text{ V}, F_Q = 1, T_U = 25^\circ\text{C}$

Signal-Laufzeit	t_{PLH} t_{PHL} t_{PHL} t_{PLH} t_{PHL}	$C_L = 10 \text{ pF}$ bei 4,5 V über Masse	1																														
von T nach Q										t_T t_{TLH} t_{THL}	$C_L = 10 \text{ pF}$																						
von \bar{R} nach Q																		t_T t_{TLH} t_{THL}	$C_L = 10 \text{ pF}$														
von S nach Q, A nach Q_A , B nach Q_B , C nach Q_C , D nach Q_D																										t_T t_{TLH} t_{THL}	$C_L = 10 \text{ pF}$						
Signal-Übergangszeit an T																																	
an Q	t_T t_{TLH} t_{THL}	$C_L = 10 \text{ pF}$																															

Logische Daten

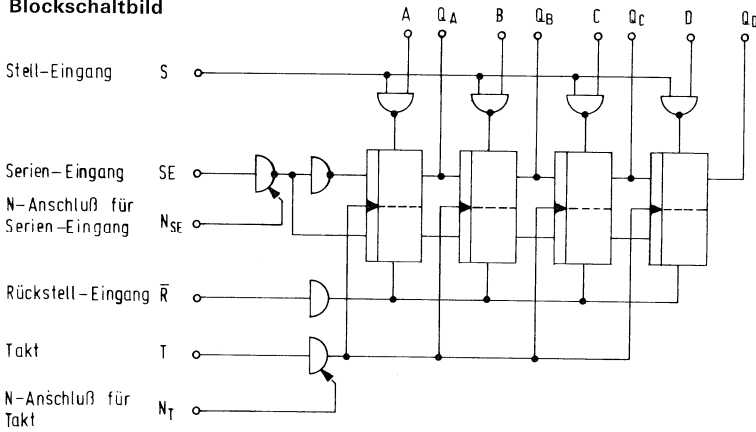
H-Ausgangslastfaktor	F_{QH}			100	
pro Ausgang					
L-Ausgangslastfaktor	F_{QL}			10	
pro Ausgang					
Eingangslastfaktor an S	F_I			4	
übrige Eingänge				1	



Anschlußanordnung
Ansicht von oben

- A, B, C, D, S = Stelleingang
- \bar{R} = Rückstelleingang
- SE = Serieneingang
- T = Takteingang
- Q_A bis Q_D = Ausgänge

Blockschaltbild



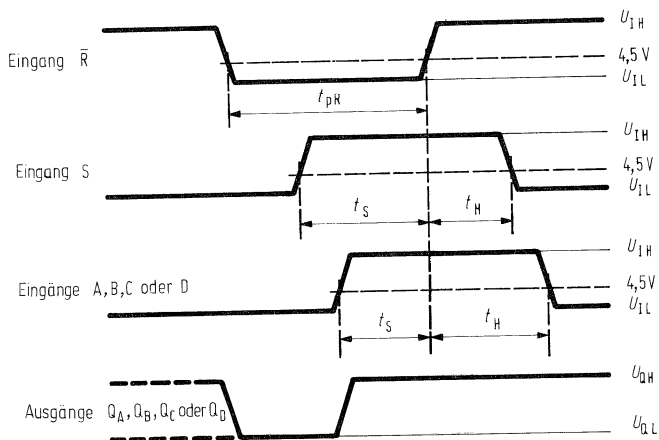
Setz- und Rückstellbedingungen

Die Setz- und Rückstelleingänge arbeiten unabhängig von dem Takteingang T. Um das Register parallel zu setzen, muß der R-Eingang auf H schalten, bevor der S-Eingang auf L schaltet.

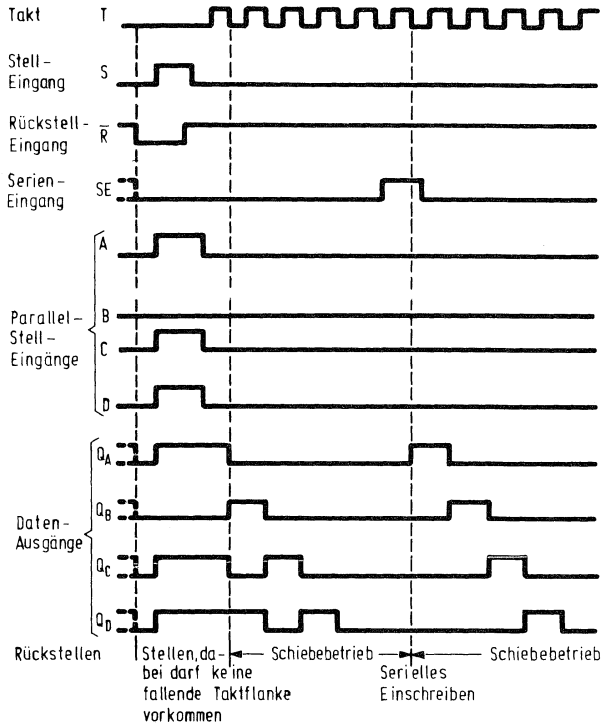
Eingänge						Ausgänge				Funktion
S	\bar{R}	A	B	C	D	Q_A	Q_B	Q_C	Q_D	
L	L	X	X	X	X	L	L	L	L	rückstellen
H	L	H	L	H	H	H	L	H	H	setzen
L	H	X	X	X	X	L	L	X	X	schieben
H	H	H	H	L	L	L	L	X	X	undefiniert

X = L- oder H-Signal

Stellimpulsdiagramm



Impulsdiagramm



Typ	Bestellnummer
FZK 101	Q67000-K6
FZK 105	Q67000-K7

Das Zeitglied FZK 101/105 hat folgende elektrische Funktionen und Eigenschaften:

1. Monostabile Kippstufe, L, J und M verbinden.
2. Impulsverzögerung, L und K verbinden.
3. Impulsverkürzung, J und M verbinden.
4. Einschaltverzögerung, L-K und M-O_S verbinden.
5. Die Impulsverzögerung ist nachtrIGGERbar, wenn für die Impulspause $t_p > t_t$ gilt.
6. Es kann ein gepolter Kondensator C_t als zeitbestimmendes Glied verwendet werden.
7. Nach dem Einschalten der Speisespannung U_S ist Q dann auf L, wenn \bar{R} während des Einschaltens auf L liegt.
8. An den Anschlüssen J, K, L, M dürfen keine Spannungen oder Ströme eingepreßt werden. Die zur Funktionsumschaltung notwendigen Verbindungen zwischen diesen Anschlüssen sind so kurz wie möglich zu halten (max. 5 mm).
9. Wird der Baustein an den Eingängen C und D angesteuert, dann muß Eingang A oder B auf L-Signal gelegt werden.
10. Beschaltung mit Zusatzkondensator erfolgt zwischen Anschluß N und Masse.

Statische Kenndaten im 12 V-Bereich

im Temperaturbereich 1 und 5

	Prüfbedingungen	untere Grenze B	typ.	obere Grenze A	Einheit
Speisespannung	U_S	11,4	12,0	13,5	V
H-Eingangsspannung	U_{IH} $U_S = U_{SB}$	7,5			V
L-Eingangsspannung	U_{IL} $U_S = U_{SB}$ und U_{SA}			4,5	V
H-Ausgangsspannung	U_{QH} $U_S = U_{SB}$ und U_{SA} $U_{IL} = 4,5 \text{ V}$ $-I_{QH} = 0,1 \text{ mA}$	10,0	11,3		V
L-Ausgangsspannung	U_{QL} $U_S = U_{SB}$, $U_{IH} = 7,5 \text{ V}$ $I_{QL} = 15 \text{ mA}$		1,0	1,7	V
Statische Störsicherheit					
H-Signal	U_{SS}	2,5	5,0		V
L-Signal	U_{SS}	2,8	5,0		V
H-Eingangsstrom pro Eingang	I_{IH} $U_S = U_{SA}$, $U_I = U_{IHA}$			1,0	μA
L-Eingangsstrom pro Eingang	$-I_{IL}$ $U_S = U_{SA}$, $U_{IL} = 1,7 \text{ V}$		0,8	1,5	mA
Kurzschlußausgangsstrom	$-I_Q$ $U_S = U_{SA}$	9,0	15,0	25,0	mA
L-Speisestrom	I_{SL}		13,0	19,0	mA
H-Speisestrom	I_{SH}		12,0	19,0	mA

Statische Kenndaten im 15 V-Bereich
im Temperaturbereich 1 und 5

	Prüfbedingungen	untere Grenze B	typ.	obere Grenze A	Einheit
Speisespannung	U_S	13,5	15,0	17,0	V
H-Eingangsspannung	U_{IH}	7,5			V
L-Eingangsspannung	U_{IL}			4,5	V
H-Ausgangsspannung	U_{QH}	12,0	14,3		V
L-Ausgangsspannung	U_{QL}		1,1	1,7	V
Statische Störsicherheit					
H-Signal	U_{ssH}	4,5	8,0		V
L-Signal	U_{ssL}	2,8	5,0		V
H-Eingangsstrom pro Eingang	I_{IH}			1,0	μA
L-Eingangsstrom pro Eingang	$-I_{IL}$		1,0	1,8	mA
Kurzschlußausgangsstrom	$-I_Q$	9,0	15,0	25,0	mA
H-Speisestrom	I_{SH}		14,0	22,0	mA
L-Speisestrom	I_{SL}		15,0	23,0	mA

Schaltzeit bei $U_S = 12\text{ V}$, $T_U = 25\text{ }^\circ\text{C}$

Eingangs-Impulsdauer	t_{pl}		0,5		μs	
Rückstell-Impulsdauer	t_{pR}		0,5		μs	
Vorbereitungszeit A, B	t_V		0		μs	
Vorbereitungszeit C, D	t_V		0,5		μs	
Erholzeit	t_t				s/F	
Min. Ausgangsimpulsdauer	t_p		400		ns	
Ausgangsimpulsdauer	t_p		650	700 780	μs	
			$(C_O + C_I) \times 10^3$			
Signal-Laufzeit von A, B, C, D nach Q	t_{PLH}	$\left. \begin{array}{l} U_S = 11,4\text{ V} \\ R_t = 0,5\text{ M}\Omega \\ C_t = 2\text{ nF} \end{array} \right\}$				
	t_{PHL}		220	270	740	ns
	t_{PHL}		110	180	450	ns
Signal-Übergangszeit an A, B	t_{TLH}				V/ μs	
an C, D	t_{THL}				V/ μs	
an Q	t_{TLH}	$\left. \begin{array}{l} C_L = 10\text{ pF} \end{array} \right\}$	50	100	200	ns
	t_{THL}		30	80	150	ns

Zeitbestimmendes Glied

		Prüfbedingungen	untere Grenze B	typ.	obere Grenze A	Einheit
Widerstand	R_t	Nennspannung > 10 V	5		500	kΩ
empfohlener Widerstandsbereich für hohe Genauigkeit	R_t		40		200	kΩ
Kondensator	C_t		keine Beschränkung			
Kondensator	C_N		0		500	pF
Innere Kapazität zwischen Anschluß H und O _s	C_O			10		pF

Logische Daten

H-Ausgangslastfaktor	F_{OH}		100
L-Ausgangslastfaktor	F_{OL}		10
Eingangslastfaktor pro Eingang	F_i		1

Logische Funktion

$$Q = (A \wedge B) \vee \overline{(C \wedge D)}, \text{ siehe Impulsdiagramm}$$

Logisches Verhalten

Eingänge				Ausgang
A	B	C	D	Q
L	X	H	H	L
X	L	H	H	L
H	H	X	X	L
X	X	L	X	L
X	X	X	L	L
┌	H	H	H	┌
H	┌	H	H	┌
L	X	┌	H	┌
L	X	H	┌	┌
X	L	┌	H	┌
X	L	H	┌	┌

Anmerkung:

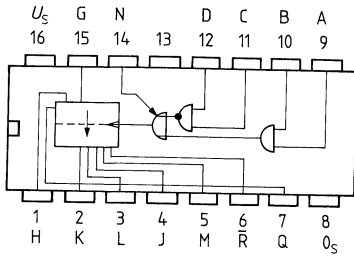
X = H- oder L-Signal

┌ = H-Impuls einstellbarer Dauer

┌ = Impulswechsel von L- auf H-Signal

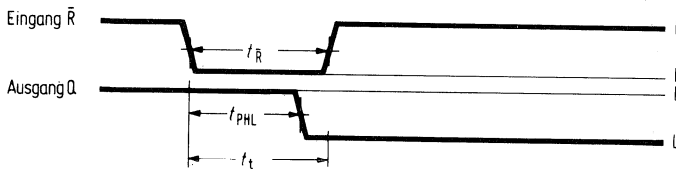
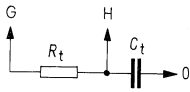
┌ = Impulswechsel von H- auf L-Signal

Ausgang Q ist für die Betriebsart monostabile Kippstufe angegeben. Für die übrigen Betriebsarten gilt ein entsprechendes Verhalten.

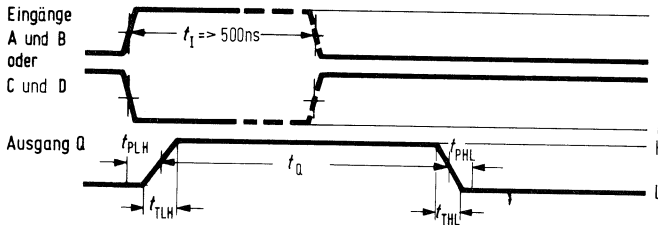


Anschlußanordnung
Ansicht von oben

A, B, C, D = Eingänge
J, K, L, M = Funktionseingänge
Q = Ausgang
R-bar = Rückstelleingang



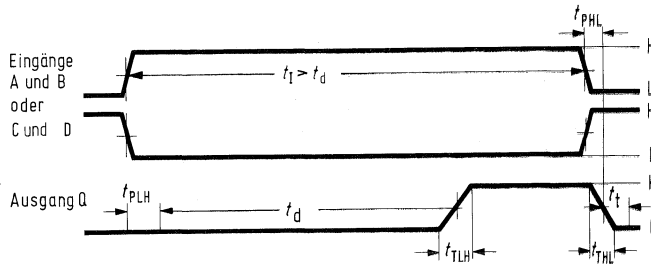
Impulsdiagramm für:
Rückstellung durch R-bar
(für alle Betriebsarten)



monostabile Kippstufe
(L, J und M verbinden)

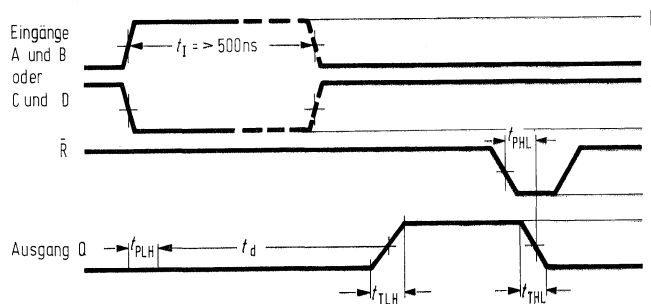
$$t_Q = 0,7 \cdot R_1 \cdot (C_O + C_i)$$

Impulsdigramm für:



Impulsverzögerung
(L und K verbinden)

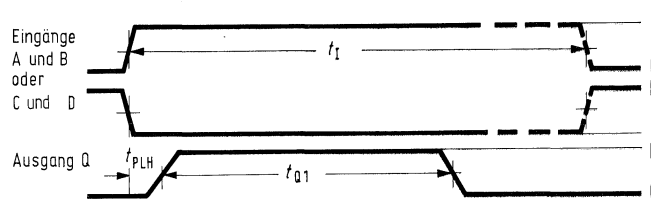
$$t_d = 0,7 \cdot R_t \cdot (C_0 + C_i)$$



Einschaltverzögerung
(L und K verbinden)
(M und Os verbinden)

Rückstellung des Ausgangs Q auf L-Signal nur durch $\bar{R} = L$

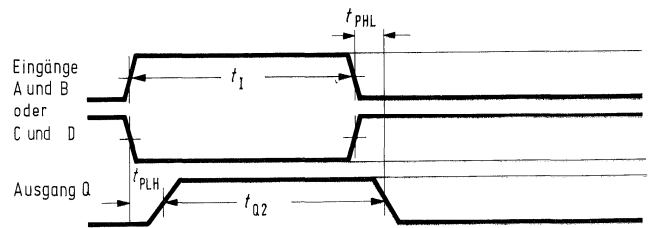
$$t_d = 0,7 \cdot R_t \cdot (C_0 + C_i)$$



Impulsverkürzung
(J und M verbinden)

a) $t_1 > 0,7 \cdot R_t \cdot (C_0 + C_i)$

$$t_{Q1} = 0,7 \cdot R_t \cdot (C_0 + C_i)$$



b) $t_1 \leq 0,7 \cdot R_t \cdot (C_0 + C_i)$

$$t_{Q2} = t_1$$

Typ	Bestellnummer
FZL 101	Q67000-L68
FZL 105	Q67000-L69

Der Baustein FZL 101/105 dekodiert binär kodierte Dezimalzahlen. Hochsperrende Treibertransistoren in den Ausgängen ermöglichen den Betrieb von Ziffernanzeigeröhren. Als zugehöriger Dezimalzähler eignet sich der Baustein FZJ 141 A. Dabei wird der Ausgang Q_A des FZJ 141 A mit dem Eingang A des FZL 101 A, Q_B mit B, Q_C mit C und Q_D mit D verbunden. Binäre Eingangsinformationen der Dezimalzahlen 10 bis 15 werden ausgeblendet (Pseudotratenausblendung).

Zusätzlich gelten folgende **Grenzdaten**:

	untere Grenze B	obere Grenze A	Einheit
Ausgangsspannung (Ausgangstransistor gesperrt)	U_O 0	65	V
Ausgangsstrom pro Ausgang (Ausgangstransistor gesperrt) für jeweils einen Ausgang	I_O 0	2	mA
Ausgangsstrom pro Ausgang (Ausgangstransistor leitend)	I_O 0	20	mA

Statische Kenndaten im 12 V-Bereich
im Temperaturbereich 1 und 5

	Prüfbedingungen	untere Grenze B	typ.	obere Grenze A	Einheit
Speisespannung	U_S	11,4	12,0	13,5	V
H-Eingangsspannung	U_{IH} $U_S = U_{SB}$	8,0			V
L-Eingangsspannung	U_{IL} $U_S = U_{SB}$ und U_{SA}			5,0	V
L-Ausgangsspannung	U_{OL} $U_S = U_{SB}, I_{OL} = 9 \text{ mA}$			2,5	V
Statische Störsicherheit					
H-Signal	U_{ssH}	2,0	4,5		V
L-Signal	U_{ssL}	3,3	5,5		V
Ausgangsstrom pro Ausgang	I_O $U_S = U_{SA}, U_O = 65 \text{ V}$			100	μA
H-Eingangstrom pro Eingang	I_{IH} $U_S = U_{SA}, U_O = 60 \text{ V}$			5	μA
L-Eingangstrom pro Eingang	$-I_{IL}$ $U_S = U_{SA}, U_I = 0 \text{ V}$			1	μA
Speisestrom	I_S $U_S = U_{SA}$		17	25	mA
Leistungsverbrauch	P $\left. \begin{array}{l} \text{Eingang A, C, D: } U_I = 0 \text{ V} \\ \text{Eingang B: } U_I = U_{SA} \end{array} \right\}$		205	340	mW

Schaltzeiten bei $U_S = 12\text{ V}$, $T_U = 25\text{ °C}$

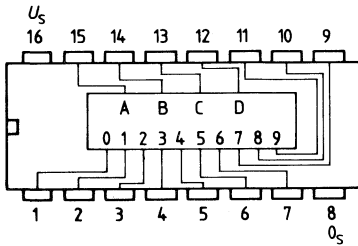
	Prüfbedingungen	untere Grenze B	typ.	obere Grenze A	Einheit
Signal-Laufzeit von B nach dez. 2	t_{PLH} } $U_{SK} = 12\text{ V}$ t_{PHL} } $R_K = 1\text{ k}\Omega$	30	70	210	ns
von B nach dez. 0		60	150	280	ns
	t_{PLH} } $C_L = 10\text{ pF}$ t_{PHL} }	60	150	280	ns
		30	70	210	ns

Statische Kenndaten im 15-V-Bereich
im Temperaturbereich 1 und 5

Speisespannung	U_S	13,5	15,0	17,0	V
H-Eingangsspannung	U_{IH}	8,0			V
L-Eingangsspannung	U_{IL}			5,0	V
L-Ausgangsspannung	U_{OL}			2,5	V
Statische Störsicherheit					
H-Signal	U_{ssH}	4,0	7,5		V
L-Signal	U_{ssL}	3,3	5,5		V
Ausgangsstrom pro Ausgang	I_Q			100	μA
H-Eingangstrom pro Eingang	I_{IH}			5	μA
L-Eingangsstrom pro Eingang	$-I_{IL}$		1	1,8	μA
Speisestrom	I_S		18	27	mA
Leistungsverbrauch	P		270	460	mW

Schaltzeiten bei $U_S = 15\text{ V}$, $T_U = 25\text{ °C}$

Signal-Laufzeit von B nach dez. 2	t_{PLH} } $U_{SK} = 12\text{ V}$ t_{PHL} } $R_K = 1\text{ k}\Omega$		90		ns
von B nach dez. 0		t_{PLH} } $C_L = 10\text{ pF}$ t_{PHL} }		160	
			160		ns
			90		ns

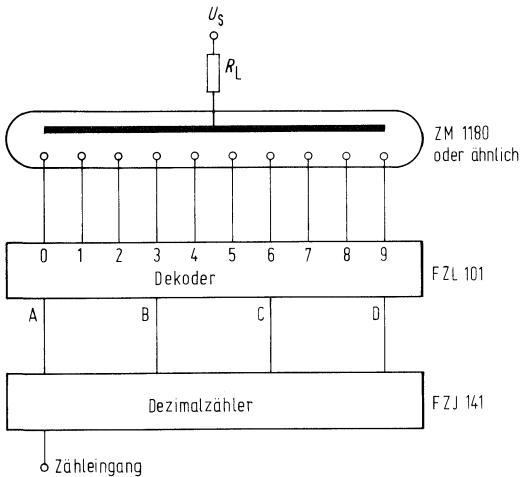


Anschlußanordnung
Ansicht von oben

Logisches Verhalten

BCD-Eingänge				Dezimal-Ausgänge									
D	C	B	A	0	1	2	3	4	5	6	7	8	9
L	L	L	L	L	H	H	H	H	H	H	H	H	H
L	L	L	H	H	L	H	H	H	H	H	H	H	H
L	L	H	L	H	H	L	H	H	H	H	H	H	H
L	L	H	H	H	H	L	H	H	H	H	H	H	H
L	H	L	L	H	H	H	H	L	H	H	H	H	H
L	H	L	H	H	H	H	H	H	L	H	H	H	H
L	H	H	L	H	H	H	H	H	H	L	H	H	H
L	H	H	H	H	H	H	H	H	H	L	H	H	H
H	L	L	L	H	H	H	H	H	H	H	L	H	H
H	L	L	H	H	H	H	H	H	H	H	H	L	H
H	L	H	L	H	H	H	H	H	H	H	H	H	H
H	L	H	H	H	H	H	H	H	H	H	H	H	H
H	H	L	L	H	H	H	H	H	H	H	H	H	H
H	H	L	H	H	H	H	H	H	H	H	H	H	H
H	H	H	L	H	H	H	H	H	H	H	H	H	H
H	H	H	H	H	H	H	H	H	H	H	H	H	H

Betrieb mit Ziffernanzeigeröhre

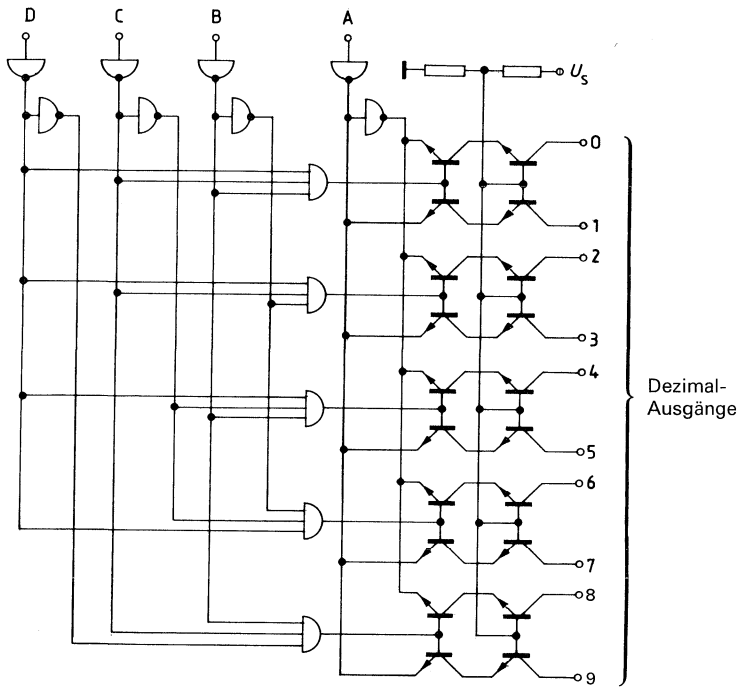


Anmerkungen:

Empfohlene Speisespannung für Anzeigeröhre $U_S = 200\text{ V}$
 Kommen die Eingangskombinationen 10 bis 15 nicht vor, so wird U_S von der verwendeten Röhre bestimmt.
 Widerstand R_L hängt von der Brennspeisung U_B und dem Brennstrom I_B der Anzeigeröhre wie folgt ab:

$$R_L = \frac{U_S - U_B}{I_B} \Omega$$

Blockschaltbild



Typ	Bestellnummer
FZL 111	Q67000-L156

Der Baustein FZL 111 nimmt binär-codierte 4-Bit-Worte auf, dekodiert sie abhängig von den Bedingungsingängen (A, B, C, D, BI, RBI, LT) und steuert über die Ausgänge a, b, c, d, e, f, g die Segmente einer 7-Segment-Anzeige an.

Durch den Übertragungseingang zur Nullausblendung RBI wird bei L-Signal die Null-Anzeige unterdrückt. Bei mehrstelligen Zahlen wird durch den Übertragsausgang zur Nullausblendung RBQ (mit Eingang BI intern verbunden) eine automatische Null-Austastung über mehrere Dekaden ermöglicht. Durch Eingang Ausblendung BI erfolgt generelle Dunkelastung, durch Eingang Lampen-Test LT erfolgt eine Kontrolle der Anzeigeröhre (Helltastung aller Segmente). Zusätzlich zu den im Vorwort angegebenen Grenzdaten gilt:

Grenzdaten		Prüfbedingungen	untere Grenze B	typ.	obere Grenze A	Einheit
Ausgangsspannung für die Ausgänge a bis g	U_{α}	T_{α} gesperrt	0		16,5	V
Ausgangsstrom	I_{α}	T_{α} gesperrt	0		25	μA
Ausgangsstrom für die Ausgänge a bis g	$I_{\alpha L}$	T_{α} leitend	0		20	mA
Ausgänge a bis g	$I_{\alpha L}$	T_{α} leitend	0		40	mA
Impulsbetrieb 1 : 1						

Statische Kenndaten im 12 V-Bereich im Temperaturbereich 1

Speisespannung	U_S		11,4	12,0	13,5	V
H-Eingangsspannung	U_{IH}	$U_S = U_{SB}$	7,5			V
L-Eingangsspannung	U_{IL}	$U_S = U_{SB}$ und U_{SA}			4,5	V
L-Ausgangsspannung für Ausgang a bis g	$U_{\alpha L}$	$I_{\alpha L} = 20 \text{ mA}$ $I_{\alpha L} = 40 \text{ mA}^*)$ $U_S = U_{SB}$		0,4	0,7	V
	$U_{\alpha L}$			0,7	1,0	V
Ausgang BI/RBQ	$U_{\alpha L}$	$I_{\alpha L} = 7,5 \text{ mA}$			1,7	V
Ausgangsspannung für Ausgänge a bis g	U_{α}	$U_S = U_{SB}, I_{\alpha} = 25 \mu\text{A}$			16,5	V
H-Ausgangsspannung ab BI/RBQ	U_{QH}	$U_S = U_{SA}, -I_{QH} = 0,1 \text{ mA}$	10,0	11,3		V
Statische Störsicherheit H-Signal	U_{SSH}		2,5	5,0		V
L-Signal	U_{SSL}		2,8	5,0		V
H-Eingangsstrom an A, B, C, D, RBI	I_{IH}	$U_S = U_{SA}, U_I = U_{IHA}$			10	μA
an BI, RBQ	I_{IH}				20	μA
an LT	I_{IH}				30	μA

*) Pausenverhältnis 1 : 1

	Prüfbedingungen	untere Grenze B	typ.	obere Grenze A	Einheit
L-Eingangsstrom an A, B, C, D, RBI an BI/RBQ an LT Speisestrom	$-I_{IL}$ } $U_S = U_{SA}, U_{IL} = 1,7 V$ $-I_{IL}$ } $-I_{IL}$ } I_S } $U_S = U_{SA}$ Ausgänge offen		1,0 2,0 3,0	2,1 4,2 6,3 40	mA mA mA mA

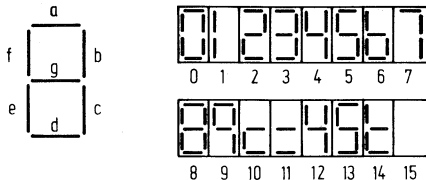
Statische Kenndaten im 15 V-Bereich
im Temperaturbereich 1

Speisespannung	U_S	13,5	15,0	16,5	V
H-Eingangsspannung	U_{IH}	7,5			V
L-Eingangsspannung	U_{IL}			4,5	V
L-Ausgangsspannung für Ausgänge a bis g	U_{OL}		0,4	0,7	V
Ausgang BI/RBQ	U_{OL}		0,7	1,0	V
Ausgangsspannung für Ausgänge a bis g	U_Q			1,7	V
H-Ausgangsspannung an BI/RBQ	U_{QH}	12,0	14,3	16,5	V
Statische Störsicherheit H-Signal	U_{SSH}	4,5	8,0		V
L-Signal	U_{SSL}	2,8	5,0		V
H-Eingangsstrom an A, B, C, D, RBI an BI/RBQ an LT	I_{IH} } I_{IH} } I_{IH} }			10 20 30	μA μA μA
L-Eingangsstrom an A, B, C, D, RBI an BI/RBQ an LT	$-I_{IL}$ } $-I_{IL}$ } $-I_{IL}$ }		1,2 2,4 3,6	2,6 5,2 7,8	mA mA mA
Speisestrom	I_S			44	mA

*) Pausenverhältnis 1 : 1

Segment-Identifizierung

Darstellung der aufgezählten Funktionen



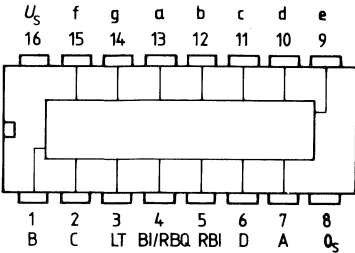
Logisches Verhalten

Funktion	LT	RBI	D	C	B	A	BI/RBQ	a	b	c	d	e	f	g
0 ¹⁾	H	H	L	L	L	L	H	L	L	L	L	L	L	H
1	H	X	L	L	L	H	H	H	H	H	H	L	L	H
2	H	X	L	L	H	L	H	L	L	H	L	L	H	L
3	H	X	L	L	H	H	H	L	L	L	L	H	H	L
4	H	X	L	H	L	L	H	H	L	L	H	H	L	L
5	H	X	L	H	L	H	H	L	H	L	L	H	L	L
6	H	X	L	H	H	L	H	H	H	L	L	L	L	L
7	H	X	L	H	H	H	H	L	L	L	H	H	H	H
8	H	X	H	L	L	L	H	L	L	L	L	L	L	L
9	H	X	H	L	L	H	H	L	L	L	H	H	L	L
10	H	X	H	L	H	L	H	H	H	H	L	L	H	L
11	H	X	H	L	H	H	H	H	H	H	L	H	H	L
12	H	X	H	H	L	L	H	H	L	L	H	H	L	L
13	H	X	H	H	L	H	H	L	H	L	L	H	L	L
14	H	X	H	H	H	L	H	H	H	H	L	L	L	L
15	H	X	H	H	H	H	H	H	H	H	H	H	H	H
BI ²⁾	X	X	X	X	X	X	L	H	H	H	H	H	H	H
RBI ³⁾	H	L	L	L	L	L	L	H	H	H	H	H	H	H
LT ⁴⁾	L	X	X	X	X	X	H	L	L	L	L	L	L	L

Bemerkungen:

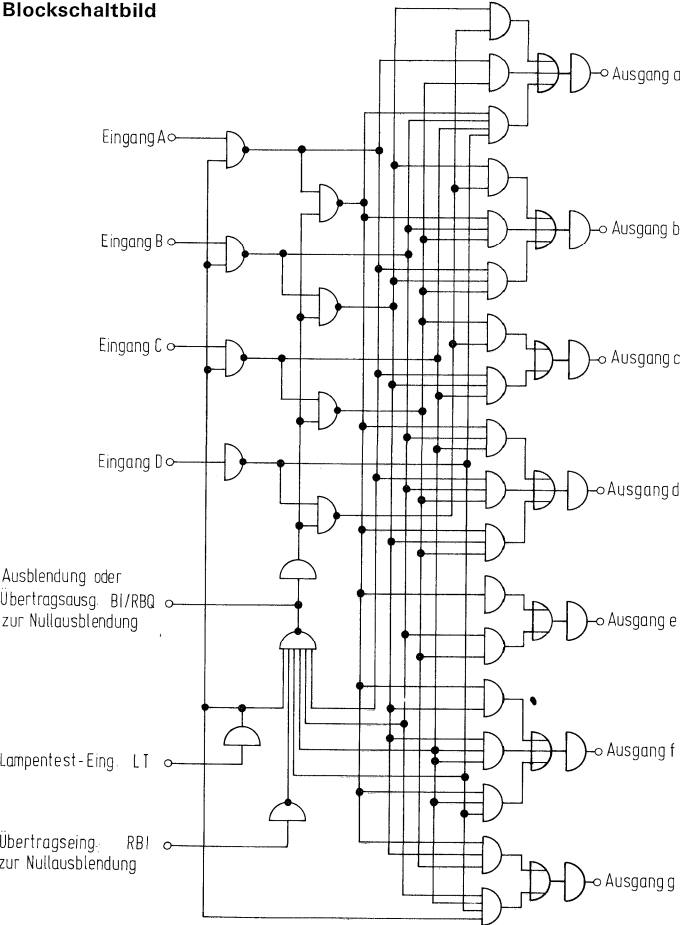
X = H- oder L-Signal

- 1) Bei der Null-Anzeige muß am Übertragseingang zur Nullausblendung RBI H-Signal liegen.
- 2) Wenn L-Signal am Eingang Ausblendung BI anliegt, erhalten die Segment-Ausgänge H-Signal, unabhängig von den Eingängen.
- 3) Wenn L-Signal am Übertragseingang zur Nullausblendung RBI anliegt, erhalten die Segmentausgänge H-Signal und am Übertragsausgang zur Nullausblendung RBQ entsteht L-Signal, vorausgesetzt die Eingänge A, B, C, D liegen an L-Signal (Nullbedingung).
- 4) Wenn L-Signal am Eingang Lampen-Test LT anliegt, erhalten die Segment-Ausgänge L-Signal (Helltastung), vorausgesetzt an BI/RBQ liegt H-Signal, unabhängig von Eingängen A, B, C, D und RBI.



Anschlußanordnung
Ansicht von oben

Blockschaltbild



Die Bausteine FZL 121/125, S, FZL 131/135, S und FZL 141/145, S sind kurzschlußfeste Leistungstreiber für folgende Betriebsarten:

- FZL 121/125: Treiber mit offenem Kollektorausgang und 3 Eingängen für 20V
- FZL 131/135: Treiber mit offenem Emitterausgang und 4 Eingängen für 20V
- FZL 141/145: Treiber für Leistungstransistoren für 20V
- FZL 121 S/125 S: Treiber mit offenem Kollektorausgang und 3 Eingängen für 30V
- FZL 131 S/135 S: Treiber mit offenem Emitterausgang und 4 Eingängen für 30V
- FZL 141 S/145 S: Treiber für Leistungstransistoren für 30V

Im Kurzschlußfall schalten die Bausteine den Laststrom ab und überprüfen periodisch mit Hilfe eines eingebauten Taktgenerators, ob der Kurzschluß noch besteht. Der Taktgenerator benötigt eine äußere Kapazität C_T zwischen Anschluß C und Masse. Bis zu 8 Taktanschlüsse T der Typen FZL 121/125, S, FZL 131/135, S, und FZL 141/145, S können gemischt parallel geschaltet werden, wobei nur eine Kapazität an einem Baustein erforderlich ist. Die C-Anschlüsse der übrigen Bausteine müssen mit der Speisespannung U_S verbunden werden.

Um Schwingungen im Kurzschlußfall zu vermeiden, ist eine kapazitive Beschaltung notwendig (C_{N1} und C_{N2} bei FZL 121/125, S, FZL 131/135, S und C bei FZL 141/145, S). Die typischen Werte für C_{N1} und C_{N2} eignen sich für Leitungslängen $l < 50$ m. Die Werte für C_{N1} , C_{N2} und C bestimmen auch die Höhe der Lastkapazität C_L . Bei ohmscher Belastung R_L gilt eine Bereichseingrenzung entsprechend Bild 1. Im verbotenen Bereich spricht die Kurzschlußsicherung noch nicht an und es besteht die Gefahr einer Zerstörung der Bausteine. Im Kurzschlußfall muß dieser Bereich in ca. 50 ms durchlaufen werden.

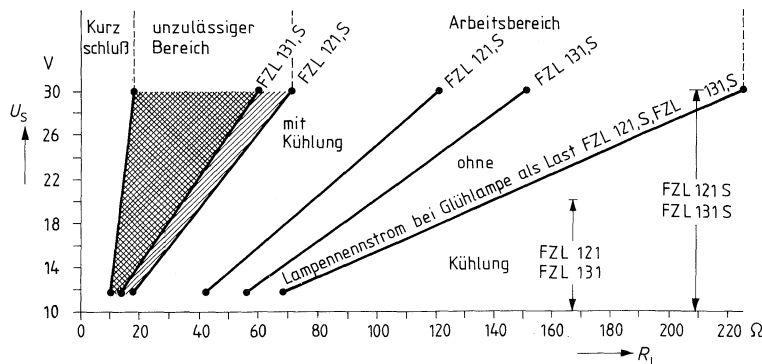


Bild 1 Beim Betrieb der FZL-Bausteine durch LSL-Normalausgänge beträgt der Ausgangs-Lastfaktor $F_{OH\ max} = 4$.

Alle Funktionseingänge haben Schmitt-Trigger-Charakteristik. Die Bausteine bieten Sicherheit gegen Kurzschluß und Drahtbruch, denn die Eingangsströme müssen positiv sein, d. h., die Bausteine schalten nur bei aktivem H-Signal. Daraus ergibt sich, daß ein unbeschalteter oder kurzgeschlossener Eingang einem L-Signal entspricht. Die Eingangsschaltung zeigt Bild 2.

Überspannungsschutz an den Eingängen:

Mit einem Serienwiderstand am Eingang von mindestens $4,7\text{ k}\Omega$ sind die Bausteine für Störspannungen bis max. $150\text{ V}/50\text{ }\mu\text{s}$ geschützt bei einem Impulsverhältnis von 1%. Die Kühllasche der Bausteine FZL 121/125, S und FZL 131/135, S darf mit Masse O_S verbunden werden. Der Wärmewiderstand des verwendeten Kühlkörpers muß folgenden Wert haben:

$$R_{\text{thk}} = 50\text{ }^\circ\text{C/W bei } I_0 = 175/200\text{ mA, } T_U = 85\text{ }^\circ\text{C}$$

$$R_{\text{thk}} = 30\text{ }^\circ\text{C/W bei } I_0 = 400\text{ mA, } T_U = 70\text{ }^\circ\text{C}$$

$$R_{\text{thk}} = 15\text{ }^\circ\text{C/W bei } I_0 = 400\text{ mA, } T_U = 85\text{ }^\circ\text{C}$$

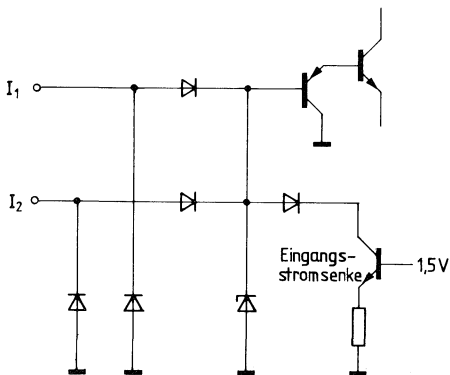


Bild 2 Eingangsschaltung

Typ	Bestellnummer
FZL 121 S	Q67000-L168-S1
FZL 125 S	Q67000-L174-S1

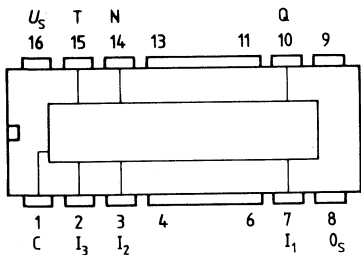
Der Baustein FZL 121 S/125 S ist ein Leistungstreiber für Ausgangsströme bis 400 mA oder Lampennennströme bis 130 mA. Die Last wird zwischen Ausgang Q und Speisespannung U_S betrieben. Der Baustein hat 3 Schmitt-Trigger-Eingänge, die NOR-verknüpft sind.

Statische Kenndaten

im Temperaturbereich 1 und 5

		Prüfbedingungen	untere Grenze B	typ.	obere Grenze A	Einheit
Speisespannung	U_S		11,4	15,0	30	V
H-Eingangsspannung	U_{IH}	$U_S = U_{SA}$ bis U_{SB}	8			V
L-Eingangsspannung	U_{IL}	$U_S = U_{SA}$ bis U_{SB}			6	V
Hysterese	U_{HY}	$U_S = U_{SA}$ bis U_{SB}		0,4		V
L-Ausgangsspannung	U_{OL}	$U_I = U_S, I_{OL} = 0,4 A$		1,5	2,2	V
Eingangsstrom	I_I	$0 < U_I < U_S$			250	μA
Ausgangsstrom ¹⁾	I_{OL}	$T_G < 100^\circ C$			400	mA
	I_{OL}	$T_U < 70^\circ C$			250	mA
	I_{OL}	$T_U < 85^\circ C$			200	mA
für Glühlampen	I_{OL}				130	mA
Kurzschlußausgangsstrom	I_Q	$R_L = 0$ bis 22Ω $U_S = 30 V$	0,4	0,8	1,3	A
Speisestrom	I_S	$I_{OL} = 0, C_T = 33 nF$		8	12	mA
Kapazität an C	C_T		20	33	40	nF
Impuls-Pausenverhältnis	P/P		1:80	1:60	1:50	
Kapazitäten an N	C_{N1}		50	500	2500	pF
	C_{N2}		0,5	1,8	10	nF
Lastkapazität ohne Ansprechen der Kurzschlußsicherung	C_L	C_N typisch		39	50	nF

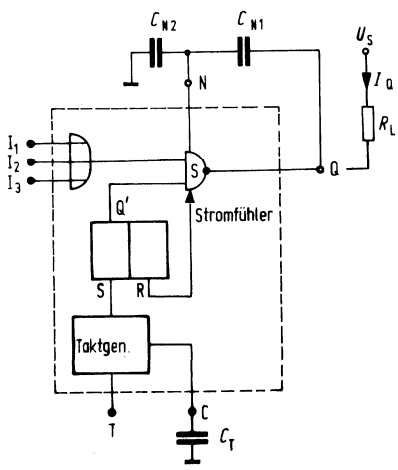
¹⁾ Induktive Lasten müssen mit einer Löschdiode versehen werden.



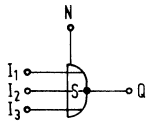
Anschlußanordnung
 Ansicht von oben

- I = Eingänge
- Q = Ausgang
- T = Taktausgang
- C = Anschluß für Taktkondensator

Prinzipschaltung



Logik bei Normalbetrieb (Kein Kurzschluß)



Typ	Bestellnummer
FZL 131	Q67000-L169
FZL 135	Q67000-L175

Der Baustein FZL 131/135 ist ein Leistungstreiber für Ausgangsströme bis 400 mA oder Lampennennströme bis 150 mA. Die Last wird zwischen Ausgang Q und Masse O_s betrieben. Der Baustein hat 4 Schmitt-Trigger-Eingänge, die ODER-verknüpft sind.

Statische Kenndaten

im Temperaturbereich 1 und 5

		Prüfbedingungen	untere Grenze B	typ.	obere Grenze A	Ein- heit
Speisespannung	U_S		11,4	15,0	20	V
H-Eingangsspannung	U_{IH}	$U_S = U_{SA}$ bis U_{SB}	8			V
L-Eingangsspannung	U_{IL}	$U_S = U_{SA}$ bis U_{SB}			6	V
Hysterese	U_{Hy}	$U_S = U_{SA}$ bis U_{SB}		0,4		V
H-Ausgangsspannung	U_{QH}	$-I_{QH} = 0,4$ A	$U_S - 2,7$	$U_S - 2$		V
Eingangsstrom	I_i	$0 < U_i < U_S$			250	µA
Ausgangsstrom ¹⁾	$-I_{OH}$	$T_G < 100$ °C			400	mA
	$-I_{OH}$	$T_U < 70$ °C			200	mA
	$-I_{OH}$	$T_U < 85$ °C			175	mA
für Glühlampen	$-I_{QH}$				150	mA
Kurzschlußausgangsstrom	$-I_Q$	$R_L = 0$ bis 15 Ω $U_S = 20$ V	0,4	0,8	1,3	A
Speisestrom	I_S	$I_{QH} = 0, C_T = 33$ nF		7	11	mA
Kapazität an C	C_T		20	33	40	nF
Impuls-Pausenverhältnis	P/P		1:80	1:60	1:50	
Kapazitäten an N	C_{N1}		50	500	2500	pF
	C_{N2}		0,5	1,8	10	nF
Lastkapazität ohne Ansprechen der Kurzschlußsicherung	C_L	C_N typisch		39	50	nF

¹⁾ Induktive Lasten müssen mit einer Löschdiode versehen werden.

Typ	Bestellnummer
FZL 131 S	Q67000-L169-S1
FZL 135 S	Q67000-L175-S1

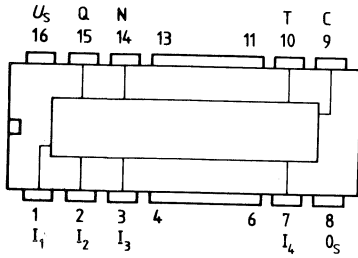
Der Baustein FZL 131 S/135 S ist ein Leistungstreiber für Ausgangsströme bis 400 mA oder Lampennennströme bis 130 mA. Die Last wird zwischen Ausgang Q und Masse Os betrieben. Der Baustein hat 4 Schmitt-Trigger-Eingänge, die ODER-verknüpft sind.

Statische Kenndaten

im Temperaturbereich 1 und 5

		Prüfbedingungen	untere Grenze B	typ.	obere Grenze A	Einheit
Speisespannung	U_S		11,4	15,0	30	V
H-Eingangsspannung	U_{IH}	$U_S = U_{SA} \text{ bis } U_{SB}$	8			V
L-Eingangsspannung	U_{IL}	$U_S = U_{SA} \text{ bis } U_{SB}$			6	V
Hysterese	U_{HY}	$U_S = U_{SA} \text{ bis } U_{SB}$		0,4		V
H-Ausgangsspannung	U_{QH}	$-I_{QH} = 0,4 \text{ A}$	$U_S - 2,7$	$U_S - 2$		V
Eingangsstrom	I_I	$0 < U_I < U_S$			250	μA
Ausgangsstrom ¹⁾	$-I_{QH}$	$T_G < 100 \text{ }^\circ\text{C}$			400	mA
	$-I_{QH}$	$T_U < 70 \text{ }^\circ\text{C}$			200	mA
	$-I_{QH}$	$T_U < 85 \text{ }^\circ\text{C}$			175	mA
für Glühlampen	$-I_{QH}$				130	mA
Kurzschlußausgangsstrom	$-I_Q$	$R_L = 0 \text{ bis } 22 \text{ } \Omega$ $U_S = 30 \text{ V}$	0,4	0,8	1,3	A
Speisestrom	I_S	$I_{QH} = 0, C_T = 33 \text{ nF}$		7	11	mA
Kapazität an C	C_T		20	33	40	nF
Impuls-Pausenverhältnis	P/P		1:80	1:60	1:50	
Kapazitäten an N	C_{N1}		50	500	2500	pF
	C_{N2}		0,5	1,8	10	nF
Lastkapazität ohne Ansprechen der Kurzschlußsicherung	C_L	$C_N \text{ typisch}$		39	50	nF

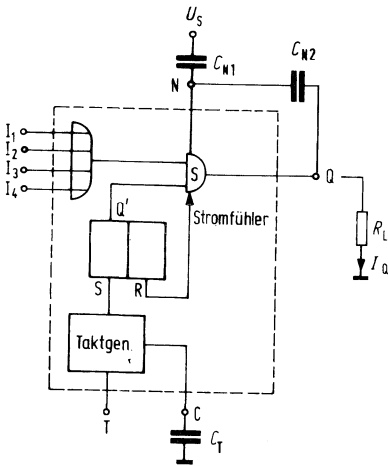
¹⁾ Induktive Lasten müssen mit einer Löschdiode versehen werden.



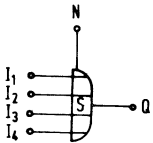
Anschlußanordnung
 Ansicht von oben

- I = Eingänge
- Q = Ausgang
- T = Taktausgang
- C = Anschluß für Taktkondensator

Prinzipschaltung



Logik bei Normalbetrieb (Kein Kurzschluß)



Typ	Bestellnummer
FZL 141	Q67000-L170
FZL 145	Q67000-L176

Der Baustein FZL 141/145 ist ein Treiber für Transistorleistungsstufen mit hohem Ausgangsstrom. Der Ausgang der angesteuerten Leistungsstufe ist kurzschlußsicher. Der Eingang hat Schmitt-Trigger-Charakteristik.

Statische Kenndaten

im Temperaturbereich 1 und 5

	Prüfbedingungen	untere Grenze B	typ.	obere Grenze A	Einheit
Speisespannung	U_S	11,4	15,0	20	V
H-Eingangsspannung	U_{IH}	8		6	V
L-Eingangsspannung	U_{IL}			6	V
Hysterese	U_{HY}		0,4		V
Begrenzungsspannung für Basis T_1	U_X	$U_S - 2$	U_S	$U_S - 2,4$	V
Abschaltspannung für Überlast	U_W	$U_S - 0,7$	U_S	$U_S - 0,9$	V
Eingangsstrom an I untere Grenze bei 20 °C	I_i	$0 < U_i < U_S$		250	μA
Strom an X	$-I_X$			25	mA
Ausgangsstrom an Q	I_Q			25	mA
Speisestrom	I_S	$U_i = U_S, I_Q = 25 \text{ mA}$ $C_T = 33 \text{ nF}$	6	10	mA
Kapazität an C	C_T	20	33	40	nF
Impuls-Pausenverhältnis	P/P	1:80	1:60	1:50	

Kenndaten der angegebenen Schaltungen

Empfohlene Leistungstransistoren: bei einer Stufe: $T_1 = \text{BD 136-10}$
 bei zwei Stufen: $T_1 = \text{BSV 15-10}$, $T_2 = 2 \text{ N 3055}$
 bei einer Darlingtonstufe: $T_3 = \text{BD 676}$

	Prüfbedingungen	untere Grenze B	typ.	obere Grenze A	Einheit
Ausgangsspannung	U_{O1}	mit BD 136, $I_{O1} = 0,5 \text{ A}$ mit BSV 15 und 2 N 3055 od. BD 676 $I_{O2} = 3 \text{ A}$	$U_S - 1,8$	$U_S - 1$	V
	U_{O2}		$U_S - 3,2$	$U_S - 2$	V
Ausgangsstrom für Glühlampen	I_{O1}	mit BD 136, $R_K = 1,3 \Omega$		0,5	A
	P_{O1}			1	W
Ausgangsstrom für Glühlampen Widerstände	I_{O2}	mit BSV 15 und 2 N 3055 od. BD 676 $R_K = 0,22 \Omega$		3	A
	P_{O2}			8,5	W
	R_V		$\frac{U_S - 1}{I_{Qmax}}$		V/A
	R_K		$\frac{U_W}{I_{O1} + I_{O2}}$		V/A
	R_B		47		Ω

Typ	Bestellnummer
FZL 141 S	Q67000-L170-S1
FZL 145 S	Q67000-L176-S1

Der Baustein FZL 141 S/145 S ist ein Treiber für Transistorleistungsstufen mit hohem Ausgangsstrom. Der Ausgang der angesteuerten Leistungsstufe ist kurzschlußsicher. Der Eingang hat Schmitt-Trigger-Charakteristik.

Statische Kenndaten

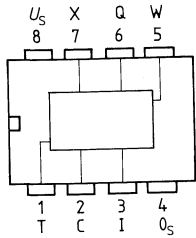
im Temperaturbereich 1 und 5

		Prüfbedingungen	untere Grenze B	typ.	obere Grenze A	Einheit
Speisespannung	U_S		11,4	15,0	30	V
H-Eingangsspannung	U_{IH}	$U_S = U_{SA} \text{ bis } U_{SB}$	8			V
L-Eingangsspannung	U_{IL}	$U_S = U_{SA} \text{ bis } U_{SB}$			6	V
Hysterese	U_{HY}	$U_S = U_{SA} \text{ bis } U_{SB}$		0,4		V
Begrenzungsspannung für Basis T_1	U_X	$5 \text{ mA} < I_X < 25 \text{ mA}$	$U_S - 2$	$U_S - 2,2$	$U_S - 2,4$	V
Abschaltspannung für Überlast	U_W		$U_S - 0,7$	$U_S - 0,8$	$U_S - 0,9$	V
Eingangsstrom an I	I_I	$0 < U_I < U_S$			250	μA
Strom an X	$-I_X$				25	mA
Ausgangsstrom an Q	I_Q				25	mA
Speisestrom	I_S	$U_I = U_S, I_Q = 25 \text{ mA}$ $C_T = 33 \text{ nF}$		6	10	mA
Kapazität an C	C_T		20	33	40	nF
Impuls-Pausenverhältnis	P/P		1:80	1:60	1:50	

Kenndaten der angegebenen Schaltungen

Empfohlene Leistungstransistoren: bei einer Stufe: $T_1 = \text{BD 136-10}$
 bei zwei Stufen: $T_1 = \text{BSV 15-10}$, $T_2 = 2 \text{ N 3055}$
 bei einer Darlingtonstufe: $T_3 = \text{BD 676}$

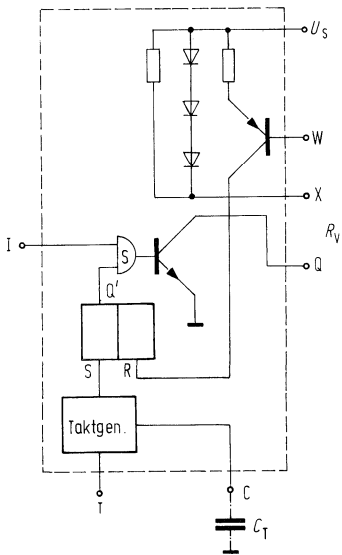
	Prüfbedingungen	untere Grenze B	typ.	obere Grenze A	Einheit
Ausgangsspannung	U_{O1}	mit BD 136, $I_{O1} = 0,5 \text{ A}$ mit BSV 15 und 2 N 3055 od. BD 676 $I_{O2} = 3 \text{ A}$	$U_S - 2,0$	$U_S - 1$	V
	U_{O2}		$U_S - 4,0$	$U_S - 2$	V
Ausgangsstrom für Glühlampen	I_{O1}	mit BD 136, $R_K = 1,3 \Omega$		0,5	A
Ausgangsstrom	P_{O1}			1	W
	I_{O2}	mit BSV 15 und 2 N 3055 od. BD 676 $R_K = 0,22 \Omega$		3	A
für Glühlampen	P_{O2}			8,5	W
Widerstände	R_V		$\frac{U_S - 1}{I_{Omax}}$	V/A	
	R_K		$\frac{U_W}{I_{O1} + I_{O2}}$	V/A	
	R_B		47	Ω	



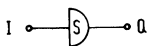
Anschlußanordnung
 Ansicht von oben

- I = Eingänge
- Q = Ausgang
- T = Taktausgang
- C = Anschluß für Taktkondensator
- X, W = Anschlüsse für Kurzschlußsicherung

Prinzipschaltung



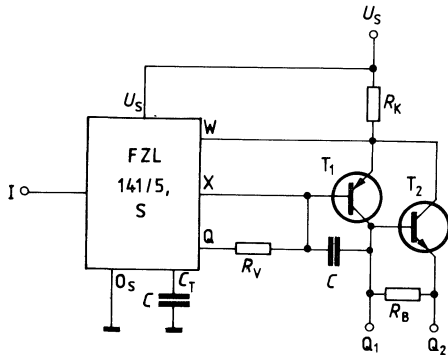
Logik bei Normalbetrieb (Kein Kurzschluß)



Prinzipielle Anwendungsschaltungen

Die Lastbedingungen an Q, Q₁ und Q₂ richten sich nach der zulässigen Verlustleistung der verwendeten Leistungstransistoren. Insbesondere ist dabei die Impulsbelastbarkeit im Kurzschlußfall zu beachten.

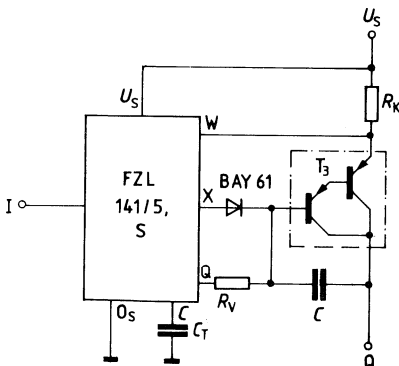
Betrieb einer Leistungsstufe



Verzögertes Ansprechen der Kurzschlußsicherung

Die Kurzschlußsicherung kann durch ein RC-Glied an W und U_s verzögert werden, um ein Ansprechen bei großen Ladekondensatoren C_L zu verhindern. Der max. zulässige Widerstand R = 1 kΩ. Die zulässige Verlustleistung an angesteuerten Transistor bestimmt die Kapazität C.

Betrieb einer Leistungsdarlingtonstufe



Typ	Bestellnummer
FZY 101	Q67000–Y361
FZY 105	Q67000–Y362

Der Baustein FZY 101/105 enthält zwei Konstantspannungsquellen. Spannungsquelle 1 ist einstellbar auf 12 V, 13 V, 14 V, 15 V oder 17 V Ausgangsspannung. Der zulässige Laststrom beträgt 120 mA. Mit Hilfe eines Leistungstransistors kann der Laststrombereich erweitert werden. Dabei ist der Kollektor mit U_{S1} , die Basis mit U_1 und der Emitter mit X, Y oder Z_1 , je nach gewünschter Ausgangsspannung zu verbinden. Die Ausgangsspannung wird am Emitter abgegriffen.

Spannungsquelle 2 ist einstellbar auf 12 V oder 17 V Ausgangsspannung bei Lastströmen bis 25 mA. Sie kann nur im Bereich 12 V für höhere Ströme erweitert werden.

Beide Spannungsquellen können auf abweichende Ausgangsspannungswerte im Bereich von 12 V bis $U_S - 2$ V durch äußere Parallelwiderstände eingestellt werden. Zur Vermeidung von Selbsterregung, hervorgerufen z. B. durch lange Zuleitungen, ist eine Kapazität von 0,1 bis 1 μ F zwischen U_S und O_S zu empfehlen.

Die Wärme muß über die Kühlflasche (Anschluß 4/6, 12/13) abgeführt werden. Die Kühlflasche darf an Masse gelegt werden.

Beide Spannungsquellen sind nur mit ihrem Masseanschluß O_S verbunden und können somit unabhängig mit verschiedenen Speisespannungen (U_{S1} , U_{S2}) betrieben werden.

Grenzdaten

		obere Grenze A	Einheit
Verlustleistung	P_{tot}	0,7	W
Sperrschichttemperatur	T_j	125	$^{\circ}$ C
Wärmewiderstand	R_{thJG}	20	$^{\circ}$ C/W

Statische Kenndaten

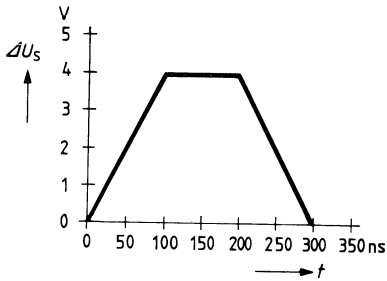
im Temperaturbereich 1 und 5

		Prüfbedingungen	untere Grenze B	typ.	obere Grenze A	Einheit
1. Spannungsquelle						
Speisespannung	U_{S1}		0		30	V
Stromaufnahme	I_S	U_1 und X verbunden $I_L = 0$		3,7	5,5	mA
Ausgangsspannung	U_1	U_1 und Z_1 verbunden, $U_{S1} \geq 15$ V, $-I_L \leq 120$ mA	11,2	12	12,8	V
Ausgangsspannung	U_1	U_1 , Y und X, Z_1 verbunden, $U_{S1} \geq 16$ V, $-I_L \leq 120$ mA		13		V
Ausgangsspannung	U_1	U_1 , X und Y, Z_1 verbunden, $U_{S1} \geq 17$ V, $-I_L \leq 120$ mA		14		V
Ausgangsspannung	U_1	U_1 und Y verbunden, $U_{S1} \geq 18$ V, $-I_L \leq 120$ mA	14,1	15	15,9	V
Ausgangsspannung	U_1	U_1 und X verbunden, $U_{S1} \geq 20$ V, $-I_L \leq 120$ mA	16,0	17	18	V
Laststrom	I_L				120	mA

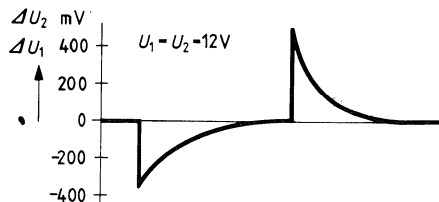
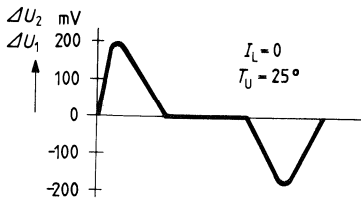
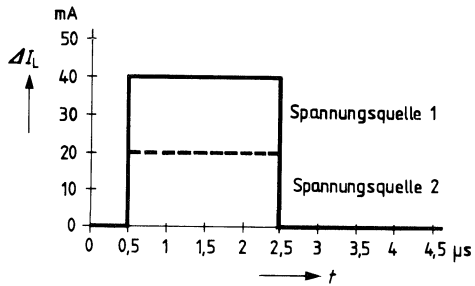
Statische Kenndaten
im Temperaturbereich 1 und 5

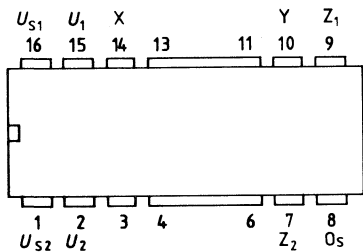
	Prüfbedingungen	untere Grenze B	typ.	obere Grenze A	Einheit
2. Spannungsquelle					
Speisespannung	U_{S2}	0		30	V
Stromaufnahme	I_S	$I_L = 0$	3,7	5,5	mA
Ausgangsspannung	U_2	U_2 und Z_2 verbunden $U_{S2} \geq 15$ V, $-I_L \leq 25$ mA	11,2	12,8	V
Ausgangsspannung	U_2	$U_{S2} \geq 20$ V, $-I_L \leq 25$ mA	16,0	17	V
Laststrom	I_L			18	mA
Spannungsdifferenz zwischen U_1 und U_2	ΔU	$I_{L1} = 45$ mA U_1 und X $I_{L2} = 15$ mA verbunden		25 0,5	V

Eingangsspannungsabhängigkeit



Lastabhängigkeit

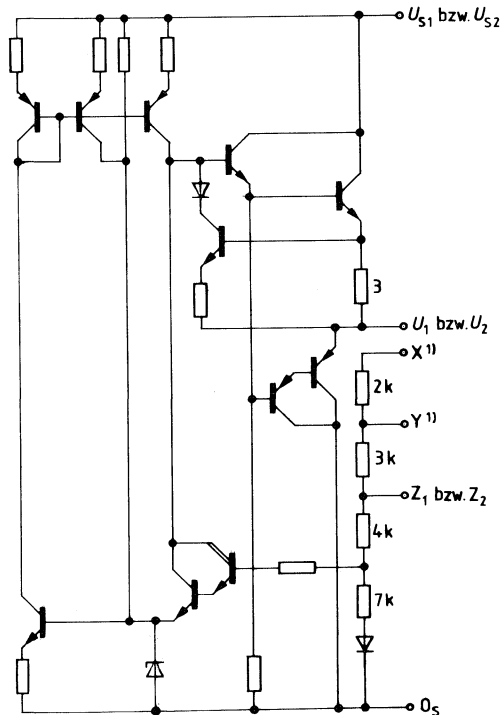




Anschlußanordnung
Ansicht von oben

X, Y, Z = Anschlüsse zur Spannungseinstellung
U₁, U₂ = Ausgänge

Schaltschema (eine Versorgungsschaltung)



¹¹⁾ X, Y nur bei Schaltung 1. Bei Schaltung 2 ist X und Ausgang U₂ intern verbunden.

Typ	Bestellnummer
S 353	Q67000-R109

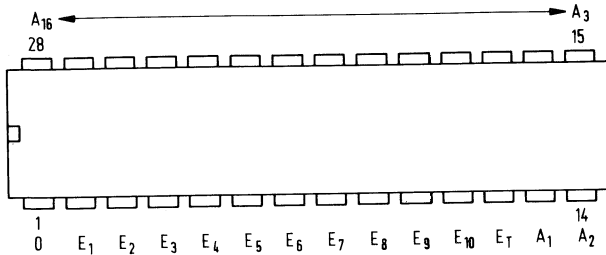
Der Baustein S 353 ist eine programmierbare Diodenmatrix mit 10 Eingängen und 16 Ausgängen. Das Substratpotential (0) muß gleich bzw. negativ sein, bezogen auf die Eingänge.

Elektrische Kenndaten der Einzeldioden einschließlich Sicherung

($T_U = 25\text{ °C}$)

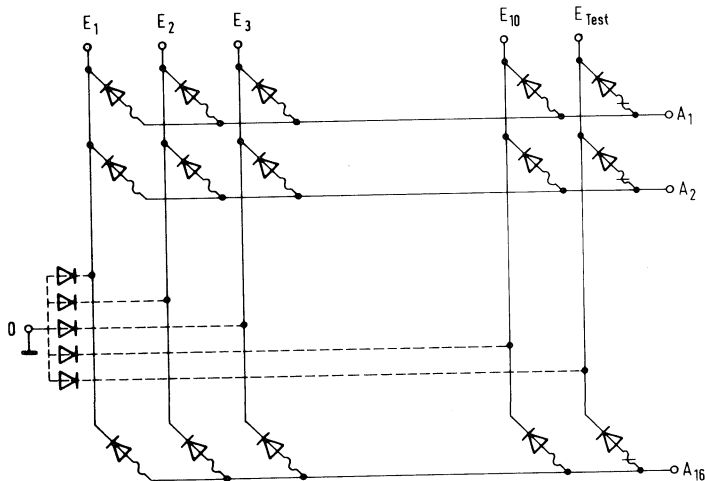
	Prüfbedingung	untere Grenze B	obere Grenze A	Einheit
Sperrspannung	U_R $I_R = 100\ \mu\text{A}$	20		V
Durchlaßspannung	U_F $I_F = 1\ \text{mA}$		1,5	V
Sperrstrom ¹⁾	I_R $U_R = 10\ \text{V}$		10	nA
Kapazität zwischen Ein- und Ausgang	C $U_R = 10\ \text{V}$		8	pF
Programmierstrom	I_A Anschluß 0 = - 2 V		50	mA
Widerstand der programmierten Diodenstrecke	R $U_E = 0\ \text{V}$	1		M Ω

¹⁾ angestrebter Sperrstrom am Ausgang, wenn alle Dioden vorhanden sind bei einer Eingangsspannung $U_E = 10\ \text{V}$ und einer Ausgangsspannung $U_A = 9,5\ \text{V}$; $I_R < 10\ \mu\text{A}$



Anschlußanordnung
Ansicht von oben

Schaltung

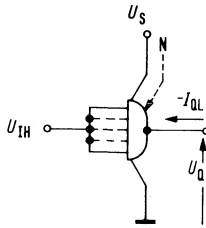


Anmerkung: Eingänge dürfen nicht offen sein
 $U_E < U_A$

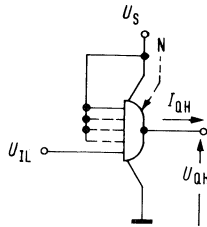
Programmierbedingung

1. Anschluß 0 (Substrat) muß 2 V negativer sein als Masse (jeweiliger Eingang E).
2. Programmierstrom von 45 bis 50 mA und Dauer 5 bis 10 ms am jeweiligen Ausgang A einprägen.
3. Im Normalfall reicht 1 Impuls zur Programmierung.

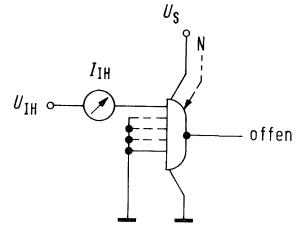
Die Prüfschaltungen sind für NAND-Glieder gezeigt. Sie gelten entsprechend für Schaltglieder der übrigen Funktionen.



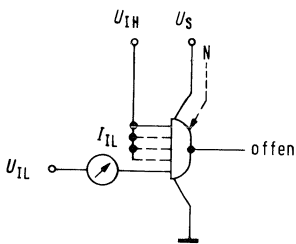
Prüfschaltung 1



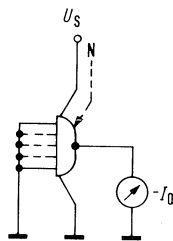
Prüfschaltung 2



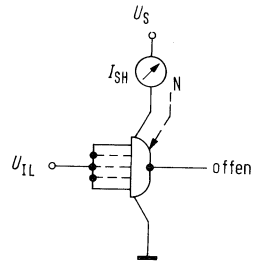
Prüfschaltung 3



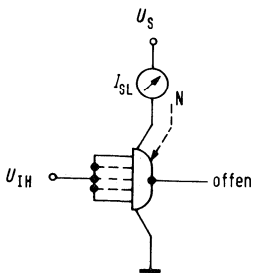
Prüfschaltung 4



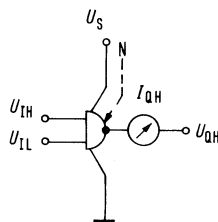
Prüfschaltung 5



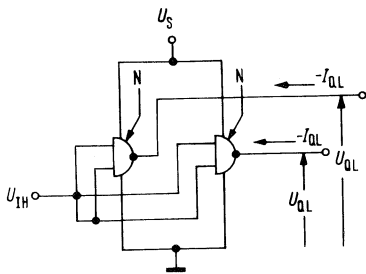
Prüfschaltung 6



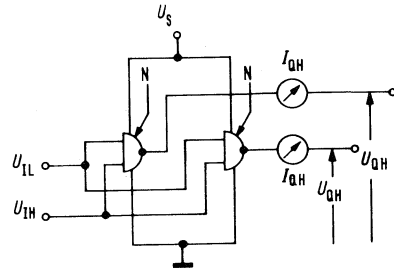
Prüfschaltung 7



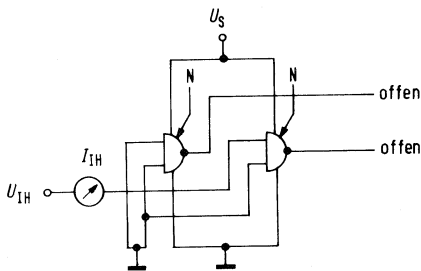
Prüfschaltung 8



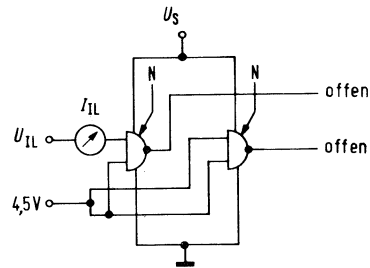
Prüfschaltung 9



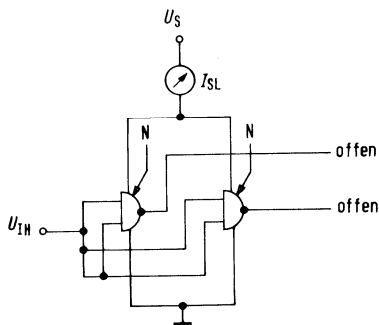
Prüfschaltung 10



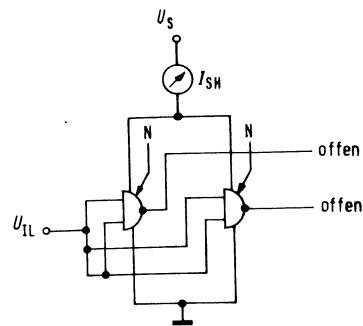
Prüfschaltung 11



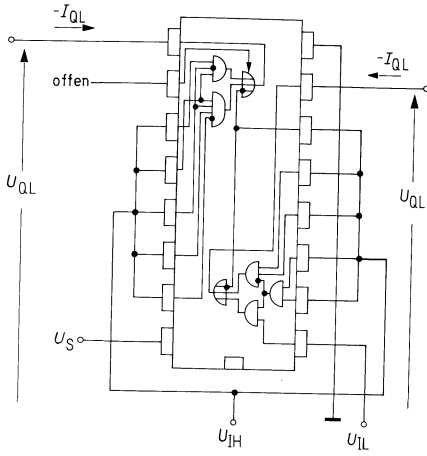
Prüfschaltung 12



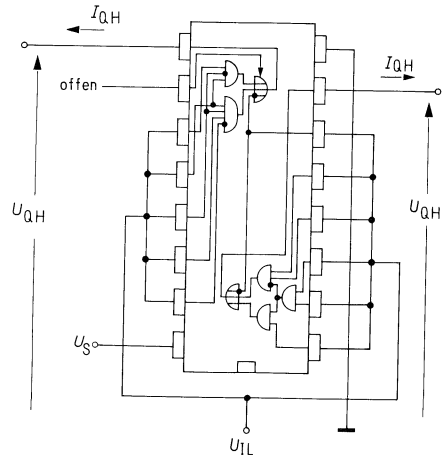
Prüfschaltung 13



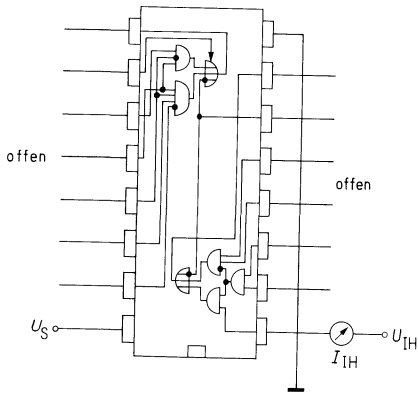
Prüfschaltung 14



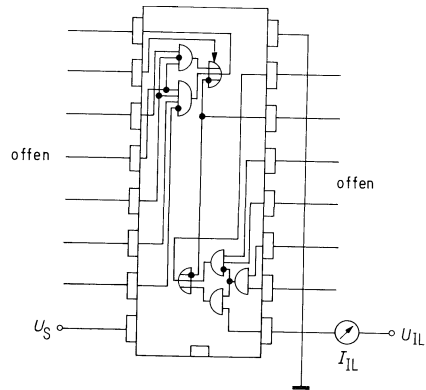
Prüfschaltung 15



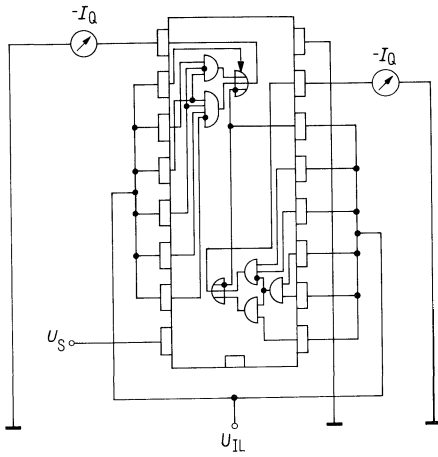
Prüfschaltung 16



Prüfschaltung 17

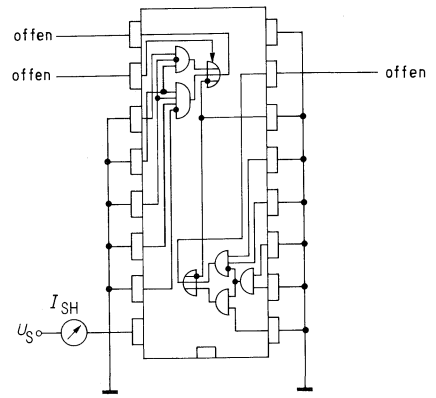


Prüfschaltung 18

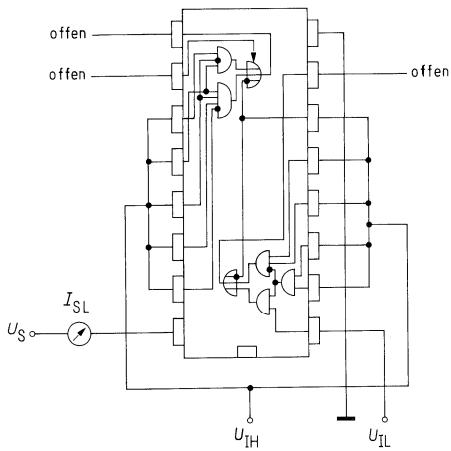


Jeder Ausgang wird getrennt getestet

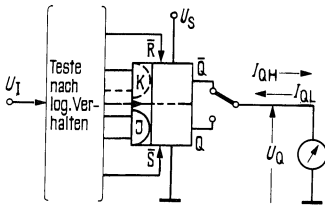
Prüfschaltung 19



Prüfschaltung 20

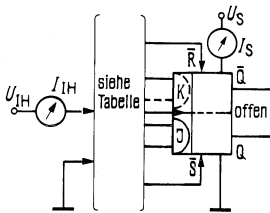


Prüfschaltung 21



Prüfschaltung 22

Jeder Ausgang wird getrennt getestet



Prüfschaltung 23

I_{IH} : Jeder Eingang wird getrennt getestet

I_S : U_{IH} an alle Eingänge

U_{IH} an Masse an

J_1 oder J_2

K_1 oder K_2

\bar{R}

\bar{S}

T

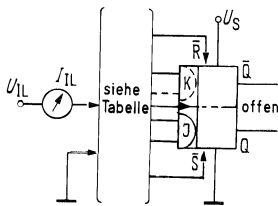
T, \bar{S} , J_2 oder J_1

T, \bar{R} , K_2 oder K_1

J_1 und J_2 , T

K_1 und K_2 , T

J_1 , J_2 , K_1 , K_2 , \bar{R} und \bar{S}



Prüfschaltung 24

Jeder Eingang wird getrennt getestet

U_{IL} an 4,5 V an 17 V an

J_1 oder J_2

K_1 oder K_2

\bar{R}

\bar{S}

T

\bar{R}

\bar{S}

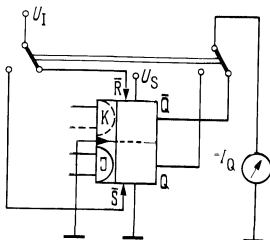
T, J_2 oder J_1

T, K_2 oder K_1

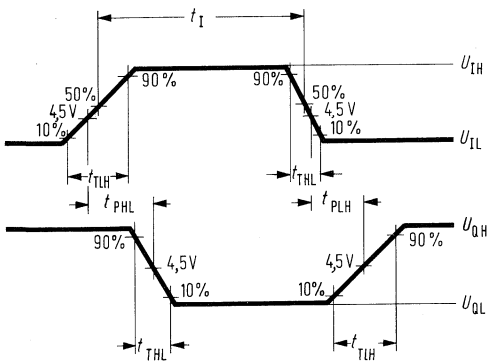
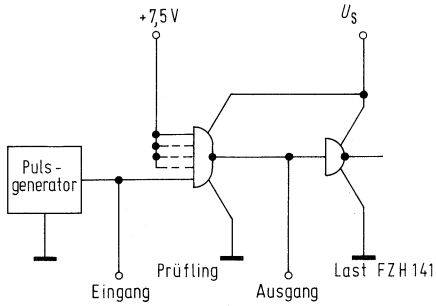
J_1 und J_2

K_1 und K_2

J_1 , J_2 , K_1 und K_2



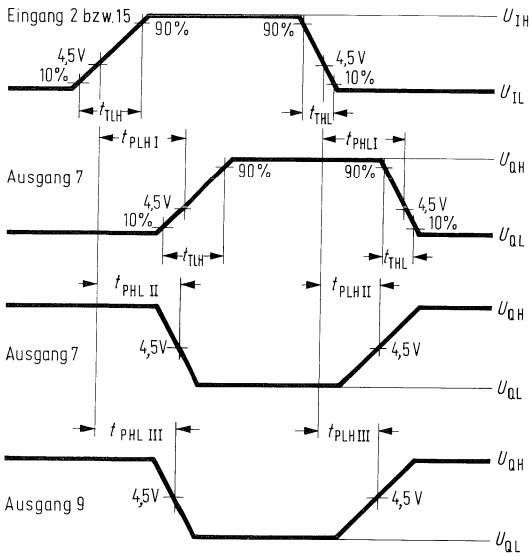
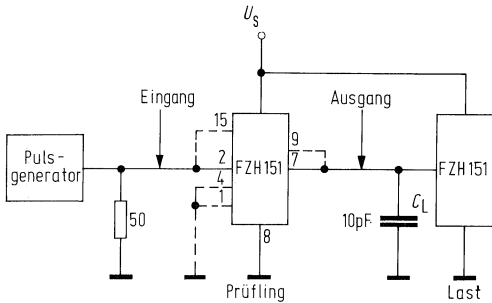
Prüfschaltung 25



Prüfschaltung 26

Pulsgeneratordaten: $t_{TLH} = 350 \text{ ns}$, $t_{THL} = 120 \text{ ns}$, $t_p = 1 \mu\text{s}$; Pulsamplitude: + 10 V.

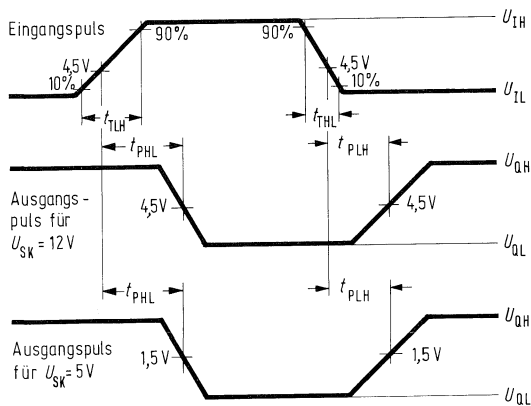
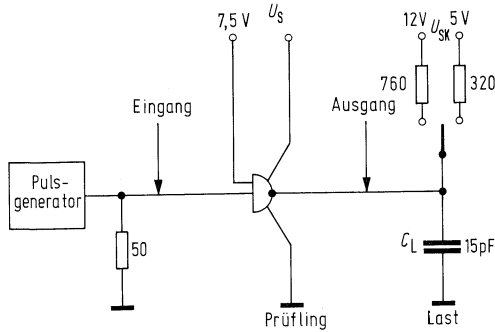
Die Last setzt sich zusammen aus Aufbau- und Streukapazitäten und einem Schaltglied FZH 141.



Prüfschaltung 27

Pulsgeneratordaten: $t_{TLH} = 350 \text{ ns}$, $t_{THL} = 240 \text{ ns}$; Pulsamplitude: + 10 V.

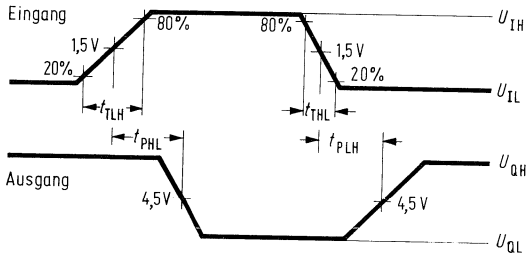
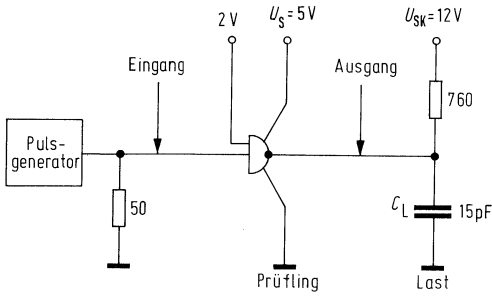
Für die Messung von Eingang 2 nach Ausgang 7 wird Eingang 4, bei einer zweiten Messung Eingang 1 auf Masse gelegt. Für die Messung von Eingang 15 nach Ausgang 9 bleiben alle übrigen Eingänge offen, t_{TLH} und t_{THL} werden am nicht invertierenden Ausgang 7 gemessen.



Prüfschaltung 28

Pulsgeneratordaten: $t_{TLH} = 350 \text{ ns}$, $t_{THL} = 120 \text{ ns}$; Pulsamplitude: + 10 V.

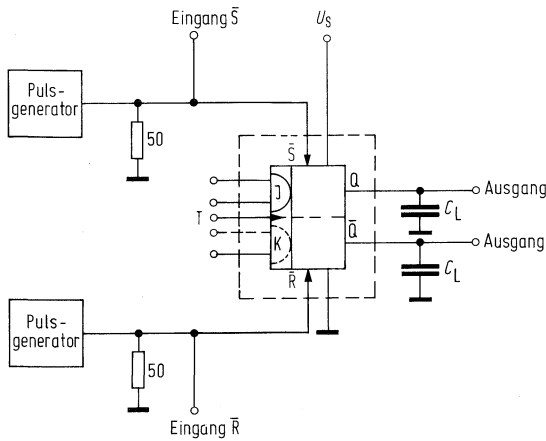
Meßpegel: Eingangsimpuls 4,5 V über Masse, Ausgangsimpuls 1,5 V (für $U_{SK} = 5 \text{ V}$) bzw. 4,5 V (für $U_{SK} = 12 \text{ V}$) über Masse.



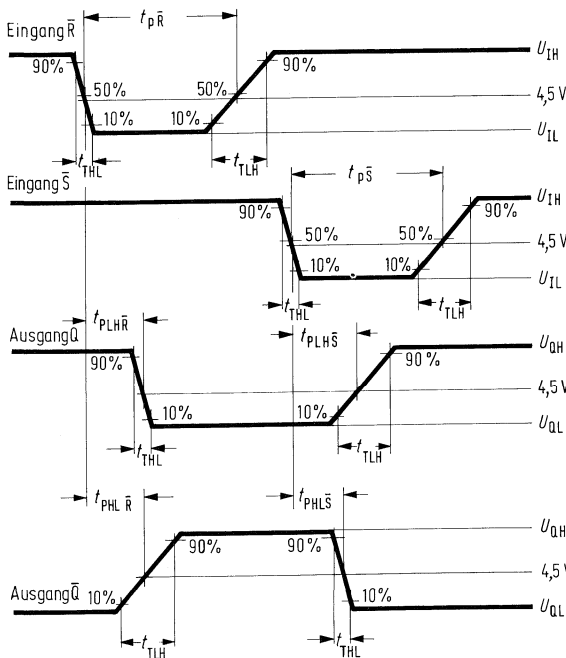
Prüfschaltung 29

Pulsgeneratorkennndaten: $t_{TLH} = 10 \text{ ns}$, $t_{THL} = 5 \text{ ns}$; Pulsamplitude: + 3 V.

Meßpegel: 1,5 V über Masse (Eingangsimpuls); 4,5 V über Masse (Ausgangsimpuls).



Messung der Verzögerungszeit \bar{R} oder \bar{S} nach Q oder \bar{Q}



Prüfschaltung 30

Pulsgeneratorkennenden:

$t_{THL} = 350 \text{ ns}$, $t_{TLH} = 120 \text{ ns}$,

$t_{pR} = t_{pS} = 700 \text{ ns}$;

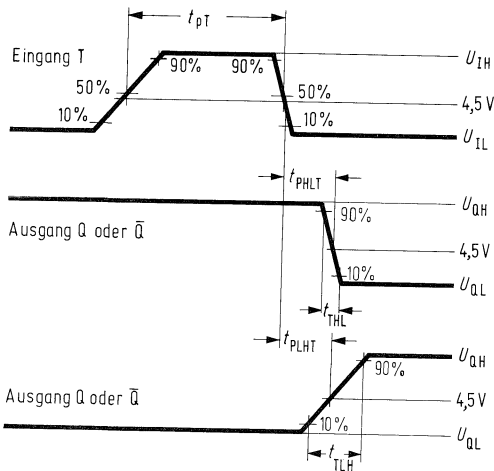
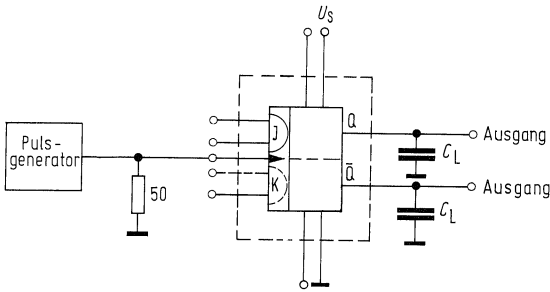
Pulsamplitude: + 10 V.

Nichtangesteuerte Eingänge sind offenzulassen.

Die Last ($C_L = 10 \text{ pF}$) beinhaltet Tastkopf und Aufbaukapazitäten.

$t_{PHL(R(S))}$ und $t_{PLH(R(S))}$ werden bei der Spannung 4,5 V über Masse gemessen.

Messung der Verzögerungszeit „Takt nach Q oder \bar{Q} “



Prüfschaltung 31

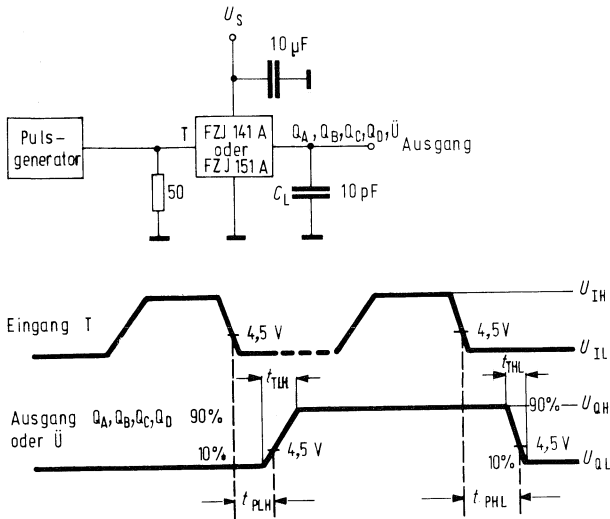
Pulsgeneratordaten: $t_{TLH} = 350 \text{ ns}$, $t_{THL} = 120 \text{ ns}$, $t_{pT} = 400 \text{ ns}$.

Pulsamplitude = + 9 V, + 1 V offset.

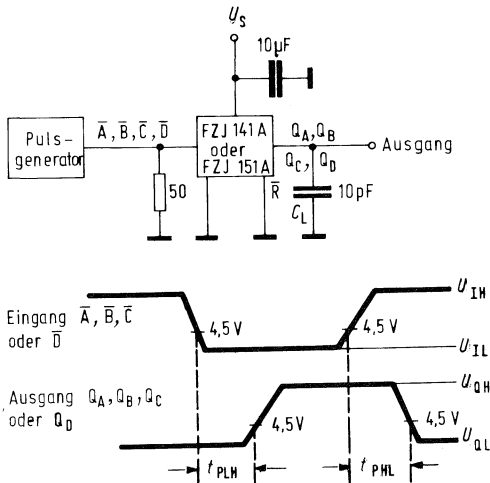
Nichtangesteuerte Eingänge sind offenzulassen.

Die Last ($C_L = 10 \text{ pF}$) beinhaltet Tastkopf und Aufbaukapazitäten.

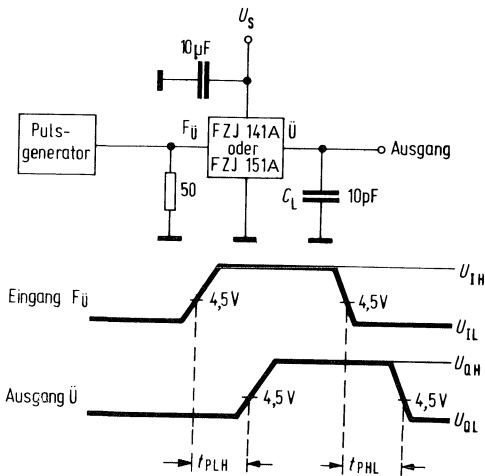
t_{PHLT} und t_{PLHT} werden bei der Spannung 4,5 V über Masse gemessen.



Prüfschaltung 50
 nicht benützte Eingänge mit U_S verbinden
 Die Last C_L beinhaltet Tastkopf- und Aufbaukapazitäten



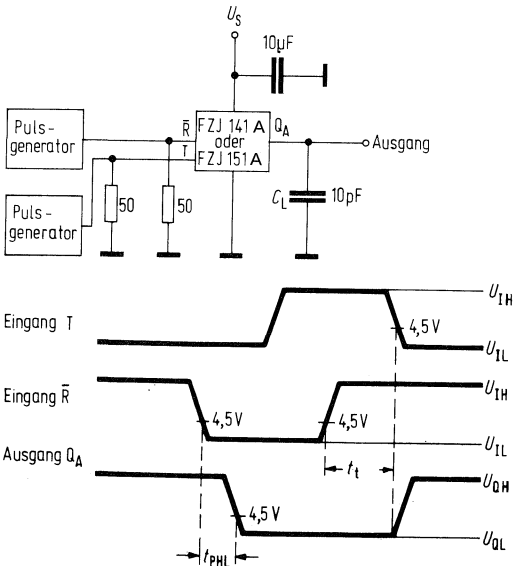
Prüfschaltung 51
 nicht benützte Eingänge mit U_S verbinden



Eingänge							Ausgang
\bar{A}	\bar{B}	\bar{C}	\bar{D}	\bar{R}	T	\bar{U}	
FZJ 141	U_{IL}	U_{IH}	U_{IH}	U_{IL}	U_{IH}	U_{IL}	U_{OH}
FZJ 151	U_{IL}	U_{IL}	U_{IL}	U_{IL}	U_{IH}	U_{IL}	U_{OH}

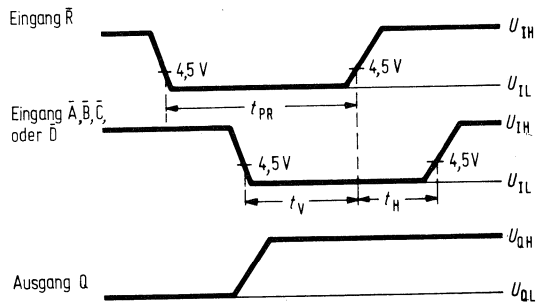
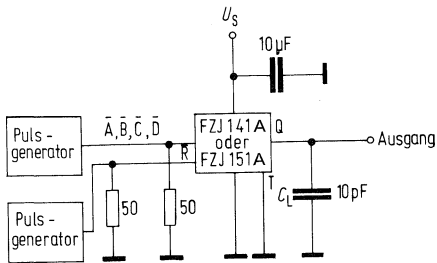
Prüfschaltung 52

Die Last C_L beinhaltet Tastkopf- und Aufbaukapazitäten



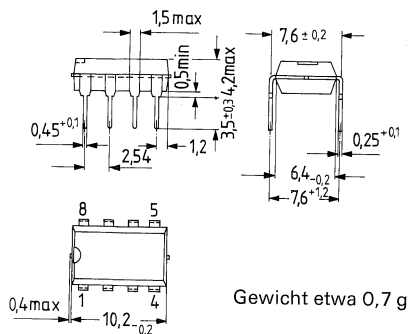
Prüfschaltung 53

nicht benutzte Eingänge mit U_S verbinden

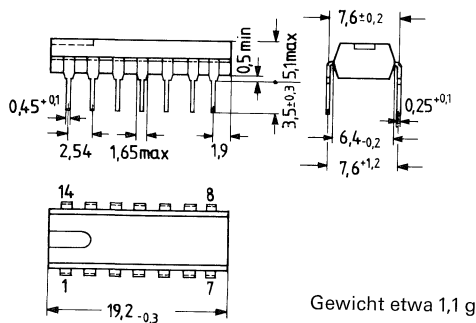


Prüfschaltung 54
 nicht benutzte Eingänge mit U_S verbinden
 Die Last C_L beinhaltet Tastkopf- und Aufbaukapazitäten

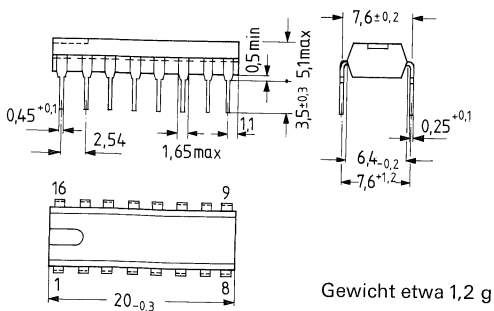
Kunststoff-Steckgehäuse, 8 Anschlüsse 20 A 8 DIN 41866



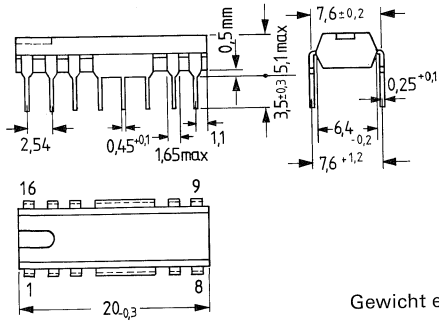
Kunststoff-Steckgehäuse, 14 Anschlüsse 20 A 14 DIN 41866 (TO-116)



Kunststoff-Steckgehäuse, 16 Anschlüsse 20 A 16 DIN 41866

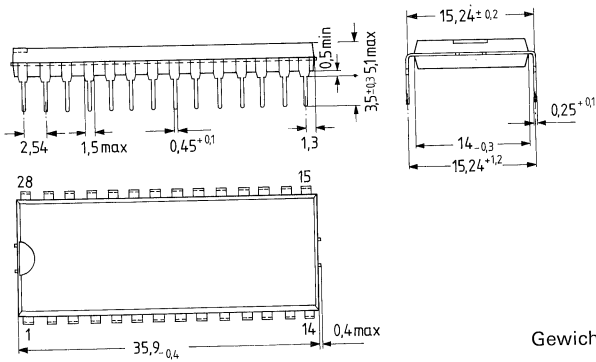


Kunststoff-Steckgehäuse, 16 Anschlüsse für Leistungsanwendungen
 20 A 16 DIN 41866 (TO-116)



Gewicht etwa 1,1 g

Kunststoff-Steckgehäuse, 28 Anschlüsse 20 A 28 DIN 41866



Gewicht etwa 3 g

Hall-Schaltungen



Die Bausteine SAS 221, SAS 241, SAS 251, SAS 261 sind magnetisch betätigte kontaktlose Schalter mit folgenden Betriebsarten:

	Speisespannungsbereich	Funktion
SAS 221 S2 SAS 221 S4	10 bis 27 V 4,75 bis 18 V	Schalter; statisch antivalente Ausgänge mit offenen Kollektoren
SAS 241 SAS 241 S4	4,75 bis 18 V 4,75 bis 5,25 V	Schalter; dynamisch offene Kollektorausgänge
SAS 251 SAS 251 S4 SAS 251 S5	4,75 bis 27 V 4,75 bis 5,25 V 4,75 bis 18 V	Schalter; statisch offene Kollektorausgänge
SAS 261 SAS 261 S4	4,75 bis 18 V 4,75 bis 5,25 V	Schalter; statisch offener Kollektorausgang und Freigabeeingang

Alle Bausteine sind im vierpoligen Flachgehäuse lieferbar. SAS 241 und SAS 251 sind auch als filmmontierte Ausführung im Mikropack auf Anfrage lieferbar.

Der Baustein SAS 231L liefert eine Spannung proportional zur magnetischen Induktion. Er ist aufgrund seiner Mikropack-Bauform besonders für einen Betrieb in sehr kleinen Luftspalten geeignet.

SAS 231L	4,75 bis 15 V	Hall-IS mit magnetfeldproportionaler Ausgangsspannung
----------	---------------	---

Magnetisch betätigte kontaktlose Schalter mit antivalenten Ausgängen

SAS 221 S2
SAS 221 S4

Typ	Bestellnummer
SAS 221 S2	Q67000-S33-S2
SAS 221 S4	Q67000-S33-S4

Die Bausteine SAS 221 S2, SAS 221 S4 sind kontaktlose Schalter, die durch ein Magnetfeld betätigt werden. Die Ausgänge mit offenen Kollektoren ermöglichen wired-AND-Verknüpfungen zur Erzeugung kodierter Signale. Der Ausgang Q wechselt von H auf L bei $B > B_E$. Die Ausgänge Q und \bar{Q} arbeiten antivalent. Das Magnetfeld muß senkrecht mit dem Südpol auf die mit der Kerbe gekennzeichnete Fläche einwirken.

Grenzdaten		Prüfbedingungen	untere Grenze B	typ.	obere Grenze A	Einheit
Speisespannung						
SAS 221 S2	U_S		-0,5		30	V
SAS 221 S4	U_S		-0,5		20	V
Ausgangsstrom	I_Q, \bar{I}_Q				30	mA
Sperrschichttemperatur	T_j				150	°C
Wärmewiderstand	R_{thSU}				170	K/W
Lagertemperatur	T_s		-40		125	°C

Funktionsbereich

Speisespannung						
SAS 221 S2	U_S		10		27	V
SAS 221 S4	U_S		4,75		18	V
Umgebungstemperatur im Betrieb	T_U		5		60	°C

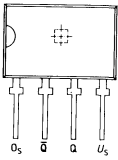
Statische Kenndaten bei 18 V, $T_U = 5$ bis 60 °C

Speisestrom	I_S		3		7	mA
Einschaltinduktion	B_E				0,065	T
Ausschaltinduktion	B_A		0,005			T
Max. Temperaturabweichung bezogen auf 25 °C	$\Delta B_E/B_A$		-0,015		0,015	T
Hysterese	B_{Hy}		0,015		0,035	T
Ausgangsreststrom	I_Q	$B < B_A$			10	µA
	\bar{I}_Q	$B > B_E$			10	µA
Ausgangsspannung	U_Q, \bar{U}_Q	I_Q bzw. $\bar{I}_Q = 16$ mA			0,4	V

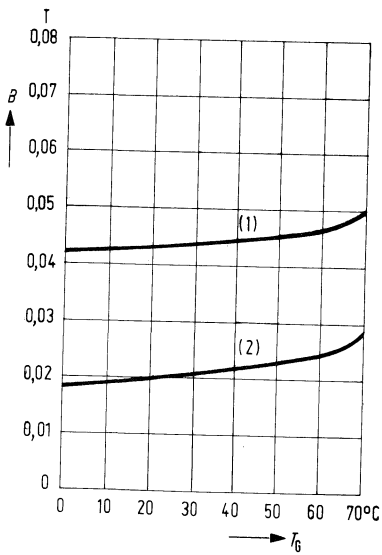
Schaltzeiten ($U_S = 18$ V, $T_U = 25$ °C)

Signalübergangszeit	t_{THL}	zw. 90 und 10%			1	µs
	t_{TLH}	zw. 10 und 90%			2	µs

Anschlußanordnung



**Typischer Verlauf der Einschaltinduktion (1)
und der Ausschaltinduktion (2)
als Funktion der Gehäusetemperatur**



Hall-IS mit magnetfeldproportionaler Ausgangsspannung

SAS 231 L

Vorläufige Daten

Typ	Bestellnummer
SAS 231 L	Q67000-A1468-L

Der Baustein SAS 231 L liefert am Ausgang eine Spannung proportional zur magnetischen Induktion (Flußdichte). Die Ausgangsspannung nimmt zu, wenn der Südpol eines Magneten der Chipoberseite genähert wird. Der Nullpunkt wird durch externen Abgleich eingestellt. Die Steilheit der Kennlinie $U_{\alpha} = f(B)$ kann durch externe Beschaltung variiert werden.

Grenzdaten	Prüfbedingungen	untere Grenze B	typ.	obere Grenze A	Einheit
Speisespannung	U_S	0		18	V
Ausgangsstrom	I_{α}			10	mA
Lagertemperatur	T_s	-40		125	°C

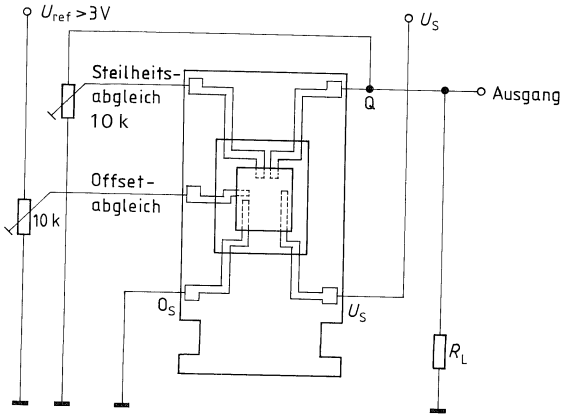
Funktionsbereich

Speisespannung	U_S	4,75		15	V
Ausgangsstrom	I_{α}			5	mA
Umgebungstemperatur im Betrieb	T_U	0		70	°C

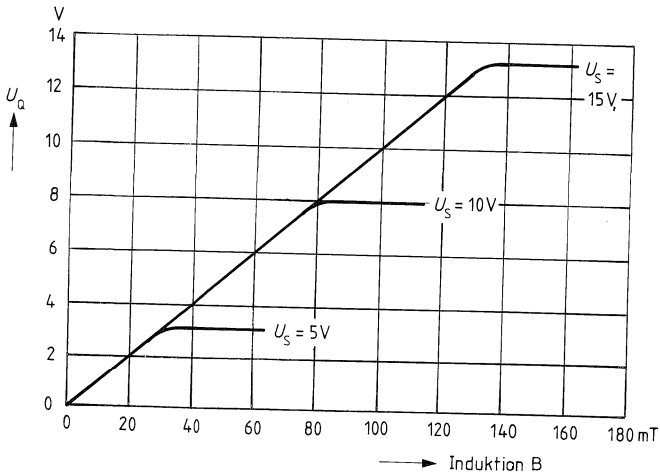
Statische Kenndaten bei $U_S = 10\text{ V}$, $T_U = 25\text{ °C}$, wenn nicht anders angegeben

Leerlaufstromaufnahme	I_S	$R_L = \infty$	6	10	mA
Ausgangsspannung	U_{α}	$R_L = 10\text{ k}\Omega$	0,05	$U_S - 2$	V
Steilheit (ohne Abgleich)	S		60	100	mV/mT
„Null“-Komponente	B_0	$U_{\alpha} = 0,5\text{ V}$	-35	35	mT
Linearitätsfehler (bezogen auf $U_{\alpha} = \frac{U_S}{2}$)			2		%
Temperaturkoeffizient	TK	$T_U = 0-70\text{ °C}$	0,4		mT/K

Anschlußanordnung und Anwendungsschaltung



Ausgangskennlinie ohne Abgleich $U_a = f(B)$



Typ	Bestellnummer
SAS 241	Q67000-S 50
SAS 241 S4	Q67000-S 50-S4

Die Bausteine SAS 241, SAS 241 S4 sind kontaktlose Schalter, die durch ein Magnetfeld betätigt werden. Die Ausgänge mit offenen Kollektoren ermöglichen wired-AND-Verknüpfungen zur Erzeugung kodierter Signale. Die Ausgänge Q₁ und Q₂ geben gleichphasige Signale ab, die unabhängig von der Einwirkungsdauer des Magnetfeldes sind. Das Magnetfeld muß senkrecht mit dem Südpol auf die mit der Kerbe gekennzeichnete Fläche einwirken.

Grenzdaten		Prüfbedingungen	untere Grenze B	typ.	obere Grenze A	Einheit
Speisespannung	U_S		-0,5		20	V
Ausgangsstrom	I_{Q1}, I_{Q2}				30	mA
Wärmewiderstand	R_{thSU}				170	K/W
Sperrschichttemperatur	T_i				150	°C
Lagertemperatur	T_s		-40		125	°C

Funktionsbereich

Speisespannung	U_S	4,75	18	V
SAS 241	U_S	4,75	5,25	V
SAS 241 S4	U_S	0	70	°C
Umgebungstemperatur im Betrieb	T_U			

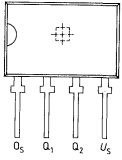
Statische Kenndaten bei $U_S = 5\text{ V}$, $T_U = 0$ bis 70 °C , wenn nicht anders angegeben

Speisestrom	I_S	$B < B_A$	1	3	mA
	I_S	$B > B_E, Q_1, Q_2 = H$		3,5	mA
	I_S	$B > B_E, Q_1, Q_2 = L$	1,5	6	mA
Einschaltinduktion	B_E			0,065	T
Ausschaltinduktion	B_A	$U_S = 18\text{ V}$	0,01		T
	B_A		0,005		T
	B_A		0,005		T
Max. Temperaturabweichung bezogen auf 25 °C	$\Delta B_E/B_A$		-0,005	0,005	T
Hysterese	B_{Hy}		0,004	0,015	T
Ausgangsstrom	I_{Q1}, I_{Q2}	$B \leq B_A$		10	µA
Ausgangsspannung	U_{Q1}, U_{Q2}	$I_{Q1} = I_{Q2} = 16\text{ mA}$		0,4	V

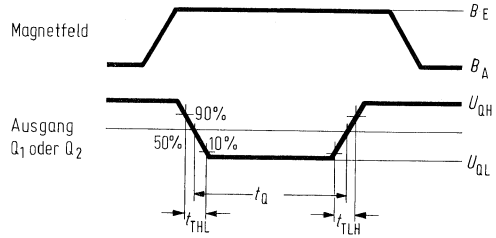
Schaltzeiten ($U_S = 5\text{ V}$, $T_U = 25\text{ °C}$)

Signalübergangszeit	t_{THL}	zw. 90 und 10%		1	µs
	t_{FLH}	zw. 10 und 90%		2	µs
Ausgangsimpulsdauer	t_Q	zw. 50 und 50%	15	20	40
					µs

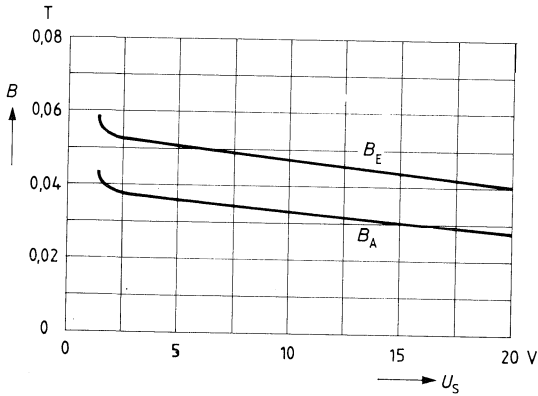
Anschlußanordnung



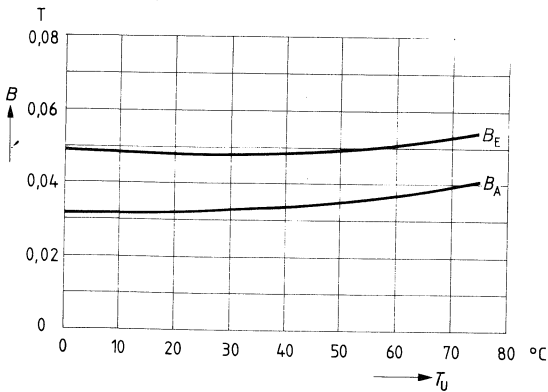
Impulsdiagramm



$B_E, B_A = f(U_S), \text{typ.}$



$B_E, B_A = f(T_U), \text{typ.}$



Magnetisch betätigte kontaktlose Schalter mit statischen Ausgängen

SAS 251
SAS 251 S4
SAS 251 S5

Typ	Bestellnummer
SAS 251	Q 67000-S 47
SAS 251 S4	Q67000-S 47-S4
SAS 251 S5	Q67000-S 47-S5

Die Bausteine SAS 251, SAS 251 S4 und SAS 251 S5, sind kontaktlose Schalter, die durch ein Magnetfeld betätigt werden.

Die Ausgänge mit offenen Kollektoren ermöglichen wired-AND-Verknüpfungen zur Erzeugung kodierter Signale. Die Ausgänge Q₁ und Q₂ geben gleichphasige Signale ab. Das Magnetfeld muß senkrecht mit dem Südpol auf die mit der Kerbe gekennzeichnete Fläche einwirken.

Grenzdaten	Prüfbedingungen	untere Grenze B	typ.	obere Grenze A	Einheit
Speisespannung					
SAS 251	U_S	- 0,5		30	V
SAS 251 S4, SAS 251 S5	U_S	- 0,5		20	V
Ausgangsstrom	I_{Q1}, I_{Q2}			30	mA
Wärmewiderstand	R_{thSU}			170	K/W
Sperrschichttemperatur	T_j			150	°C
Lagertemperatur	T_s	- 40		125	°C

Funktionsbereich

Speisespannung					
SAS 251	U_S	4,75		27	V
SAS 251 S4	U_S	4,75		5,25	V
SAS 251 S5	U_S	4,75		18	V
Umgebungstemperatur im Betrieb	T_U	0		70	°C

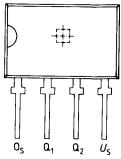
Statische Kenndaten bei $U_S = 5V$, $T_U = 0$ bis $70^\circ C$, wenn nicht anders angegeben

Speisestrom	I_S	$B < B_A$	1		3	mA
	I_S	$B > B_E$	1,5		6	mA
Einschaltinduktion	B_E				0,065	T
Ausschaltinduktion						
SAS 251, SAS 251 S5	B_A		0,01			T
SAS 251	B_A	$U_S = 27V$	0,005			T
SAS 251 S5	B_A	$U_S = 18V$	0,005			T
SAS 251 S4	B_A		0,005			T
Max. Temperaturabweichung bezogen auf $25^\circ C$	$\Delta B_E/B_A$		- 0,005	0,01	0,005	T
Hysterese	B_{Hy}		0,004		0,015	T
Ausgangsreststrom	I_{Q1}, I_{Q2}	$B < B_A$			10	μA
Ausgangsspannung	U_{Q1}, U_{Q2}	$I_{Q1} = I_{Q2} = 16mA$			0,4	V

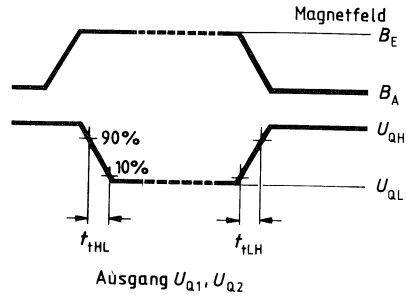
Schaltzeiten ($U_S = 5V$, $T_U = 25^\circ C$)

Signalübergangszeit	t_{THL}	zw. 90 und 10%			1	μs
	t_{TLH}	zw. 10 und 90%			2	μs

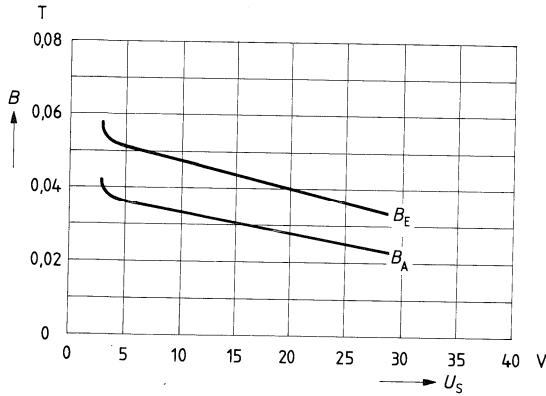
Anschlußanordnung



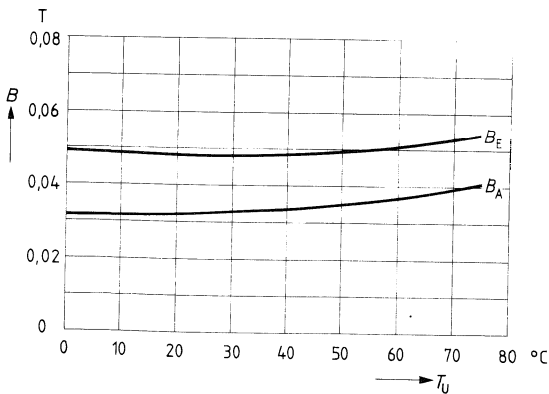
Impulsdiagramm



$B_E, B_A = f(U_s), \text{ typ.}$



$B_E, B_A = f(T_U), \text{ typ.}$



Typ	Bestellnummer
SAS 261	Q67000-S 59
SAS 261 S4	Q67000-S 59-S4

Die Bausteine SAS 261, SAS 261 S4 sind kontaktlose Schalter, die durch ein Magnetfeld betätigt werden. Wenn ein ausreichend großes Magnetfeld vorhanden ist ($B = B_E$) und ein H-Signal am Freigabeeingang anliegt, schaltet der offene Kollektorausgang Q von H nach L. Das Magnetfeld muß senkrecht mit dem Südpol auf die mit der Kerbe gekennzeichnete Fläche einwirken.

Grenzdaten		Prüfbedingungen	untere Grenze B	typ.	obere Grenze A	Einheit
Speisespannung	U_S		-0,5		20	V
Ausgangsstrom	I_Q				30	mA
Eingangsspannung an F	U_F		-0,5		5	V
Wärmewiderstand	R_{thSU}				170	K/W
Sperrschichttemperatur	T_j				150	°C
Lagertemperatur	T_s		-40		125	°C

Funktionsbereich

Speisespannung			4,75		18	V
SAS 261	U_S		4,75		5,25	V
SAS 261 S4	U_S		0		70	°C
Umgebungstemperatur im Betrieb	T_U					

Statische Kenndaten bei $U_S = 5\text{ V}$, $T_U = 0$ bis 70 °C , wenn nicht anders angegeben

Speisestrom	I_S	$U_F = 0,4\text{ V}$, B beliebig			500	μA
	I_S	$U_F = 2,4\text{ V}$, $B > B_E$	1,5	5	5	mA
	I_S	$U_F = 2,4\text{ V}$, $B < B_A$	1		3	mA
Einschaltinduktion	B_E				0,065	T
Ausschaltinduktion SAS 261	B_A		0,01			T
	B_A	$U_S = 18\text{ V}$	0,005			T
	B_A		0,005			T
SAS 261 S4	B_A					
	Max. Temperaturabweichung bezogen auf 25 °C	$\Delta B_E/B_A$	-0,005	0,01	0,005	T
			0,004		0,015	T
Hysterese	B_{HY}		2,4			V
H-Eingangsspannung an F	U_{IH}				0,8	V
L-Eingangsspannung an F	U_{IL}	$U_F = 2,4\text{ V}$			0,5	μA
H-Eingangsstrom an F	I_{IH}	$U_F = 0,8\text{ V}$			5	μA
L-Eingangsstrom an F	I_{IL}	$U_F = 0,8\text{ V}$, B beliebig			10	μA
Ausgangsreststrom	I_Q	$U_F = 2,4\text{ V}$, $B < B_A$			10	μA
		$U_Q = U_S$				μA
Ausgangsspannung	U_Q	$U_F = 2,4\text{ V}$, $B > B_E$			0,4	V
		$I_Q = 16\text{ mA}$				

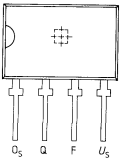
Schaltzeiten ($U_S = 5\text{ V}$, $T_U = 25\text{ °C}$)

		Prüfbedingungen	obere Grenze B	typ.	untere Grenze A	Einheit
F nach Q	t_{PHL}	zw. 50 und 50%		0,4	3	μs
Signalübergangszeit	t_{PLH}	zw. 50 und 50%		1	4	μs
	t_{THL}	zw. 90 und 10%			1	μs
	t_{TLH}	zw. 10 und 90%			2	μs

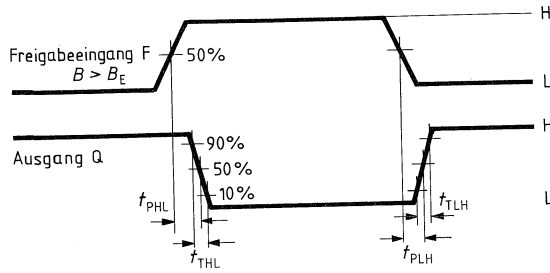
Logisches Verhalten

Freigabe-Eingang	$B > B_E$	$B < B_A$	Ausgang Q
L	X		H
L		X	H
H	X		L
H		X	H

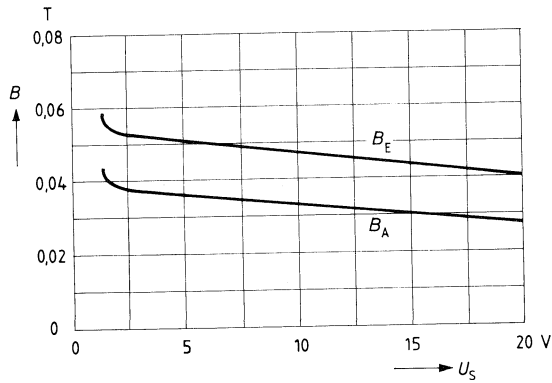
Anschlußanordnung



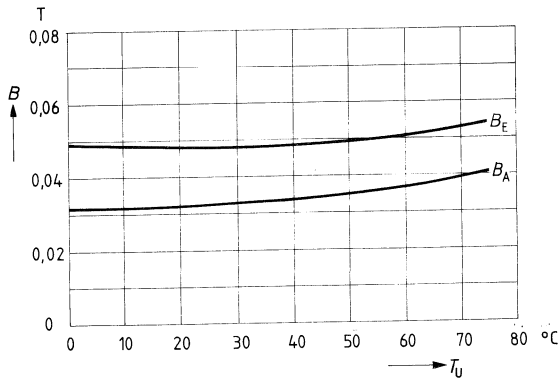
Impulsdiagramm



$B_E, B_A = f(U_S)$, typ.

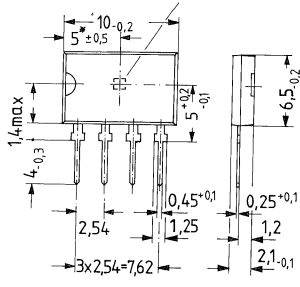


$B_E, B_A = f(T_U)$, typ.



Gehäusebauformen der Hall-Schaltungen

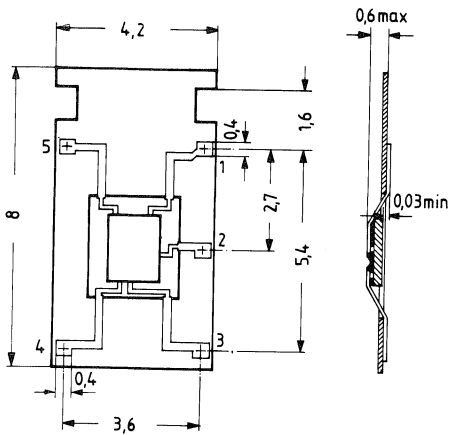
Kunststoff-Flachgehäuse



Gewicht etwa 0,5 g

* SAS 221 S2, S4 = 4,7 ± 0,5

Mikropack-Gehäuse





Schaltungen für spezielle Funktionen



Vorläufige Daten

Typ	Bestellnummer
S 89	Q67000-H 1694

Frequenzteiler mit den wählbaren Teilverhältnissen 50/51, 100/101, 100/202.
 Maximale Eingangsfrequenz 500 MHz bei Teilverhältnis 100/102 und 200/202, sowie 250 MHz bei Teilverhältnis 50/51 und 100/101.
 Der S 89 ist speziell als Vorteiler für den S 187 (siehe Abschnitt spezielle Funktionen) geeignet.

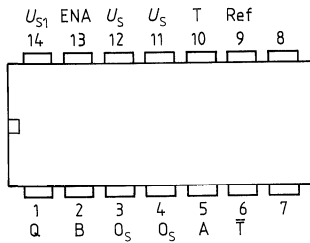
Hauptanwendung: Vorteiler in Dual Modulus-Frequenzteilern.

Grenzdaten

		untere Grenze B	obere Grenze A	Ein- heit
Speisespannung	U_S	-0,3	7	V
Eingangsspannung ENA	U_{ENA}	-0,3	15	V
Eingangsspannung A, B	U_{AB}	-0,3	7	V
Eingangsspannung T	U_T	-0,3	$U_S + 0,3$	V
Ausgangsspannung Q ₁	U_{Q1}	-0,3	12	V
Ausgang gesperrt				
Fremdspannung an Ref.	U_{Ref}	-0,3	$U_S + 0,3$	V
Ausgangsstrom an Q ₁	I_{Q1}		4	mA
Ausgang leitend				
Sperrschichttemperatur	T_j		125	°C
Lagertemperatur	T_s		125	°C
Wärmewiderstand				
System-Umgebung	R_{thSU}		75	K/W
System-Gehäuse	R_{thSG}		45	K/W

Funktionsdaten

Funktionsdaten		Bedingungen	untere Grenze B	obere Grenze A	Einheit
Speisespannung	U_S		4,5	5,5	V
max. Eingangsfrequenz	$f_{T \max}$	bei 50/51, 100/101	250 ¹⁾		MHz
max. Eingangsfrequenz	$f_{T \max}$	bei 100/102, 200/202	500 ¹⁾		MHz
min. Eingangsfrequenz	$f_{T \min}$	bei 50/51, 100/101	20 ¹⁾		MHz
sinusförmig					
min. Eingangsfrequenz	$f_{T \min}$	bei 100/102, 200/202	40 ¹⁾		MHz
sinusförmig					



Anschlußanordnung
Ansicht von oben

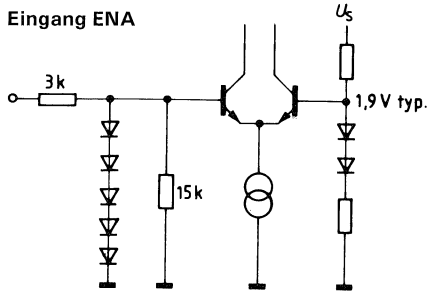
¹⁾ Amplitude (SS) an T: 250 mV $\leq U_{T \text{ SS}} \leq$ 400 mV; U_S : 4,75 $\leq U_S \leq$ 5,5 V

Kenndaten im Betriebsbereich

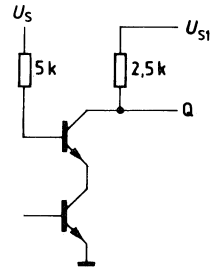
($T_U = -30$ bis 80°C)

	Prüfbedingungen	untere Grenze B	typ.	obere Grenze A	Einheit
Speisespannung	U_S	4,75		5,25	V
Speisestrom	I_S	Eing., Ausg. offen	55	85	mA
L-Eingangsspannung an ENA	$U_{ENA L}$			1	V
H-Eingangsspannung an ENA	$U_{ENA H}$	$T_U = -30^\circ\text{C}$			V
H-Eingangsspannung an ENA	$U_{ENA H}$	$T_U = 25^\circ\text{C}$			V
H-Eingangsspannung an ENA	$U_{ENA H}$	$T_U = 80^\circ\text{C}$			V
H-Eingangsstrom an ENA	$I_{ENA H}$	$U_{ENA} = U_{ENA H} = f(T_U)$	0,17	0,3	mA
H-Eingangsstrom an ENA	$I_{ENA H}$	$U_{ENA} = 9\text{ V}$	1,7	3	mA
L-Eingangsspannung an A bzw. B	$U_{AB L}$			1,5	V
H-Eingangsspannung an A bzw. B	$U_{AB H}$		$U_S - 0,1$	$U_S + 0,1$	V
H-Eingangsstrom an A bzw. B	$I_{AB H}$	$U_{AB} = U_S$	0,5	1	mA
Schwellwertspannung an T	U_T	$U_S = 5\text{ V}$	3,7		V
Schaltspannungshub an T statisch	$U_{T SS}$		250	1600	mV
(T und Ref verbunden)					
Schaltspannungshub an T bei 500 MHz	$U_{T SS}$	$U_S = 5\text{ V}$	250	400	mV
(T und Ref verbunden)					
Ausgangsspannung an Q_1	U_{Q1}	$I_{Q1} = 3,2\text{ mA}$		0,4	V
R zwischen Q_1 und Q_2	R_{Q2}		1,8	2,5	k Ω
				3,2	

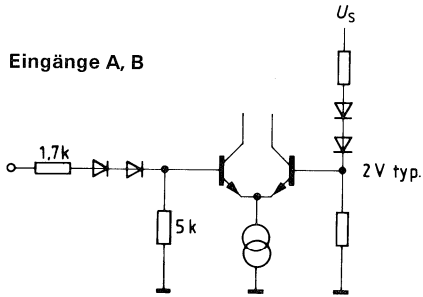
Eingang ENA



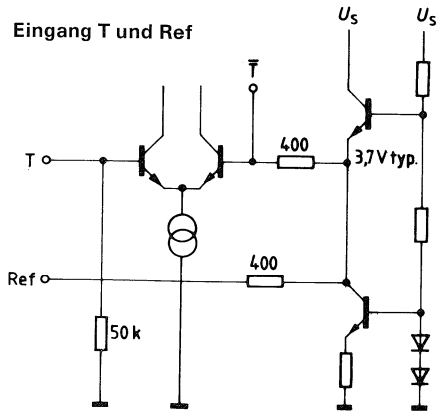
Ausgänge Q_1 und Q_2



Eingänge A, B

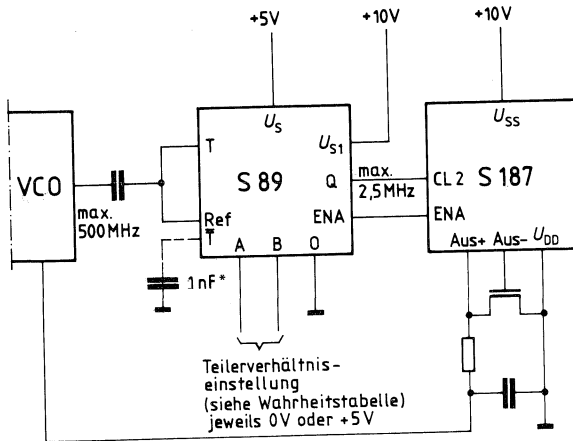


Eingang T und Ref



Anwendungsbeispiel

Vorteiler für PLL-Baustein S 187



* Kondensator ist nur bei Betrieb in der Nähe der Grenzfrequenz und der Grenzeingangsempfindlichkeit notwendig.

Typ	Bestellnummer
S 178	Q67100-Z84

Der S 178 ist eine hochintegrierte MOS-Schaltung in p-Kanal-Metal-Gate-Technik mit Enhancement- und Depletion-Transistoren mit folgenden technischen Merkmalen:

Der **Video-Impulsgeber** realisiert die zur Steuerung notwendigen Synchron-, Steuer- und Löschnsignale für Kameras, Mischpulte u. ä. Geräte.

Folgende Signale werden erzeugt:

- Austast-Signal A
- Synchron-Signal S
- Horizontal-Impuls H
- Vertikal-Impuls V
- Klemm-Impuls K_t
- Horizontal-Austast-Impuls A (H)
- doppelte Zeilenfrequenz $H/2$ } $\rightarrow H/2 + V_R$ -Signal bei externer Signalmischung
 halbe Vertikalfrequenz V_R

Besondere Eigenschaften

Alle Impulse werden digital aus der einem Impulsschema zugeordneten Eingangsfrequenz mit Tastverhältnis 1 : 1 abgeleitet.

Impulslängen nach alter CCIR-Norm und EIA-Standard.

Ein geänderter Baustein nach neuer CCIR-Norm ist in Vorbereitung.

Fest programmiert sind folgende 5 Impulsschemen (durch 3-Bit-Codierung und Zeilenzahlcodierung):

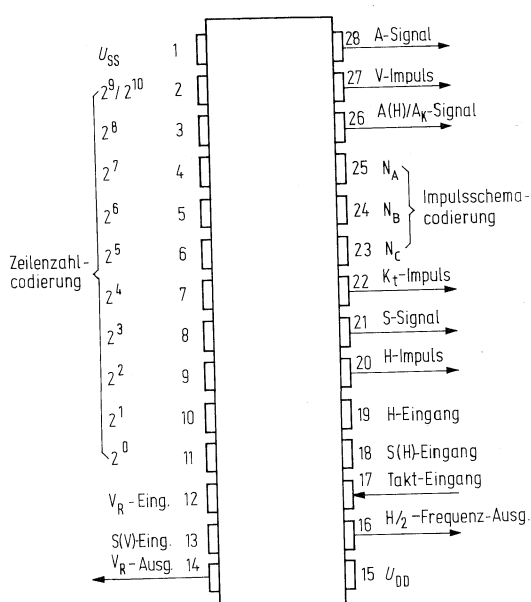
525 Zeilen (60 Hz)	erforderliche Eingangsfrequenz	1,008	MHz
625 Zeilen (50 Hz)	erforderliche Eingangsfrequenz	1,000	MHz
735 Zeilen (60 Hz)	erforderliche Eingangsfrequenz	1,4112	MHz
875 Zeilen (50 Hz)	erforderliche Eingangsfrequenz	1,400	MHz
1023 Zeilen (60 Hz)	erforderliche Eingangsfrequenz	1,96416	MHz

In Abweichung dazu kann jede Zeilenzahl zwischen 512 und 1535 Zeilen eingestellt werden.

Zu beachten ist dabei, daß eine Bildwechselfrequenz von 50 Hz (Teilbilddauer 20 ms) bzw. 60 Hz (16,66) erreicht wird.

Es gilt die Beziehung:

$$\begin{aligned} \text{Eingangsfrequenz } f_i &= 64 : \text{Zeilenperiode } H \\ &= 32 \cdot \text{Zeilenzahl } Z \cdot \text{Bildfrequenz } f_B \end{aligned}$$

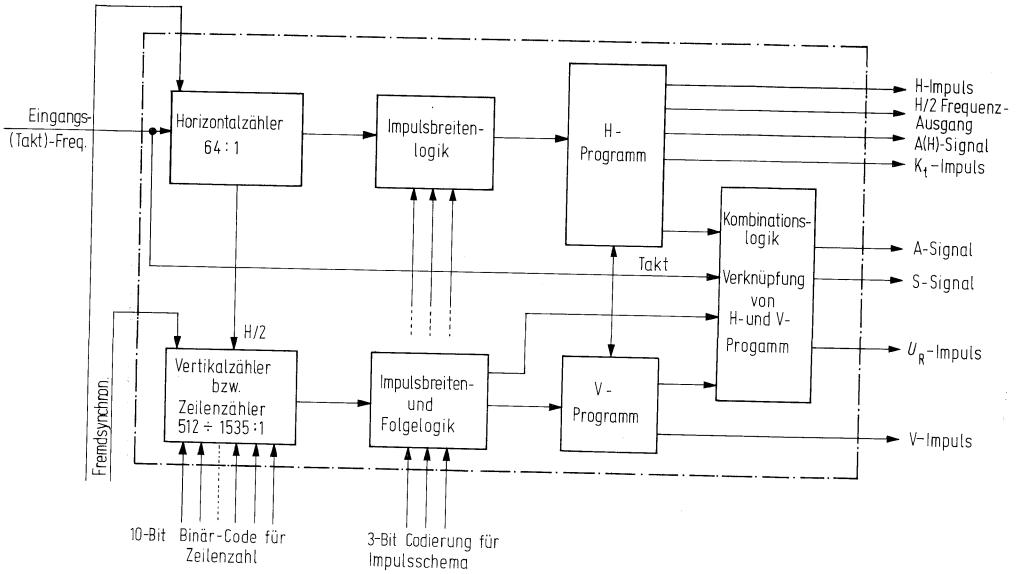


Anschlußanordnung
Ansicht von oben

Eingänge	Anschl.-Nr.	Ausgänge	Anschl.-Nr.
10 Eingänge für Zeilenzahlcodierung	2 – 11	8 Ausgänge für:	
3 Eingänge für Zeilenschemencodierung	23 – 25	A-Signal	28
		S-Signal	21
		A (H) Impulse	26
		K _t -Impulse	22
2 Eingänge für Fremdsynchronisation mit H/2 + V _R -Signal für Impulse am H und V _R	19, 12	H-Impuls	20
2 Eingänge für Fremdsynchronisation mit S-Signal für Impulse aus S (H) und S (V)	18, 13	V-Impuls	27
1 Eingang für die Taktfrequenz	16	H/2 _{syn} -Frequenz	16
2 Eingänge für die Spannungsversorgung (U _{ss} und U _{DD})	1, 15	V _R -Impuls	14

Aus der H/2_{syn}-Frequenz und dem V_R-Impuls kann bei entsprechender externer Beschaltung durch Mischung das H/2 + V_R-Signal gewonnen werden.

Blöckschaltbild



Grenzdaten

		untere Grenze B	obere Grenze A	Einheit	
Speisespannung Spannung an allen Anschlüssen	} bezogen auf $U_{SS} = 0\text{ V}$	U_{DD}	- 12	0,3	V
		U	- 20	0,3	V
Eingangsstrom ($U_I = 0,3\text{ V}$; $U_{SS} = 0\text{ V}$)		I_F		100	μA
Lagertemperatur		T_s	- 55	125	$^{\circ}\text{C}$
Betriebstemperatur		T_U	0	75	$^{\circ}\text{C}$

Kenndaten: ($T_U = 25\text{ }^{\circ}\text{C}$)

a) Betriebsspannung: $U_{SS} - U_{DD} = 10\text{ V} \pm 5\%$

z. B. muß bei der mit 0 V und - 5 V versorgten externen TTL-Logik der MOS-Baustein für die direkte Ansteuerungsmöglichkeit mit $U_{SS} = 0\text{ V}$ und $U_{DD} = -10\text{ V}$ beschaltet werden.

b) Stromaufnahme: typ. 40 mA

c) Eingangspegel: direkte Aussteuerung mit TTL-Ausgangspegel

$$U_{SS} \geq \log. H \geq U_{SS} - 1,5\text{ V}$$

$$U_{DD} \leq \log. L \leq U_{SS} - 4,3\text{ V}$$

fan out ≥ 1 TTL Eingangslast

d) Ausgangspegel: bei Belastung mit 1 TTL-Eingang (log. H $\rightarrow 40\text{ }\mu\text{A}$; log. L $\rightarrow -1,6\text{ mA}$)

$$U_{SS} \geq \log. H \geq U_{SS} - 2,6\text{ V}$$

$$U_{DD} \leq \log. L \leq U_{SS} - 4,6\text{ V}$$

e) Flankensteilheit: im nach d) definierten Bereich $\leq 100\text{ ns}$

f) Maximale Eingangsfrequenz: untere Grenze $\geq 2\text{ MHz}$ typ. 2,8 MHz

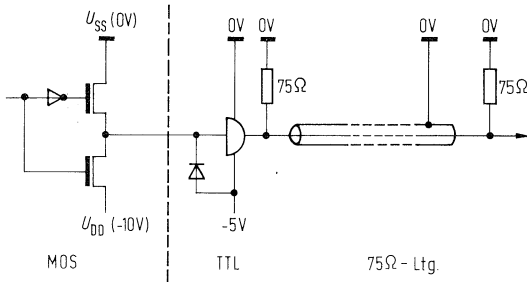
4) Interface zum 75- Ω -Kabel

Da die Ausgänge des Impulsgebers mit je einem TTL-Eingang belastbar sind, ist eine Treiberstufe erforderlich.

Dabei ist nach dem angegebenen Schaltbild zu beschalten.

Die zusätzliche Diode dient zum Schutz des TTL-Schaltgliedes vor zu niedriger Eingangsspannung bzw. vor Überschreitung der zulässigen Verlustleistung.

Als Treiberstufe für das zu speisende 75- Ω -Koax-Kabel empfiehlt sich der TTL-Baustein 75453 (maximaler Ausgangsstrom 300 mA; Impulsverzögerung 11 ns).



5) Codiertabellen

Codierung für Impulsschema 1 : 5

N _A	N _B	N _C		
L	L	L	525 Zeilen	1
L	L	H	625 Zeilen	2
L	H	L	735 Zeilen	3
L	H	H	875 Zeilen	4
H	L	L	1023 Zeilen	5

10-Bit-Dual-Code für Zeilenzahl

1024	512	256	128	64	32	16	8	4	2	1	
2 ¹⁰	2 ⁹	2 ⁸	2 ⁷	2 ⁶	2 ⁵	2 ⁴	2 ³	2 ²	2 ¹	2 ⁰	Anschluß
L	H	L	L	L	L	L	H	H	L	H	525 Zeilen
L	H	L	L	H	H	H	L	L	L	H	625 Zeilen
L	H	L	H	H	L	H	H	H	H	H	735 Zeilen
L	H	H	L	H	H	L	H	L	H	H	875 Zeilen
L	H	H	H	H	H	H	H	H	H	H	1023 Zeilen

Daneben kann jede andere Zeilenzahl eingestellt werden; durch die Zusammenfassung von 2⁹ und 2¹⁰ zu einem Eingang jedoch auf 512 : 1535 Zeilen begrenzt.

Bei Programmierung auf eine gerade Zeilenzahl entfällt die Zwischenzeile.

z. B.

2 ¹⁰	2 ⁹	2 ⁸	2 ⁷	2 ⁶	2 ⁵	2 ⁴	2 ³	2 ²	2 ¹	2 ⁰	Anschluß
L	H	L	L	H	H	L	H	H	H	L	624 Zeilen

1) Funktionsbeschreibung

Das Kernstück des Impulsgebers sind Horizontal- und Vertikalzähler (siehe Blockschaltbild). Der Horizontalzähler mit dem Teilverhältnis 64 : 1 teilt die Eingangsfrequenz auf die doppelte Zeilenfrequenz $H/2$ herunter.

Eine Zusatzlogik verhindert, daß im Einschaltmoment oder durch einen Störimpuls kein undefinierter Zustand der Schaltglieder der Zähler vorliegt.

Die für alle Zeilenschemen programmierten Vielfachen der Eingangsfrequenz werden durch Koinzidenz vom Zähler abgeleitet; dabei werden alle Impulse zunächst eine Taktperiode zeitlich früher realisiert bzw. vorsynchronisiert.

Die Nachsynchronisation geschieht mit der darauffolgenden Taktflanke unmittelbar am Ausgang. Damit werden die Verzögerungen, bedingt durch die endliche Schaltgeschwindigkeit der Schaltglieder, eliminiert. Bezugsflanke aller Impulse ist $H/2$ syn.

Der Vertikalzähler, aufgebaut als 11-Bit-Asynchronzähler wird mit der doppelten Zeilenfrequenz $H/2$ angesteuert. Die daraus abgeleiteten Impulse sind ein bestimmtes ganzzahliges Vielfaches von $H/2$ und erscheinen hierzu verzögert, jedoch von $H/2$ syn. Dadurch wird auch hier die spätere Nachsynchronisierung mit $H/2$ syn ermöglicht.

Der Vertikalzähler ist von außen auf eine bestimmte Zeilenzahl programmierbar. Dabei wird die extern codierte Zeilenzahl mit dem Zählerstand verglichen, bei Gleichheit intern zurückgesetzt und mit der nächsten $H/2$ -Flanke wieder neu gestartet. Da von außen auf die Zeilenzahl des Vollbildes programmiert ist, der Zähler jedoch mit der doppelten Zeilenzahl betrieben wird, treten die Vertikalsignale pro Teilbild auf.

Durch die externe 3-Bit-Codierung wird intern auf das ausgewählte Impulsschema programmiert, d. h. die entsprechenden Schaltglieder zur Realisierung des H- und V-Programms freigegeben.

Die Impulse werden nun entweder direkt nach außen geführt oder in der Kombinationslogik nach dem 3-Bit-Code folgerichtig gemischt und ausgeblendet. Dabei wird in jedem Fall zuvor noch mit der Taktflanke nachsynchronisiert. Der Impulsbeginn bzw. die Impulslängen treten dann zeitlich definiert zu $H/2$ syn. auf.

2) Fremdsynchronisation mit $H/2 + V_R$ oder S-Signal

Zur Bildmischung und Überblendung müssen die BAS-Signale der einzelnen Kameras bzw. Video-Recorder synchron zueinander stehen, d. h. in Zeile und Bild übereinstimmen. Bei Fremdsynchronisation müssen im externen Signal diese beiden Komponenten enthalten sein; entweder die Horizontal- und Vertikalfrequenz (bei S-Signal; S (H) und (SV) oder die (doppelte) Horizontal- und halbe Vertikalfrequenz (bei $H/2 + V_R$).

Von diesen beiden H- und V-Komponenten werden mit Beginn der Vorderflanke kurze Impulse abgeleitet und damit Horizontal- und Vertikalzähler definiert gesetzt.

(Richtwert: H-Komp. $\approx 300 \text{ ns} < \text{Taktperiode}$

V-Komp. $\approx 1 \mu\text{s} < H/2$)

Aufgrund des zeitlichen Versatzes der Vorderflanken von Zeilenfrequenz H und S (H) von 1,5 Perioden der Eingangsfrequenz würde in einem Falle der Horizontalzähler falsch gesetzt werden. Aus diesem Grund sind für beide Horizontalkomponenten Eingänge vorgesehen, die bei Ansteuerung den Zähler entsprechend der verwendeten Komponente in die zugeordnete Stellung setzen.

Gleiches gilt für die Vertikalkomponenten von $H/2 + V_R$ und S-Signal. Der 1. Bildwechselimpuls folgt, je nach Schema 2,5 bzw. 3 Zeilenperioden hinter dem V_R -Impuls. Die beiden Eingänge für die Impulse aus V_R bzw. S (V) und das entsprechend codierte Zeilenschema ermöglichen das diesbezüglich folgerichtige Setzen des Vertikalzählers. Durch die Möglichkeit des definierten Setzens der Zähler wird auch bei Fremdsynchronisation mit unterschiedlichen Phasenlagen der Synchronisiersignale am Ausgang des Impulsgebers ein normgerechtes Impulsschema erreicht.

Anmerkung:

Zum Zeitpunkt des definierten Setzens des Horizontalzählers ist die Phasenlage der Eingangsfrequenz unbestimmt, die Genauigkeit der Synchronisation würde bei einer Taktperiode liegen (d. h. bei 625 Zeilen $\leq 1 \mu\text{s}$). Durch eine externe Phasensynchronisierung mit Frequenzvervielfachung wird aus der Horizontalkomponente der Eingangstakt erzeugt und damit immer eine bestimmte Phasenlage des Rücksetzimpulses zum Eingangstakt erreicht. Damit kann eine gegenseitige Zeilenverschiebung (Jitter) von $< 20 \text{ ns}$ absolut erreicht werden.

3) Ansteuerung

Der Impulsgeber leitet aus der Eingangsfrequenz digital die erforderlichen Impulse ab. Da intern auch die halbe Taktperiode zur Erzeugung der Impulsbreiten, sowie auch Vorder- und Rückflanke zur Triggerung verwendet werden, ist ein Eingangstastverhältnis 1:1 erforderlich.

Es empfiehlt sich daher, den erforderlichen Quarzoszillator mit der doppelten Eingangsfrequenz zu betreiben; extern mit einer Teilerstufe 2 : 1 herunterzuteilen und somit ein exaktes Tastverhältnis 1 : 1 zu erreichen.

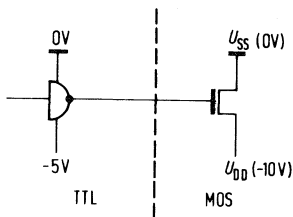
Für die vorgesehenen Zeilenschemen ergibt sich damit folgende Zuordnung:

525 Zeilen 1,008	x 2 →	2,016	MHz
625 Zeilen 1,000	x 2 →	2,000	MHz
735 Zeilen 1,4112	x 2 →	2,8224	MHz
875 Zeilen 1,400	x 2 →	2,800	MHz
1023 Zeilen 1,96416	x 2 →	3,92832	MHz

Sämtliche Eingänge des Impulsgebers sind so ausgelegt, daß sie mit TTL-Ausgangspegel direkt angesteuert werden können. Dabei muß der positive Anschluß der Versorgungsspannung der MOS-Schaltung mit dem positiven Punkt der TTL-Logik verbunden werden (bei MOS = 10 V, bei TTL = 5 V).

Nicht benützte Eingänge sind mit U_{SS} (log. „H“) zu beschalten.

Schaltbild



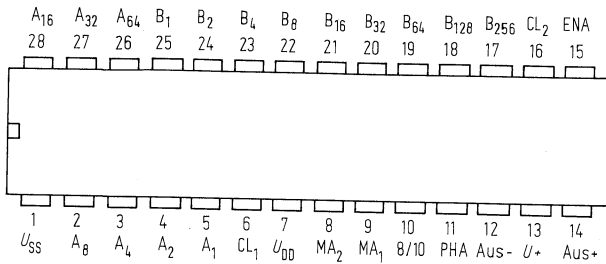
Typ	Bestellnummer
S 187	Q67100-Y 199

Der S 187 ist ein hochintegrierter MOS-Baustein in p-Kanal-Metal-Gate-Technik mit Enhancement- und Depletion-Transistoren mit folgenden besonderen technischen Merkmalen:

- Mehr als 500 000 verschiedene Frequenzen einstellbar
- 8 verschiedene Referenzfrequenzen einstellbar
- Hohe Flexibilität durch entsprechende Codierung
- Hohe Referenz-Eingangsfrequenz
- Integrierter Phasen-Comparator
- Einfache 10 V-Versorgung
- Niedrige Verlustleistung auch bei hohen Frequenzen
- Zur Frequenzeinstellung speziell geeignete programmierbare Diodenmatrix S 353, (siehe LSL-Serie).
- Speziell geeigneter Vorteiler S 89 zur Erweiterung bis 500 MHz, (siehe Abschnitt spezielle Funktionen).

Anwendungsmöglichkeiten

- Vielkanalgeräte
- Navigationsgeräte
- Citizen Band Radio
- Scanning Receiver
- Signal-Generatoren

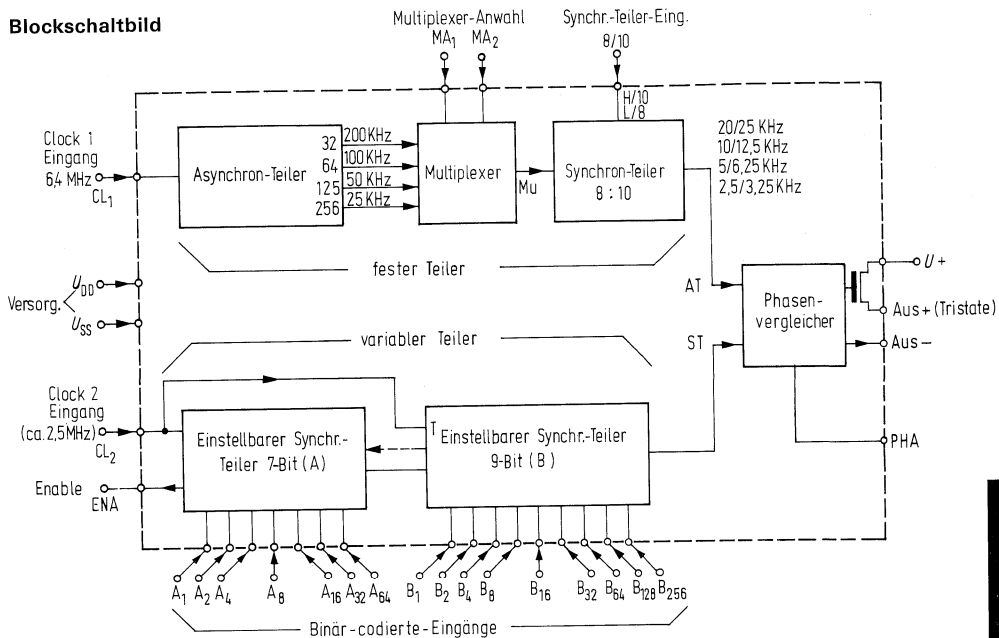


Anschlußanordnung
Ansicht von oben

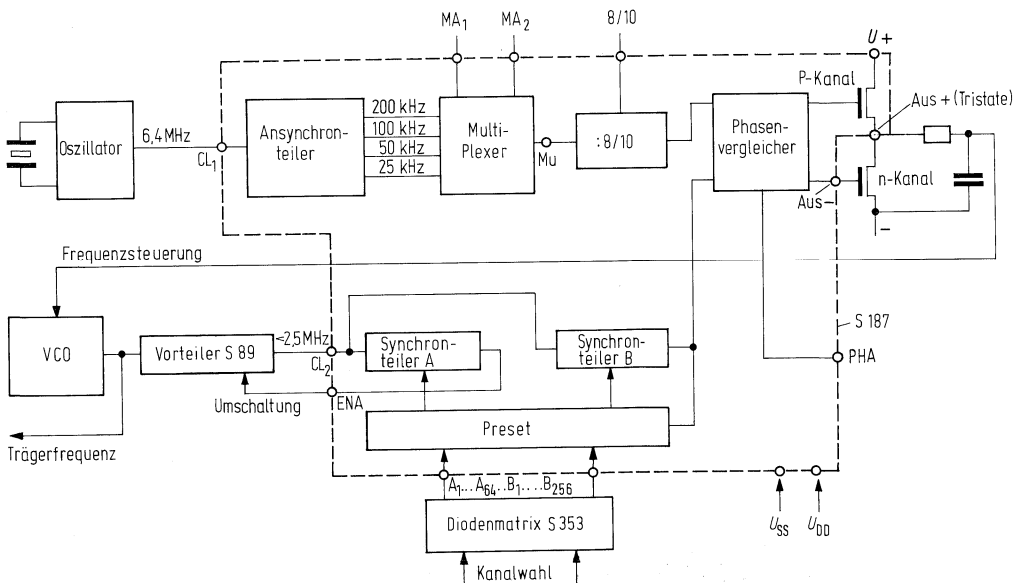
Anschlußbezeichnungen:

Eingänge		Ausgänge				
Kurzbez.	Anschluß		Kurzbez.	Anschluß		
A ₁	5	Binär-codierte Eingänge für einstellbaren Synchron-Teiler (A) 7-Bit	ENA	15	Freigabe-Ausgang	
A ₂	4		PHA	11		Phasenvergleicherausgang
A ₄	3		Binär-codierte Eingänge für einstellbare Synchron-Teiler (B) 9-Bit	AUS +	14	Ausgang +
A ₈	2			AUS -	12	Ausgang -
A ₁₆	28			U+	13	Ausgang zur Ansteuerung externer n-Kanal-Transistor
A ₃₂	27					
A ₆₄	26					
B ₁	25					
B ₂	24					
B ₄	23					
B ₈	22					
B ₁₆	21					
B ₃₂	20					
B ₆₄	19					
B ₁₂₈	18					
B ₂₅₆	17					
CL ₁	6	Clock-Eingang 1 für Asynchronteiler (max. 6,4 MHz)				
CL ₂	16		Clock-Eingang 2 für Synchron-teiler (max. 2,5 MHz)			
8/10	10	Teilereinstellung 8 oder 10 für Asynchronteiler				
MA ₁	9	Multiplexer-Anwahl 1 und 2				
MA ₂	8					
U _{SS}	1	Versorgung				
U _{DD}	7					

Blockschaltbild



Blockschaltbild eines Trägerfrequenzgenerators mit S 187



Grenzdaten:

		untere Grenze B	obere Grenze A	Einheit	
Speisespannung Spannung an allen Anschlüssen	} bezogen auf $U_{DD} = 0\text{ V}$	U_{DD}	15	-0,3	V
		U	15	-0,3	V
Eingangsstrom ($U_I = 0,3\text{ V}$; $U_{DD} = 0\text{ V}$)		I_F		1	mA
Lagertemperatur		T_s	- 55	125	°C
Betriebstemperatur		T_U	- 20	70	°C

Kenndaten: ($T_U = 25\text{ °C}$)

		Prüfbedingungen	untere Grenze B	obere Grenze A	Einheit
Speisespannung	U_{DD}	als Masse und Referenzspannung verwendet	0	0	V
Speisespannung $U_{SS\text{ typ}} = 10\text{ V}$	U_{SS}	$U_{DD} = 0\text{ V}$	9	11	V
Stromaufnahme	I_{SS}	$I_{SS\text{ typ}} = 8\text{ mA}$		35	mA
Eingänge A ₁ bis A ₆₄ , B ₁ bis B ₂₅₆ , 8/10	R_{IL} R_{IH}	$C_{\text{ein}} = 10\text{ pF}$ gegen U_{SS} Eingangsstrom bei „L“ max = $\approx 500\text{ }\mu\text{A}$ (Kurzschluß gegen U_{DD} bei $U_{SS} = 10\text{ V}$)	0 100	3 ∞	k Ω k Ω
Eingang CL ₁ L-Eingangsspannung H-Eingangsspannung	U_{IL} U_{IH}	$F_{CL\ 1\ \text{max}} = 6,5\text{ MHz}$ $t_a = t_f = 25\text{ ns}$ $C_{\text{ein}} = 15\text{ pF}$ gegen U_{SS} Impulsdauer mind. 50 ns	U_{DD} $U_{SS} - 0,5$	$U_{SS} - 8$ U_{SS}	V
Eingang CL ₂ L-Eingangsspannung H-Eingangsspannung	U_{IL} U_{IH}	$F_{CL\ 2\ \text{max}} = 2,5\text{ MHz}$ $t_a = t_f = 50\text{ ns}$ $C_{\text{ein}} = 25\text{ pF}$ gegen U_{SS} Impulsdauer mind. 150 ns	U_{DD} $U_{SS} - 0,5$	$U_{SS} - 8$ U_{SS}	V

Kenndaten: ($T_U = 25^\circ\text{C}$)		Prüfbedingungen	untere Grenze B	obere Grenze A	Ein- heit
Eingänge MA ₁ , MA ₂ L-Eingangsspannung H-Eingangsspannung	U_{IL}	$C_{\text{ein}} = 10 \text{ pF}$ gegen U_{SS}	U_{DD} $U_{SS} - 0,5$	$U_{SS} - 8$ U_{SS}	V
	U_{IH}				V
Ausgänge AUS +, AUS- L-Ausgangsspannung H-Ausgangsspannung	U_{OL}	$I_L = 1 \text{ mA}, U_{SS} = 10 \text{ V}$ $I_H = -1 \text{ mA}, U_{SS} = 10 \text{ V}$ $I_{UK\text{max}}$ 1 μA bei $T_U = 70^\circ\text{C}$	9	4	V
	U_{OH}				V
	$I_{UK\text{max}}$				
Ausgang PHA L-Ausgangsspannung H-Ausgangsspannung	U_{OL}	$I_L = 100 \mu\text{A}, U_{SS} = 10 \text{ V}$ $I_H = -1 \text{ mA}, U_{SS} = 10 \text{ V}$	6,5	6,5	V
	U_{OH}				V
Ausgang ENA L-Ausgangsspannung H-Ausgangsspannung	U_{OL}	open-drain $I_H = 3,5 \text{ mA}$ ECL-Interface	5		V
	U_{OH}				

Grundfunktion

Der Frequenzaufbereitungsbaustein S187 dient im Trägerfrequenzgenerator zur Kanalwahl. Die Trägerfrequenz wird durch einen spannungsgesteuerten Oszillator (VCO) erzeugt und nach (je nach Kanal) **einstellbarer Teilung** mit einer quarzstabilen Referenzfrequenz verglichen. Die Ausgangsspannung des Frequenzvergleichers steuert den VCO.

Durch Wahl der Teilung kann die Trägerfrequenz auf ein bestimmtes Vielfaches der Referenzfrequenz eingestellt werden.

Aufbau und Funktion

Siehe Blockschaltbild eines Trägerfrequenzgenerators mit Angabe des im S 187 integrierten Teils.

Folgende Funktionen sind enthalten:

- a) 8-stufiger Asynchronteiler, Eingangsfrequenz max. 6,4 MHz, Ausgangsfrequenz wählbar 200, 100, 50, 25 kHz,
 - b) umstellbarer: 8/:10-Teiler,
 - a) und b) liefern zusammen die quarzstabile Referenzfrequenz (8 Möglichkeiten).
 - c) Vollprogrammierbarer Synchronteiler aus zwei zusammenhängenden Teilen; Eingangsfrequenz $\leq 2,5$ MHz;
- 1) 7-stufiger Teiler A, einstellbar zwischen :1 bis :127-Teilung. Dieser Teiler wird nach Ablauf angehalten und durch Teiler B rückgesetzt und angestoßen. Er liefert dadurch das Umschaltsignal für einen :10/:11-Vorteiler, mit dessen Hilfe eine noniusartige Teilung entsteht, wodurch die Vergleichsfrequenz höher eingestellt werden kann. Das Umschaltsignal (Ausgang ENA) muß deshalb synchron zum Eingangstakt sein (Verzögerung < 300 nsec).
 - 2) 9-stufiger Teiler B, einstellbar zwischen :2 bis :512-Teilung. Dieser Teiler setzt sich selbst und Teiler A nach Ablauf zurück. Er liefert die geteilte Trägerfrequenz für den Phasenvergleicher.

- d) Der Phasenvergleich (siehe Abbildung) nimmt den Frequenzvergleich vor. Er besitzt drei mögliche Ausgangskombinationen (siehe Wahrheitstabelle ①) zwischen denen er, durch $0 \rightarrow 1$ -Flanken an den Eingängen gesteuert, umschaltet (siehe Wahrheitstabelle ②).

Sind die Eingangsfrequenzen unterschiedlich, schaltet das führende Signal den Ausgang auf seiner Seite (AT Aus +, ST Aus -) nach „1“, wo er so lange bleibt, bis ihn das andere Signal nach „0“ zurückschaltet.

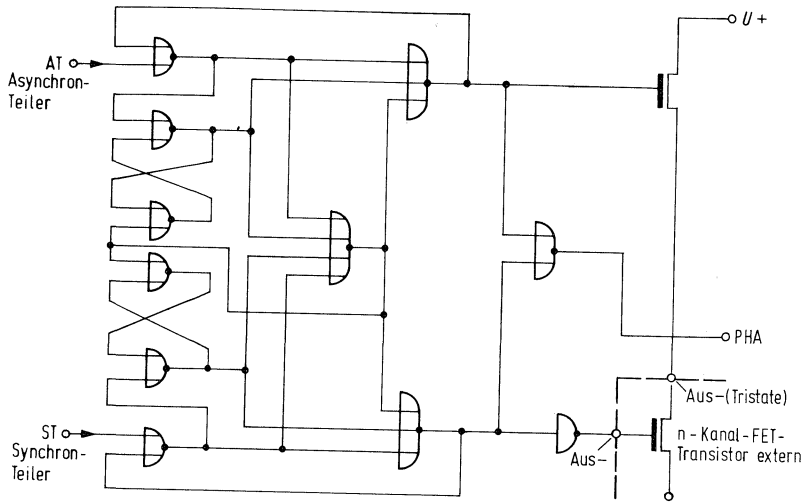
Sind beide Frequenzen gleich, aber in verschiedener Phase, wird auf der führenden Seite in jedem Takt ein Ausgangsimpuls der Breite des Phasenunterschieds erzeugt. Liegen die beiden $0 \rightarrow 1$ -Flanken an beiden Eingängen innerhalb der Totzeit, so bleibt der Phasenvergleich im „0“-Zustand.

Der Phasenvergleich steuert ein Komplementär-Tristate-Gatter, wobei der interne p-Kanal-Transistor vom +-Ausgang und der externe n-Kanal-Transistor vom invertierten -Ausgang angesteuert werden. Der Integrationskondensator wird also im „H“-Zustand aufgeladen, im „L“-Zustand entladen, während er im „0“-Zustand hochohmig abgeschlossen ist. Die Kondensatorspannung und damit die Frequenz des VCO ändert sich also so lange, bis die $0 \rightarrow 1$ -Flanken an beiden Eingängen innerhalb einer Totzeit des Phasenvergleichers liegen.

- e) Aktiv-p-Funktion der Programmiergänge. Die Zuordnung von einzelnen Frequenzen zu bestimmten Sprechkanälen kann beispielsweise extern durch ein 10×16 PROM (Diodenmatrix) geschehen, das die ausgewählten Programmiergänge niederohmig mit dem negativen Potential verbindet (L) und die nicht ausgewählten nur mit Leckströmen belastet (H).

Im Worst Case ist dazu äquivalent: $5 \text{ k}\Omega$ gegen U_{DD} (L) bzw. $100 \text{ k}\Omega$ gegen U_{DD} (H). Die Programmiergänge sind deshalb mit einer Aktiv-p-Schaltung (siehe Abbildung) versehen, die im H-Zustand eine Eingangsspannung $> U_{SS} - 1\text{V}$ und im L-Zustand eine Eingangsspannung $< U_{DD} + 1\text{V}$ erzeugt. Auf diese Weise werden die verschiedensten Ansteuerungen ermöglicht.

Phasenvergleichler



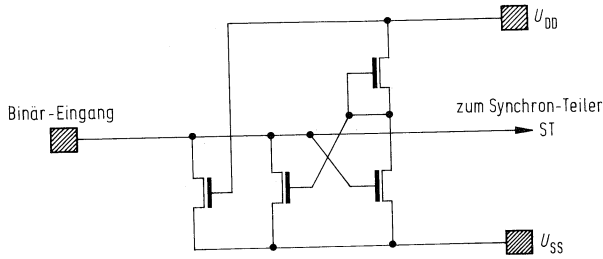
Wahrheitstabelle 1 Phasenvergleichler

Zustand PHA Phasenvergleichler	Ausgang +	Ausgang -
H	1	0
L	0	1
O	0	0

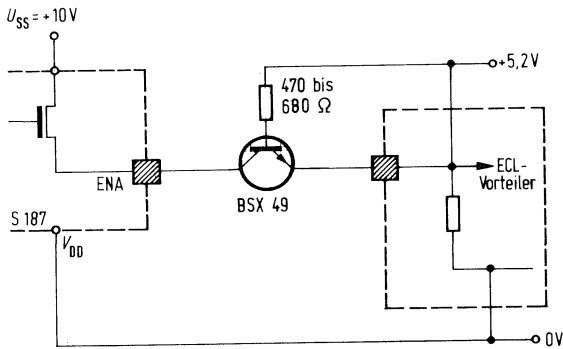
Wahrheitstabelle 2 Phasenvergleichler

Ausgangs- Zustand PHA Phasen- vergleichler	0 → 1-Flanke bei	
	AT Asynchron-Teiler	ST Synchron-Teiler
H	H	O
O	H	L
L	O	L

Aktiv-p-Beschaltung der Programmiergänge



Ansteuerung eines ungesättigten ECL-Vorteilers



**Wahrheitstabellen für Teilungsverhältnisse bei Synchronsteiler (ST)
und Asynchronsteiler (AT)**

a) Eingänge 8/10

H	Teilung durch 10
L	Teilung durch 8

b) Eingänge A₁ bis A₆₄:

$$\text{LSB} = A_1$$

$$\text{MSB} = A_{64}$$

Zustand H LLL LLL entspricht Teilung durch 1

c) Eingänge B₁ bis B₂₅₆:

$$\text{LSB} = B_1$$

$$\text{MSB} = B_{256}$$

Zustand H LLL LLL LL entspricht Teilung durch 1

d) Eingänge MA₁ und MA₂:

MA ₁	MA ₂	Frequenz-Einstellung bei MU
L	L	25 kHz
H	L	50 kHz
L	H	100 kHz
H	H	200 kHz

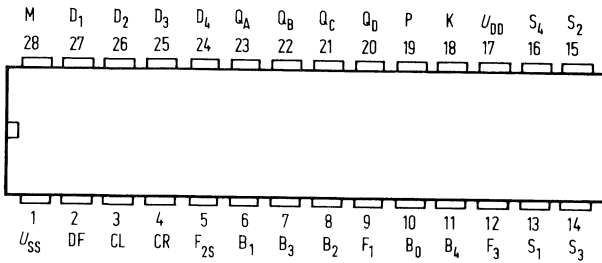
Typ	Bestellnummer
S 190	Q67100-Z 96

Der S 190 ist ein hochintegrierter MOS-Schaltkreis in p-Kanal-Metal-Gate-Technik mit Enhancement- und Depletion-Transistoren mit folgenden besonderen technischen Merkmalen:

- 3 $\frac{3}{4}$ stellige dekadische Anzeige (± 5999 max.)
- Polaritätsautomatik
- Bereichswahlautomatik
- Bereichserweiterung
- Überlaufanzeige (Blinken)
- 4 Dekadenzähler
- Multiplex-BCD-Ausgänge
- Multiplex-Oszillator
- Zähltakt-Oszillator
- Meßphasen für Dual-Slope-Verfahren

Besondere Eigenschaften:

- Niedriger Leistungsverbrauch
- C-MOS-kompatibel
- Voll statisch

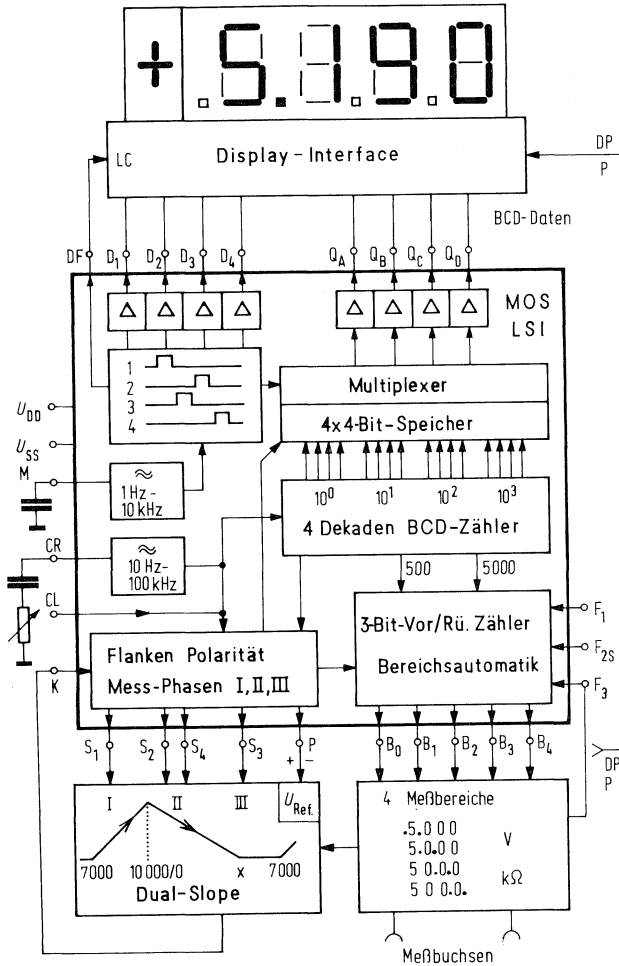


Anschlußanordnung
Ansicht von oben

Anschlußbezeichnungen:

Eingänge			Ausgänge		
Kurzbez.	Anschluß		Kurzbez.	Anschluß	
K	18	Analog-Eingang	S ₁	13	Meß-Phasen- Ausgänge für Dual-Slope
CR	4	Oszillator-Takt- Beschaltungs- Eingang für Zähler und Steuersignale	S ₂	15	
			S ₃	14	
			S ₄	16	
CL	3		Externer Oszillator- Takteingang für Zähler und Steuer- signale	B ₀	10
		B ₁		6	
		B ₂		8	
		B ₃		7	
			B ₄	11	
M	28	Oszillator-Takt- Beschaltungs- Eingang für Multi- plexer	P	19	Polaritäts- Anzeige-Ausgang
			D ₁	27	Stellen-Selektions- Ausgänge
			D ₂	26	
			D ₃	25	
		D ₄	24		
F ₁	9	Meßbereichs- erweiterungs- eingänge	Q _A	23	BCD-Ausgänge
F _{2 S}	5		Q _B	22	
F ₃	12		Q _C	21	
			Q _D	20	
U _{DD}	17	Versorgung	DF	2	Frequenz-Ausgang für LCD
U _{SS}	1				

Blockschaltbild



Grenzdaten:

		untere Grenze B	obere Grenze A	Ein- heit	
Speisespannung Spannung an allen Anschlüssen	} bezogen auf $U_{SS} = 0\text{ V}$	U_{DD}	- 20	0,3	V
		U	- 20	0,3	V
Eingangstrom ($U_I = 0,3\text{ V}$; $U_{SS} = 0\text{ V}$)		I_F		1	mA
Lagertemperatur		T_s	- 55	125	°C
Betriebstemperatur		T_U	- 20	70	°C

Kenndaten: ($T_U = 25\text{ °C}$, wenn nicht anders angegeben)

		Prüfbedingungen	untere Grenze B	obere Grenze A	Ein- heit
Speisespannung	U_{DD}	als Masse und Referenzspg. verwendet	0	0	V
Speisespannung $U_{SS\text{typ}} = 12\text{ V}$	U_{SS}	$U_{DD} = 0\text{ V}$	8	14	V
Alle Eingänge außer K:		$U_{DD} = 0\text{ V}$			
L-Eingangsspannung	U_{IL}	(bei C_L eine	0	$U_{SS} - 7$	V
H-Eingangsspannung	U_{IH}	$f_{\text{typ}} = 30\text{ kHz}$, Taktverhältnis 1 : 1)	$U_{SS} - 0,5$	U_{SS}	V
K-Eingang:					
L-Eingangsspannung	U_{IL}		0	$U_{SS} - 7$	V
H-Eingangsspannung	U_{IH}		$U_{SS} - 2$	U_{SS}	V
Ausgänge $D_1, D_2, D_3, D_4,$ Q_A, Q_B, Q_C, Q_D, P :					
L-Ausgangsspannung	U_{OL}	$I_L = 25\text{ }\mu\text{A}$	0	1	V
H-Ausgangsspannung	U_{OH}	$I_L = -200\text{ }\mu\text{A}$	$U_{SS} - 1$	U_{SS}	V

	Prüfbedingungen	untere Grenze B	obere Grenze A	Einheit
Ausgänge B ₀ , B ₁ , B ₂ , B ₃ , B ₄ , S ₁ , S ₂ , S ₃ , S ₄				
L-Ausgangsspannung	$I_L = 50 \mu\text{A}$	0	1	V
H-Ausgangsspannung	$I_L = -200 \mu\text{A}$	$U_{SS} - 1$	U_{SS}	V
Ausgang DF:				
L-Ausgangsspannung	$I_L = 50 \mu\text{A}$	0	1	V
H-Ausgangsspannung	$I_L = -50 \mu\text{A}$ $F_{\text{typ}} = 50 \text{ Hz}$ für LCD	$U_{SS} - 1$	U_{SS}	V
Leistungsaufnahme	P		60	mW
	$U_{DD} - U_{SS} = -12 \text{ V}$ ohne Verlustleistung in den Ausgängen			
Zeitbedingungen: Verzögerungszeit	t_d		4	μs
	zwischen S ₃ u. K (Last = 200 pF, 10 M Ω) gemessen bei 50% des H-Wertes			

Oszillator-Spezifikationen

Zähl- und Steueroszillator:

Externe Beschaltung: R, C
 Anzahl der Anschlüsse: 2 (CR, CL)
 Frequenz-Parameter:

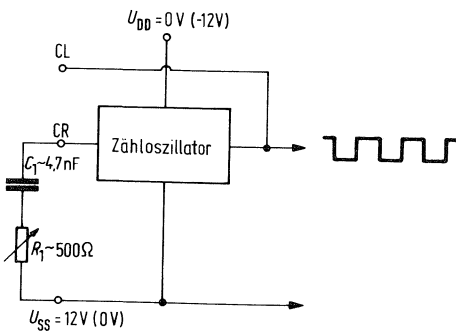
Parameter	untere Grenze A	typ.	obere Grenze B	Einheit	Anmerkungen
Frequenz f		30	100	kHz	
Frequenzstabilität $F(U) = \frac{\Delta f}{f_G} \cdot 100$		± 3		$\frac{\%}{V}$	$\Delta f = f(U_{SS} = 12V) - f_G^2)$ $T_U = 25^\circ C,$ $U_{SS} = 12V \pm 1V$
Frequenzstabilität $F(T) = \frac{\Delta f}{f_G} \cdot 100$		1) $\pm 0,8$	± 1	$\frac{\%}{^\circ C}$	$\Delta f = f(T = 25^\circ C) - f_G$ $T_U = 0^\circ \text{ bis } 70^\circ C,$ $U_{SS} = 12V$

1) Errechneter Wert

2) $f_G = f$ bei $U_{SS} = +12V$ und $T_U = 25^\circ C$

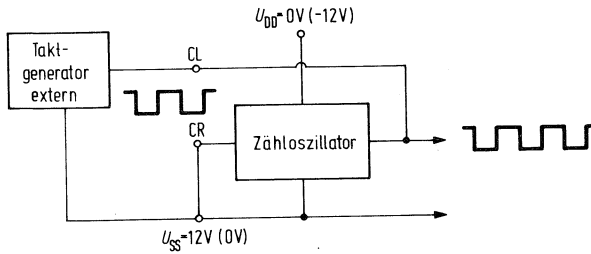
Betriebsarten:

Beschaltung 1



Eingang CL offen

Der Oszillator steuert den Dekadenzähler

Beschaltung 2

Eingang CR mit U_{SS} verbunden

Eingang CL: externer Takt

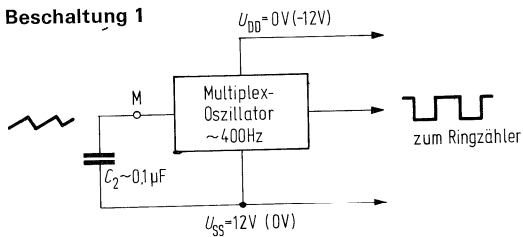
Der Oszillator wird unwirksam und der Dekadenzähler wird extern gesteuert.

Multiplex-Oszillator:

Externe Beschaltung: R, C

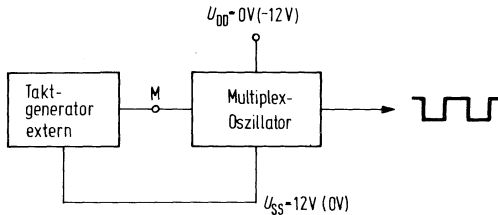
Anzahl der Anschlüsse: 1 (M)

Frequenz-Parameter: $t_{typ} = 400 \text{ Hz}$

Beschaltung 1

Multiplex-Oszillator

Beschaltung 2



Nur für Testzwecke und $R_i \approx 0$
Taktgenerator wird durch M belastet

Funktionsbeschreibung S 190

Allgemeines

Der Schaltkreis beinhaltet die logischen Funktionen für ein Digitalmultimeter nach dem Dual-Slope-Verfahren mit automatischer Bereichsumschaltung.

Durch vier Meßbereichsausgänge können kleine Geräte mit $3\frac{3}{4}$ -Stellen (vergl. Blockschaltbild S. 215) und vier Meßbereichen ohne zusätzliche externe Komponenten für die Bereichsauswahl realisiert werden. Durch Umschaltung der Bereichslogik können bis zu 8 Meßbereiche automatisch umgeschaltet werden, die Dekodierung dieser Bereiche muß jedoch extern vorgenommen werden.

Durch die geringe Leistungsaufnahme des S 190 (60 mW) können in Verbindung mit einer Flüssigkristallanzeige kleine Geräte mit Trockenbatterien wirtschaftlich betrieben werden.

Die maximale Anzeige ist 6000. Das bedeutet mit 6000 Schritten einen relativ geringen Aufwand auf der Analogseite, andererseits können z. B. in den 4 Meßbereichen Spannungen zwischen $100\ \mu\text{V}$ und $600\ \text{V}$ gemessen werden. Bei Überschreitung des höchsten Meßbereiches wird 6000 angezeigt. Durch eine zusätzliche Blinkschaltung, welche keinen zusätzlichen Anschluß benötigt, wird der Benutzer auf die Überschreitung des Meßbereiches aufmerksam gemacht.

Funktion

Das Blockschaltbild zeigt ein einfaches Gerät mit 4 automatisch ausgewählten Meßbereichen. Der externe Analogteil besteht nur aus Analogverstärkern, Referenzspannungsquelle und Analogschaltern für Meßphasen- und Bereichsumschaltung.

Die Ablaufsteuerung und die Meßwertgenerierung wird in S 190 durchgeführt. Den Kern bildet ein vier Dekaden umfassender BCD-Zähler, der von einem auf dem Chip befindlichen Zähloszillator mit externer RC-Beschaltung (nach S. 218) betrieben wird. (Durch Beschaltung mit einem Taktgenerator (nach S. 219) kann der Zähloszillator ersetzt werden.) Zu bestimmten Zeitpunkten wird der Zählerstand durch einen vom K-Eingang abgeleiteten Strobo-Impuls in den 4 x 4-Bit-Speicher übertragen.

Die im Speicher stehende Information wird über einen Multiplexer bitparallel auf die Ausgänge Q_A bis Q_D übertragen, wobei die Ausgänge D_1 bis D_4 die gerade übertragene Dezimalstelle anzeigen ($Q_A \triangleq$ LSB, $Q_D \triangleq$ MSB; $D_1 \triangleq$ Einerstelle, $D_4 \triangleq$ Tausenderstelle, aktiver Zustand = High-level). Zur sicheren Aussteuerung von Speichern im Display-Interface, z. B. Flüssigkristallanzeige, bleibt die richtige BCD-Information an den Q-Ausgängen bis nach dem Ende des aktiven Zustands an den D-Ausgängen erhalten. Die Stellenanzeige erfolgt zur Vermeidung von Flimmern bei direkt angesteuerten Anzeigeeinheiten in der Folge 1 – 3 – 2 – 4.

Zur Erzeugung der Scan-Frequenz für den Multiplexer ist auf dem S 190 ein zweiter Oszillator vorgesehen (externe Beschaltung S. 219). Ein Ersatz durch einen externen Taktgenerator ist möglich (vgl. S. 220), sollte aber nur zu Testzwecken vorgenommen werden. Vom Multiplexoszillator wird auch die für Flüssigkristallanzeige benötigte Anzeigefrequenz DF von ca. 50 Hz abgeleitet.

Meßablauf

Vom BCD-Zähler wird auch der Meßablauf über die Meßphasenausgänge S_1 bis S_4 gesteuert (vgl. Impulsdiagramm S. 223 und Prinzipschaltbild S. 223).

Phase I, Integration der Meßspannung

Der Meßzyklus beginnt beim Zählerstand 7000; hier wird der Ausgang S_1 HIGH, wodurch die Eingangsspannung auf den Integrator geschaltet wird bis der Zählerstand 0000 erreicht ist.

Zu dem Zeitpunkt, wo der Zähler von 9.9999 auf 0000 springt, wird der Signalzustand des Komparators (Eingang K) gespeichert. Zu diesem Zeitpunkt beginnt Phase II.

Phase II, Integration der Referenzspannung

Je nach Zustand des Komparators wird nur S_2 oder S_4 aktiviert, wodurch jene Referenzspannung auf den Integrator geschaltet wird, die umgekehrte Polarität der vorher angelegten Eingangsspannung hat. Mit dieser Referenzspannung wird der Integrator zurückgeführt, bis die Ansprechschwelle des Komparators erreicht ist und der Signalzustand am Eingang K wechselt. Dieser Signalwechsel aktiviert S_3 . Die Anzahl der Zählimpulse zwischen Zählerstand 0000 und X sind proportional der Meßspannung.

Durch den LOW \rightarrow HIGH Übergang von S_3 wird der Zählerstand in den Anzeigespeicher geladen; zu diesem Zeitpunkt beginnt die Phase III.

Meßablauf

Phase III, Nullregelung

Hierbei wird der Eingang des AD-Umsetzers auf Null gelegt und die entstehende Fehlspannung im Kondensator C_F gespeichert. Eine entstehende Fehlspannung wird über eine Rückkoppelschleife kompensiert.

Die Dauer der Phase I ist durch die Zählerfrequenz und die festliegende Anzahl von 3000 Zählschritten bestimmt. Für 30 kHz Zählfrequenz ist die Phase I genau 100 ms lang. Je größer die Integrationszeit, um so besser werden dem Meßsignal überlagerte Störspannungen unterdrückt. Ist die Periodendauer der Störspannung ganzzahlig in der Integrationszeit enthalten, wird diese Störung vollständig unterdrückt. Da hauptsächlich mit Störspannungen mit Netzfrequenz gerechnet werden muß, stellen 100 ms Integrationszeit einen günstigen Kompromiß zwischen Umsetzzeit und Störspannungsunterdrückung dar.

Die Dauer der Phase II wird von der Höhe der Meßspannung bestimmt. Ist die Meßspannung zu groß, so kann der Integrator nicht während der maximal zur Verfügung stehenden 6000 Zählschritte entladen werden; es wird dann bei 6000 zwangsläufig Phase III eingeleitet. Dadurch steht zu Beginn der darauf folgenden Phase I der Integrator wieder in richtiger Ausgangsstellung.

Bei zu großer Meßspannung ist deshalb die Anzeige 6000. Um den Benutzer darauf aufmerksam zu machen, daß diese Anzeige nicht richtig ist, wird synchron zum Signal S_1 die Pseudodekade HHHH auf die Ausgänge gebracht, wodurch ein Blinkereffekt mit ca. 3 Hz erzielt wird.

Automatische Bereichsumschaltung

Der Meßbereich wird geändert, wenn das Meßergebnis ≥ 5500 oder < 500 war. Bei $n \geq 5500$ wird der Bereichszähler (3-Bit-Vorwärts/Rückwärtszähler) um eine Stufe vorwärts weitergeschaltet, bei $n < 500$ eine Stufe rückwärts, wobei der Zähler auf den untersten bzw. obersten Stellen blockiert wird. Durch die Steuereingänge F_1 , F_{2S} und F_3 kann die automatische Bereichswahl gesteuert werden.

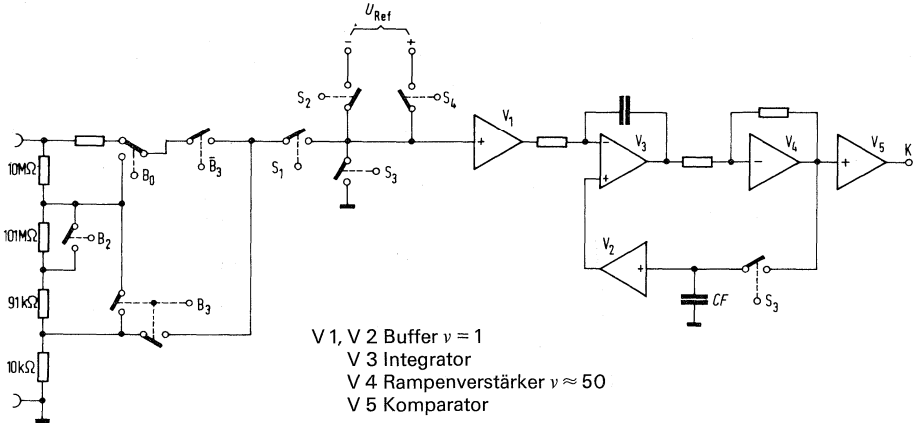
Sind die Steuereingänge F_1 , F_{2S} und F_3 in Zustand LOW, so kann sich der Zähler innerhalb der unteren 5 Stellungen vorwärts und rückwärts bewegen. Sollte er sich in einer höheren Stellung befinden, so kann er nur rückwärts laufen, bis der „Freiraum“ erreicht ist; der Dekodierer gibt auch für Zählerstellungen außerhalb des „Freiraumes“ richtige Werte ab, so daß sich das System selbst einstellt.

Durch ein H-Signal am Eingang F_1 kann die Zuordnung zwischen Zählerstellung und Dekoderausgang geändert werden. Es ist dadurch möglich, die Bereichsschalter für Spannungs- und Widerstandsbereiche und die Ansteuerung der Dezimalpunkte in einem einfachen Gerät mit 4 Meßbereichen ohne externe Dekodierung vorzunehmen.

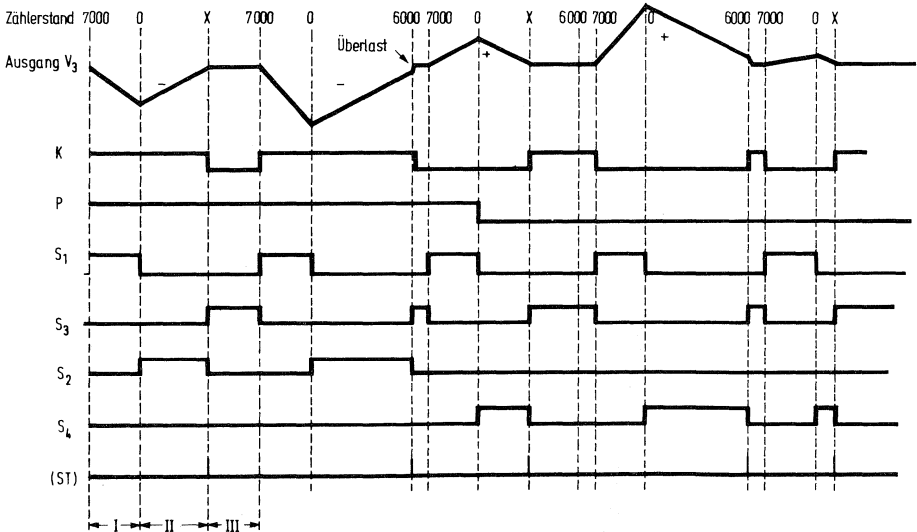
Der Eingang F_3 dient zum Setzen des Zählers auf die höchste Stufe. Der höchste Meßbereich wird aktiviert und festgehalten, wenn an F_3 HIGH gelegt wird. Dadurch wird z. B. der Bereich 500,0 V aktiviert, was günstig für schnelle Übersichtsmessungen ist.

Der Eingang F_{2S} HIGH bewirkt, daß die Ausgänge des Bereichszählers direkt nach außen geführt werden; es stehen dann 8 Bereiche zur Verfügung, die mit externen Mitteln dekodiert werden müssen. Für den Fall $F_{2S} = H$ wird der „Freiraum“ des Zählers auf den vollen Zählumfang erweitert; die Sicherung gegen „Durchdrehen“ bleibt erhalten.

Prinzipschaltung des Analogteiles (Beispiel für ein Einfachgerät)



**Impulsdiagramm
AD-Umsetzer**



Phase { I Integration des Meßwertes
 II Integration der Ref.-Spannung
 III Nullregelung

**Automatische Bereichswahl
Wahrheitstabelle**

Nr.	Q ₃	Q ₂	Q ₁	F ₁	F _{2S}	F ₃	B ₀	B ₁	B ₂	B ₃	B ₄
0	L	L	L	L	L	L	H				
1	L	L	H	L	L	L		H			
2	L	H	L	L	L	L			H		
3	L	H	H	L	L	L				H	
4	H	L	L	L	L	L				H	H
5	H	L	H	L	L	L				H	H
6	H	H	L	L	L	L				H	H
7	H	H	H	L	L	L				H	H
10	L	L	L	H	L	L		H			
11	L	L	H	H	L	L		H			
12	L	H	L	H	L	L			H		
13	L	H	H	H	L	L				H	
14	H	L	L	H	L	L					H
15	H	L	H	H	L	L					H
16	H	H	L	H	L	L					H
17	H	H	H	H	L	L					H
2X	Q ₃	Q ₂	Q ₁	X	H	L	X	Q ₁	X	Q ₂	Q ₃
30	H	H	H	L	L	H				H	H
31	H	H	H	H	L	H					H
32	H	H	H	X	H	H	X	H	X	H	H

Q₁, Q₂, Q₃ interne Ausgänge des Vor-/Rückwärtszählers

Die Wahrheitstabelle für die Einstellung der Meßbereiche ist wie folgt zu verstehen:

Die Bereichsausgänge $B_0 \dots B_4$ sind gedacht, die 5 möglichen Kommastellen einer 4-dekadischen Anzeige direkt anzusteuern. Dabei werden Einfachgeräte mit 4 Meßbereichen berücksichtigt. Für Spannungen sind beispielsweise die Meßbereiche bei $F_1 = \text{Low}$:

B_0	.5000 V
B_1	5.000 V
B_2	50.00 V
B_3	500.0 V

Der Gesamtmeßbereich umfaßt somit 0,1 mV bis 599,9 V.

Bei Widerstandsmessungen dagegen braucht man bei $F_1 = \text{High}$:

B_1	5.000 k Ω
B_2	50.00 k Ω
B_3	500.0 k Ω
B_4	5000. k Ω

Der Gesamtmeßbereich umfaßt daher 1 Ω bis 5,999 M Ω .

Durch den Steuereingang F_1 kann also zwischen beiden Gruppen grundsätzlich gewählt werden.

Die Bereichsausgänge sollen auch direkt die jeweiligen 4 Auswahlrelais ohne logische Verknüpfung ansteuern. Wenn die automatische Bereichswahl (z. B. nach dem Einschalten) den richtigen Bereich noch nicht gefunden hat, soll ein Meßbereich trotzdem eingestellt sein. Mit dieser Nebenbedingung ergibt sich die Wahrheitstabelle von Vektor $\emptyset \dots 17$.

Es ist jedoch darauf zu achten, daß Q_1 , Q_2 und Q_3 in der Wahrheitstabelle interne Ausgänge des internen Vor-/Rückwärtszählers sind. Es ist auch möglich, automatisch einen aus fünf Meßbereichen auszuwählen. Dazu werden bei $F_1 = \text{Low}$ der vierte und der fünfte Meßbereich durch externe Vergatterung getrennt (und zwar $MB_4 = B_3$, \bar{B}_4 und $MB_5 = B_4$). MB_4 ist Meßbereich 4, MB_5 ist Meßbereich 5.

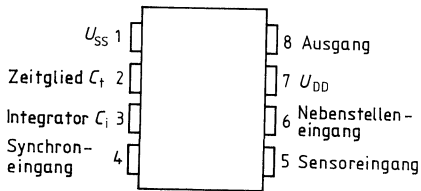
$F_{2S} = \text{High}$ bewirkt die Ausweitung auf alle 8 möglichen Meßbereiche. Der eingestellte Meßbereich wird dual kodiert an den Ausgängen B_1 ($= Q_1$), B_3 ($= Q_2$) und B_4 ($= Q_3$) ausgegeben. Damit sind die Vektoren 20–27 der Wahrheitstabelle festgelegt.

Typ	Bestellnummer
S 566 A	Q67100–Z 136
S 566 B	Q67100–Z 120

Mit dem in PMOS-Depletion-Technik entwickelten Baustein S 566 ist es möglich, einen digital arbeitenden elektronischen Helligkeitsregler (Dimmer) aufzubauen. Das Ein- und Ausschalten sowie das Einstellen der gewünschten Helligkeit erfolgt über eine einzige Berührtaste (Sensor) bzw. über einen gleichberechtigten Nebenstelleneingang.

Besondere Merkmale

- Sensorbedienung – keine mechanisch beweglichen Schalterteile
- Bedienung auch von mehreren Nebenstellen über Sensor oder Drucktaste möglich
- in herkömmlichen Installationen zu elektromechanischen Wandschaltern austauschbar
- hohe Störsicherheit
- während kurzer Netzunterbrechungen von ≤ 1 s Dauer bleibt der eingestellte Helligkeitswert erhalten
- niedrige Verlustleistung
- geringer Aufwand an peripheren Bauteilen



Anschlußbelegung
Ansicht von oben

Grenzdaten

(ohne äußere Schutzbeschaltung)

	untere Grenze B	obere Grenze A	Einheit
Speisespannung	U_{DD} -20	0,3	V
Eingangsspannung an Anschluß 1, 2, 3 und 8	U_I -20	0,3	V
Eingangsspannung an Anschluß 4, 5 und 6	U_I -20		V
Eingangsstrom an Anschluß 4, 5 und 6	I_I	800	μ A
Betriebstemperatur	T_U 0	80	$^{\circ}$ C
Lagertemperatur	T_s -55	125	$^{\circ}$ C

Kenndaten ($T_U = 0 \dots 80^{\circ}\text{C}$, alle Spannungswerte sind auf $U_{SS} = 0\text{ V}$ bezogen)

	Prüfbedingungen	untere Grenze B	typ.	obere Grenze A	Einheit
Speisespannung	U_{DD}	-13	-15	-18	V
Speisestrom	I_{DD}	$U_{DD} = -15\text{ V}, T_U = 25^{\circ}\text{C}$ $U_{DD} = -15\text{ V}, T_U = 25^{\circ}\text{C}$ $U_I = U_{SS} - 10\text{ V}, T_U = 25^{\circ}\text{C}$ $U_I = 0\text{ V}, f = 1\text{ MHz}$	1,0	1,4	mA
Speisestrom bei fehlendem Synchronsignal	I_{DD}		0,4	0,5	mA
Eingangssperrstrom	I_I			3	μ A
Eingangskapazität	C_I			5	pF
Sensoreingang					
H-Eingangsspannung	U_{IH}	$U_{SS} - 2$ U_{DD}			V
L-Eingangsspannung	U_{IL}			$U_{SS} - 8$	V
positiver H-Eingangsstrom	I_{IH}			35	μ A
			220 V-Netzsinus		
Triggerflanke (H-L-Übergang)	t_{THL}		50/60		Hz
Frequenz bei aktivem Signal	f	Synchron mit dem 50/60 Hz-Takt am Synchron Eingang			
Nebenstelleneingang					
H-Eingangsspannung	U_{IH}	$U_{SS} - 2$			V
L-Eingangsspannung	U_{IL}	U_{DD}		$U_{SS} - 8$	V
positiver H-Eingangsstrom	I_{IH}			35	μ A

Kenndaten ($T_U = 0 \dots 80^\circ\text{C}$, alle Spannungswerte sind auf $U_{SS} = 0\text{ V}$ bezogen)

	Prüfbedingungen	untere Grenze B	typ.	obere Grenze A	Einheit	
Synchroneingang						
H-Eingangsspannung	U_{IH}	} mit Vorwiderstand 1,5 M Ω an 220 V-Netz	$U_{SS} - 2$ U_{DD}	$U_{SS} - 8$ 240	V	
L-Eingangsspannung					U_{IL}	V
positiver H-Eingangsstrom					I_{IH}	μA
Triggerflanke (H-L-Übergang)	t_{THL}	220 V-Netzsinus				
Frequenz	f	50/60			Hz	
Ausgang						
H-Ausgangsspannung	U_{OH}	$U_{DD} = -15\text{ V}$, $I_O = 2\text{ mA}$ $U_{DD} = -15\text{ V}$	$U_{SS} - 6$ U_{DD}	U_{SS}	V	
L-Ausgangsspannung	U_{OL}			$U_{DD} + 0,3$	V	
H-L Übergangszeit	t_{HLQ}	20			μs	
L-H Übergangszeit	t_{LHQ}	20			μs	
H-Impulsdauer	t_{QH}	40			μs	

Bedienung der Eingänge

Potential während der positiven Halbwelle der Netzphase

Funktion	Sensoreingang	Nebenstelleneingang
bedient	L	H
nicht bedient	H	L

Potential während negativer Halbwelle ohne Einfluß

Funktionsbeschreibung

Die Bedienung des S 566 erfolgt über einen einzigen Sensor. Als Kriterium zum Unterscheiden der Befehle dient die Dauer der Berührung. Eingangssignale, die kürzer als etwa 60 ms sind, werden nicht ausgewertet. Diese Immunitätszeit dient zur Unterdrückung von Störsignalen.

Ein-/Ausschalten

Durch kurze Berührung (60 – 400 ms) der Sensorfläche wird die Lampe ein- oder ausgeschaltet, je nach vorherigem Zustand.

Einstellen der Helligkeit (Dimmen)

Bei längerer Berührung (>400 ms) wird der Stromflußwinkel kontinuierlich verändert. Er läuft in seinem Regelbereich von $30 - 150^\circ$ in etwa 7s auf und ab (z. B. Hell-Dunkel-Hell), solange, bis der Finger vom Sensor genommen wird.

Steuerverhalten

Die beiden Varianten S 566 A und S 566 B unterscheiden sich in ihrem Steuerverhalten voneinander.

- S 566 A:** Beim Einschalten wird immer die max. Helligkeit eingestellt, beim Dimmen von min. Helligkeit ausgehend gesteuert. Bei neuerlichem Dimmen wird in derselben Richtung (z. B. „heller“) weitergesteuert.
- S 566 B:** Beim Ausschalten wird die gewählte Helligkeit gespeichert und beim Einschalten wieder eingestellt.
Beim Dimmen wird von diesem gespeicherten Wert aus weitergesteuert, bei wiederholtem Dimmen kehrt sich die Steuerrichtung um.

Nebenstellen

Die Schalt- und Steuerfunktionen können auch von Nebenstellen aus betätigt werden, die an einem eigens dafür vorgesehenen Nebenstelleneingang angeschlossen werden. Die Hauptstelle und die Nebenstellen sind gleichberechtigt. An den Nebenstellen können elektronische Sensorschalter oder mechanische Taster angeschlossen werden.

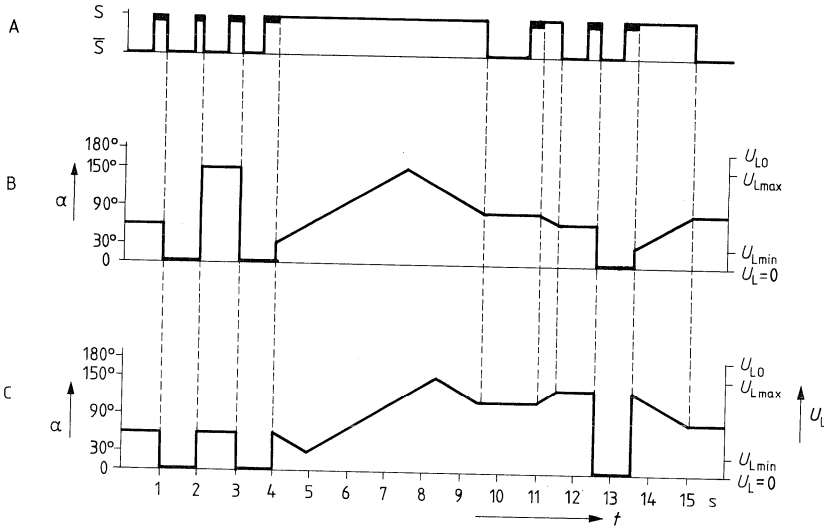
Verhalten bei Netzausfall

Bei Netzausfall bleibt der Schaltzustand bei der empfohlenen Außenbeschaltung für mind. 1s erhalten. Nach längeren Netzpausen geht die Schaltung in den Aus-Zustand. Auf Nebenstellenleitungen, die parallel zu einem Null- oder Erdleiter verlaufen, kann eine große 50 Hz-Störspannung eingekoppelt werden. Nach einem Netzausfall kann dadurch der Schaltung ein Eingangssignal simuliert werden. Um dies zu vermeiden, wird eine Kompensationskapazität C_c von max. 470 nF empfohlen (entstört ca. 90 m Leitungslänge).

Allgemeines

Alle gemachten Zeitangaben beziehen sich auf eine Netzfrequenz von 50 Hz. Bei einer Netzfrequenz von 60 Hz verkürzen sich die Zeiten entsprechend.

Steuerverhalten



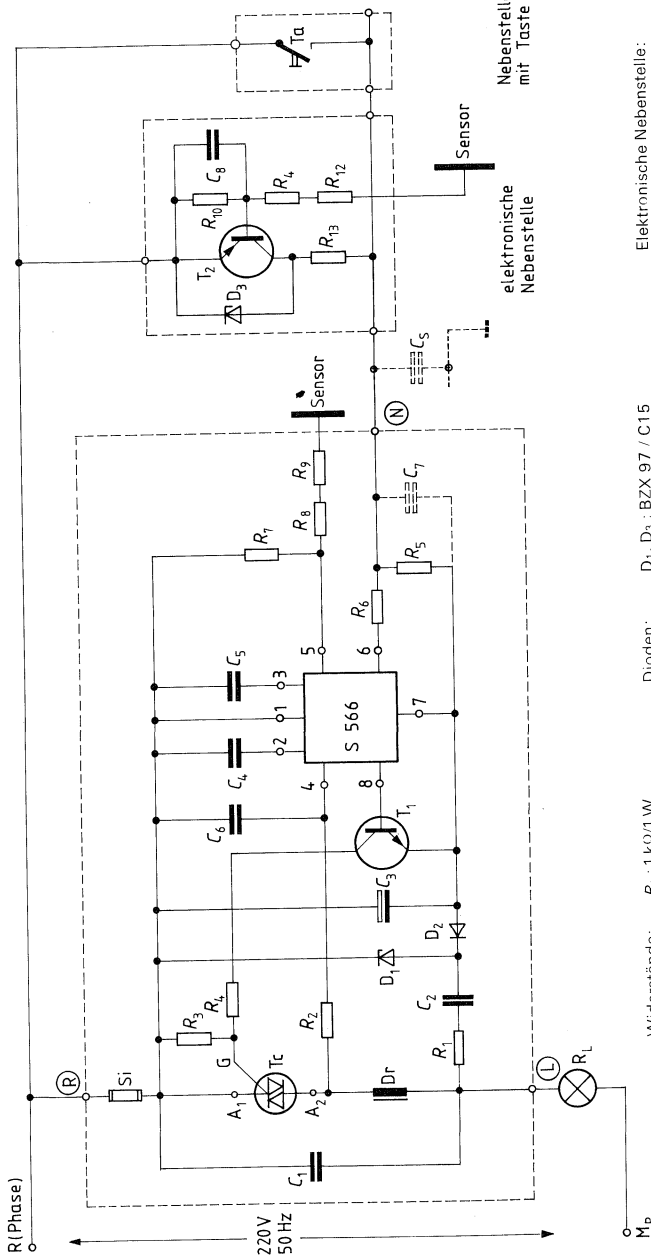
Steuerverhalten des S 566: Stromflußwinkel α in Abhängigkeit vom Steuersignal

A: Steuersignal S = Sensor berührt (■ $< 0,4$ s, — $> 0,4$ s);
 \bar{S} = Sensor unberührt;

B: S 566 A

C: S 566 B

Anwendungsschaltung



Elektronische Nebenstelle:
Widerstände: R_{10} : $1\text{ M}\Omega$... $4,7\text{ M}\Omega$
 R_{11} , R_{12} : $4,7\text{ M}\Omega$
 R_{13} : $27\text{ k}\Omega/2\text{ W}$
Kondensatoren: C_8 : 1 nF
Diode: D_1 : BZX 97 / C 15
Transistor: T_2 : BC 308

Dioden: D_1 , D_2 : BZX 97 / C 15
 D_2 : BAY 61
Transistor: Tr.: BC 238
Triac und Drossel abhängig von der Schaltleistung
empfohlene Triac-Serien: TXC 10, TXD 10
z. B.: 300 W; TXC 10 K 60
600 W; TXC 10 K 60 M

Widerstände: R_1 : $1\text{ k}\Omega/1\text{ W}$
 R_2 : $1,5\text{ M}\Omega$
 R_3 : $10\text{ k}\Omega$
 R_4 : $120\ \Omega$
 R_5 : $220\text{ k}\Omega$
 R_6 : $470\text{ k}\Omega$
 R_7 : $0,5\text{ M}\Omega$ - $4,7\text{ M}\Omega$
 R_8 , R_9 : $4,7\text{ M}\Omega$
Kondensatoren: C_1 : $0,15\ \mu\text{F} / 220\text{ V} \sim$
 C_2 : $0,2\ \mu\text{F} / 220\text{ V} \sim$
Elko C_3 : $47\ \mu\text{F}$
 C_4 : 47 nF
 C_5 : 47 nF
 C_6 : $470\text{ pF} / 220\text{ V} \sim$
 C_7 : Kompensationskapazität
 C_8 : Streukapazität zur Erde

Bei $110\text{ V} / 60\text{ Hz}$ - Netz:
 $C_2 = 0,68\ \mu\text{F} / 160\text{ V}$
 $C_5 = 100\text{ nF}$

Die vorgeschlagene Typenbeschriftung erfüllt folgende Funktionen:

- Stromversorgung des Schaltkreises (R_1, C_2, D_1, D_2, C_3)
- Erzeugung eines geeigneten Synchronsignals für die interne Zeitbasis (PLL-Schaltung) der integrierten Schaltung (R_2, C_6)
- Verstärkung des Ausgangssignals zur Ansteuerung des Triacs (T_1, R_3, R_4)
- Schutz des Benutzers (R_8, R_9 und R_{11}, R_{12})
- Empfindlichkeitseinstellung der Sensortaste (R_7, R_{10})
- Schutz der Schaltung bei Verpolung (R_5, R_6, R_{13}, D_4)
Die Widerstände R_5 und R_6 können entfallen, wenn keine Nebenstelle angeschlossen wird.
Die Anschlüsse 7 und 6 sind dann miteinander zu verbinden.
- C_4, C_5 sind für interne Funktionen nötig.

Typ	Bestellnummer
SAJ 141	Q 67100-N 62

Der SAJ 141 ist ein Asynchronzähler in MOS-Depletion-Technik, der an drei Open-Drain-Ausgängen das Teilungsverhältnis 1000 : 1, 100 : 1 bzw. 10 : 1 der Eingangsfrequenz liefert. Gezählt werden die LH-Übergänge.

Der Baustein besitzt einen zweiten Eingang mit höheren Schaltschwellen für Anwendungen, bei denen hohe Störsicherheit gefordert wird.

Durch eine besondere Rücksetzvorrichtung wird erreicht, daß der erste LH-Übergang an den Ausgängen erst nach 10, 100 bzw. 1000 Eingangsimpulsen kommt.

Grenzdaten

	untere Grenze B	obere Grenze A	Ein- heit
Speisespannung	-20	0,3	V
Eingangsspannung	-20	0,3	V
Ausgangsstrom	-15	0	mA
Betriebstemperatur (Bereich 1)	0	70	°C
Lagertemperatur	-55	125	°C

Statische Kenndaten ($T_U = 25\text{ }^\circ\text{C}$)

		Prüfbedingungen	untere Grenze B	typ.	obere Grenze A	Einheit
Speisespannung	U_{DD}	} gilt auch für den Rücksetzeingang $R_0 = 10\text{ k}\Omega$ $R_0 = 10\text{ k}\Omega$	-16		-4,75	V
Speisestrom	I_{DD}		-5	-3		mA
H-Eingangsspannung	U_{IH1}		-1,2		0,3	V
L-Eingangsspannung	U_{IL1}		-16		-4,5	V
H-Eingangsspannung	U_{IH2}		-2,5		0,3	V
L-Eingangsspannung	U_{IL2}		-16		-8	V
H-Ausgangsspannung	U_{QH}		-2			V
L-Ausgangsspannung	U_{QL}				$U_{DD}+0,3$	V
H-Eingangswiderstand	R_{IH}		10			M Ω
L-Eingangswiderstand	R_{IL}		10			M Ω
Zulässiger Ausgangsstrom	I_O	-10			mA	

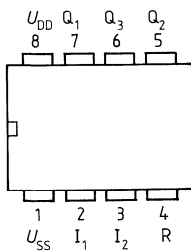
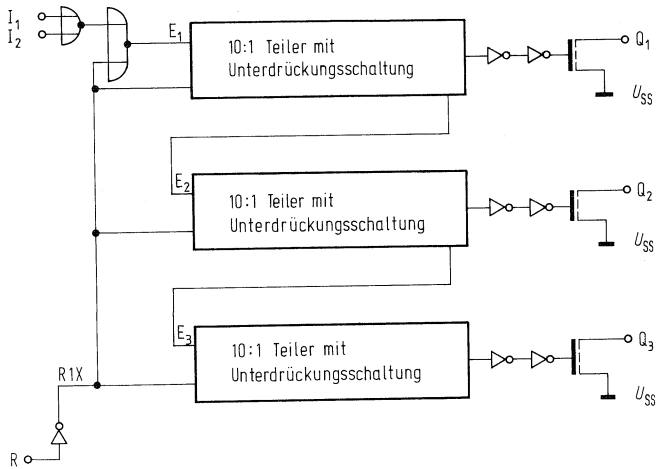
Dynamische Kenndaten

Eingangsfrequenz	f_i	0		1	MHz
Impulsbreite	t_{WLI}	450		∞	ns
Impulspause	t_{WHI}	450		∞	ns
HL-Übergangszeit	t_{THLI}			0,3	ms
LH-Übergangszeit	t_{TLHI}			0,3	ms

Bei $f = 1\text{ MHz}$ -Teilung 10 : 1

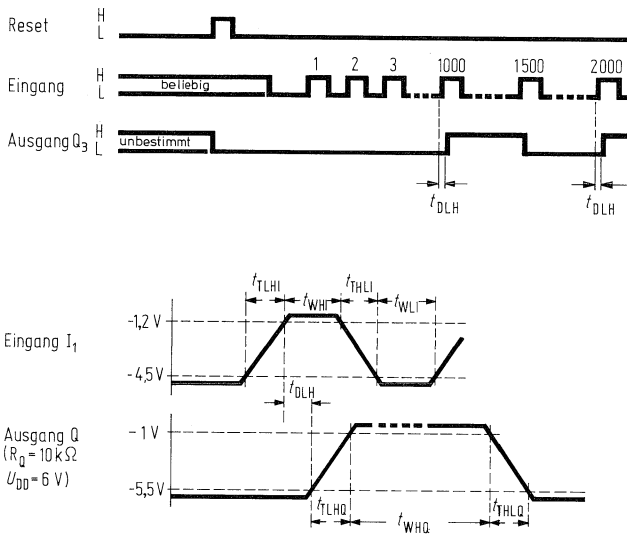
Impulsbreite	t_{WHQ}	} $C_0 = 10\text{ pF}$ $R_0 = 10\text{ k}\Omega$	2			μs
Verzögerungszeit	t_{DLH}			0,8	2	μs
HL-Übergangszeit	t_{THLQ}				3	μs
LH-Übergangszeit	t_{TLHQ}			0,4	1	μs

Blöckschaltbild


Anschlußanordnung
 Ansicht von oben

I = Eingänge
 Q = Ausgänge
 R = Rückstelleingang

Impulsdiagramme

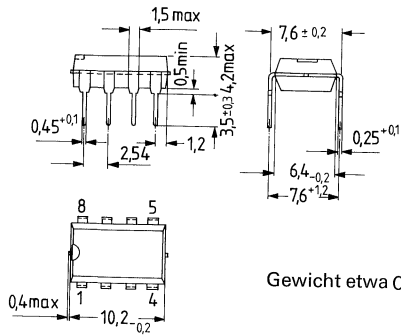


Die Eingänge I_1 und I_2 sind durch ein Gatter miteinander verknüpft.

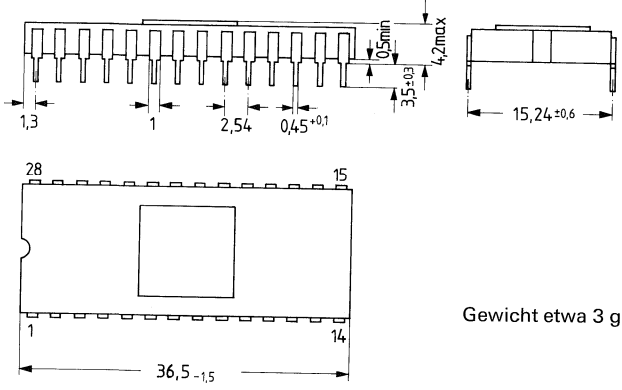
Eingang	Pegel	Funktion
I_1	L	I_2 gesperrt
I_1	H	LH-Übergänge an I_2 werden gezählt
I_2	L	I_1 gesperrt
I_2	H	LH-Übergänge an I_1 werden gezählt

Gehäusebauformen der Schaltungen für spezielle Funktionen

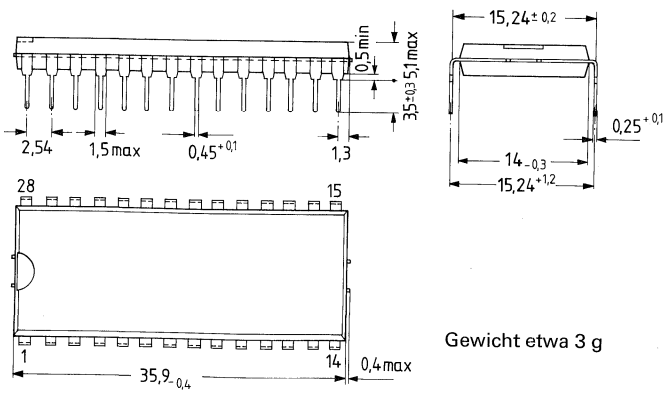
Kunststoff-Steckgehäuse 20 A 8 DIN 41866 (8 Anschlüsse DIL)



Metall-Keramik-Gehäuse (28 Anschlüsse)



Kunststoff-Steckgehäuse 20 A 28 DIN 42866 (28 Anschlüsse DIL)





Schaltungen für die Nachrichtentechnik



Typ	Bestellnummer	Gehäuse-Bauform
S 120 A 3	Q 67100-Z 4	Bild Nr. 3

Der S 120 A 3 ist eine hochintegrierte MOS-Schaltung in p-Kanal-Hochvolttechnik mit folgenden Eigenschaften:

- Wahlimpulsgeber für indirekte Tastwahl
- Taktgewinnung integriert
- Eingänge BCD-codiert
- Einzelanwendung oder Zusammenschaltung mit S 121 B möglich

Kurzbeschreibung

Der Baustein eignet sich für die indirekte Tastwahl mit dem Baustein S 121 B. Der Baustein ist am Eingang BCD-codiert. Er erfüllt die Taktgewinnung und den Wahlimpulsgeber. Eine Einzelanwendung bei entsprechender Beschaltung ist möglich.

I_{Stop} (Anschluß 24) auf L-Pegel: Normaler Ablauf (Ausgabe aller Ziffern mit eingestellter Zwischenwahlzeit bis Speicher leer).

Wenn I_{Stop} während n-ter Ziffer auf H-Pegel gesetzt wird: Impulsfolge für n-te Ziffer läuft vollständig ab, weitere Impulsausgabe gesperrt.

Wenn später I_{Stop} auf L-Pegel: Ablauf der restlichen Ziffern bis Speicher leer, wobei dieser Ablauf erst nach 0 . . . 1600 ms beginnt.

Betrieb mit Taktfrequenz f_T

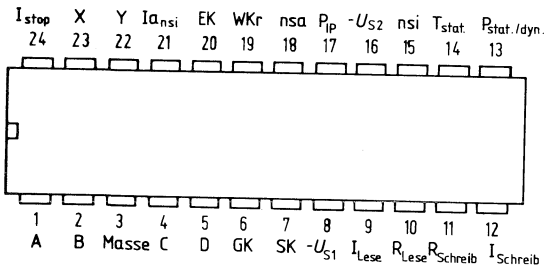
Maximal zulässige Taktfrequenz $f_{T \max} = 50 \text{ kHz}$ ($t' = 20 \mu\text{s}$)

Minimal zulässige Taktfrequenz $f_{T \min} = 10 \text{ kHz}$ ($t' = 100 \mu\text{s}$)

Die zugehörigen Zeiten $\tau' 1 \dots \tau' 5$, $\tau' 8$, $\tau' 9$ und $t' 0 \dots t' 8$ lassen sich nach folgenden Formeln berechnen:

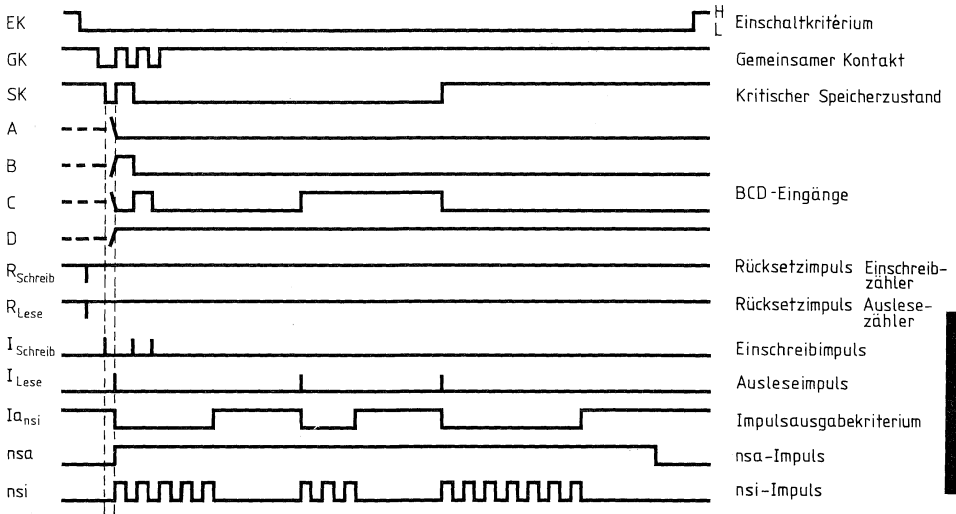
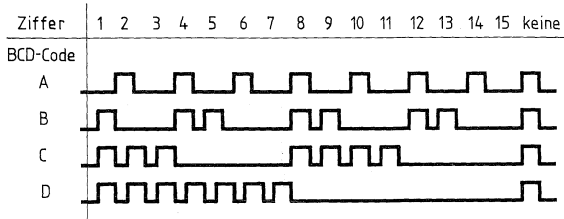
$$\tau' n = \frac{f_0}{f_T} \tau n \text{ und } t' n = \frac{f_0}{f_T} t n$$

Die offenen Eingänge werden an H- oder L-Pegel angeschaltet.

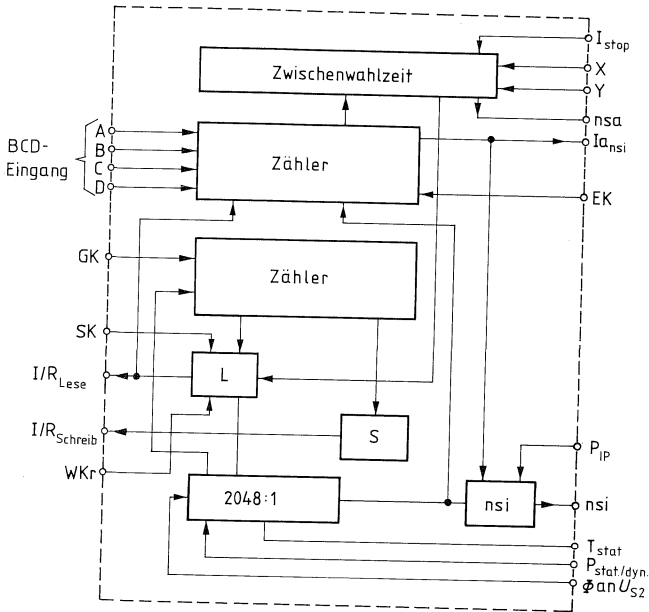


Anschlußanordnung
Ansicht von oben

Arbeitstabelle



Blockschaltbild



Grenzdaten

		untere Grenze B	obere Grenze A	Einheit
Speisespannung	$U_{S1} = U_{S2}$	- 30	0,3	V
Eingangsspannung	U_I	U_{S1}	0,3	V
Ausgangsstrom	$- I_O$		10	mA
Umgebungstemperatur	T_U	- 25	85	°C
Lagertemperatur	T_S	- 55	125	°C
Verlustleistung	P_{tot}		400	mW
Lastkapazität	C_O		50	pF

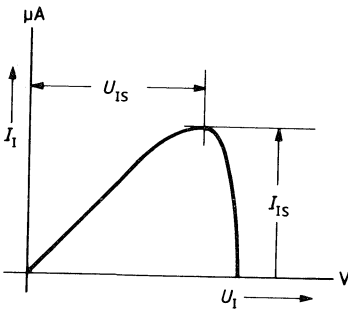
Elektrische Kenndaten

	Prüfbedingungen	untere Grenze B	typ.	obere Grenze A	Einheit
Arbeits- temperaturbereich	T			70	°C
				- 23	V
Versorgungsspannung	$U_{S1} = U_{S2}$ quasistatisch $f_0 = 20,48$ kHz $t_p = 1$ μ s			- 23	V
		U_{S1}	- 27		V
		U_{S2}	- 27		- 23

Statische Kenndaten (Spannungen auf $U = 0$ V bezogen)

Verlustleistung		$U_{S1} = U_{S2} = - 25$ V $U_{S1} = U_{S2} = - 27$ V Ausgänge unbelastet $U_{S1} = - 27$ V $U_{S2} = - 27$ V get. $t_p = 1$ μ s, $f_0 = 20,48$ kHz $U_{S1} = - 27$ V $U_{S2} = - 27$ V get. Taktverhältnis 1 : 1 $f_0 = 20,48$ kHz $U_{S1} = U_{S2} = \pm 25$ V		165	mW
			100	190	mW
			7	10	mW
				95	mW
Speisestrom	I_{S1} I_{S2}			6 1	mA mA
Eingänge mit Schmitt-Trigger Eing. I_{stop} und EK (Anschluß Nr. 24 und 20)	U_{IH} I_{IH} U_{IL} I_{IL} U_{IS}	$U_{IH} = - 2$ V $U_{IL} = - 27$ V $I_{max} = 250$ μ A	- 2		V
			- 27	150	μ A
				10	V
				10	μ A
Eingangsschwelle	U_{IS}	- 8	- 4	- 3	V

Eingangsstrom $I_i = f(U_i)$



Statische Kenndaten

	Prüfbedingungen	untere Grenze B	typ.	obere Grenze A	Einheit
Eingang ohne Schmitt-Trigger	U_{IH}	-2		10	V
	I_{IH}	$U_{IH} = -2 \text{ V}$		-10	μA
	U_{IL}	-27		10	V
Ausgänge	I_{IL}	$U_{IL} = -27 \text{ V}$		10	μA
	U_{QL}	$I_{QL} = 0 \mu\text{A}$		9	V
	I_{QH}	$I_{QH} = 100 \mu\text{A}$	-1		V
Ausgänge T_{stat}	U_{QH}	quasistatischer Betrieb			V
	U_{QL}	$I_{QL} = 0$	U_{S1}	10	V
	U_{OL}	$I_{OL} = 25 \mu\text{A}$	U_{S1}	9	V
	U_{OH}	$I_{OH} = 25 \mu\text{A}$	-1		V

Dynamische Kenndaten

	untere Grenze B	typ.	obere Grenze A	Ein- heit
Quasistatischer Betrieb mit S 121 A oder B Spannung U_{S2} , $f_0 = 20,48$ kHz ($t_0 = 49 \mu s$)				
Taktamplitude	- 23	- 25	- 27	V
Taktlänge	1			μs
Takt-Anstieg-Abfall			400	ns
Puls l ängen				
GK	t_1	20		ms
$R_{Schreib}$	t_2	6,25		ms
R_{Lese}	t_3	6,25		ms
$I_{Schreib}$	t_4	3,12		ms
I_{Lese}	t_5	3,12	6,25	ms
Wahl i mpuls				
Impuls/Pause 1:1	t_6	50		ms
10:6	t_6	62,5		ms
Wahl p ause				
Impuls/Pause 1:1	t_7	50		ms
10:6	t_7	37,5		ms
Zwischenwahlzeit (X = L, Y = L)				
(X = L, Y = H)	t_8	412,5		ms
(X = H, Y = L)	t_8	612,5		ms
(X = H, Y = H)	t_8	812,5		ms
	t_8	1512,5		ms
Puls a bstände				
GK - GK	τ_9	3		ms
EK - GK	τ_1			
GK - $R_{Schreib}$	τ_2	3,12	6,25	ms
GK - R_{Lese}	τ_3	3,12	6,25	ms
$R_{Schreib}$ - $I_{Schreib}$	τ_4	3,12		ms
$I_{Schreib}$ - I_{Lese}	τ_5	6,25	25	ms
$I_{Schreib}$ - nsa, $t_p = 1 \mu s$	τ_6	25	500	μs
I_{Lese} - nsi (1. Imp.)	τ_7		500	μs
I_{ansi} - nsa (letzte Flanke)				
(X = L, Y = L)	τ_8	400		ms
(X = L, Y = H)	τ_8	600		ms
(X = H, Y = L)	τ_8	800		ms
(X = H, Y = H)	τ_8	1500		ms

Dynamische Kenndaten

Quasistatischer, spezieller Betrieb 1

$$f_0 = 20,48 \text{ kHz}, t_P = \frac{1}{2 \cdot f_0}$$

Pulsängen

EK

I_{Lese}Pulsabstände¹⁾

EK - WKr

WKr - EK

EK - WKr

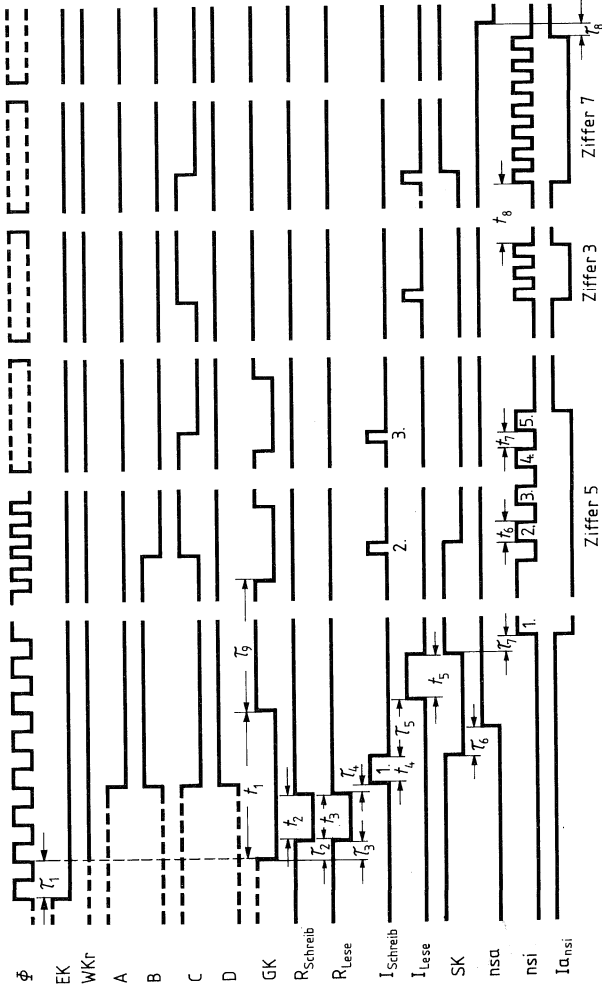
WKr - I_{Lese}

	untere Grenze B	typ.	obere Grenze A	Ein- heit
t'_1	150			μs
t'_2		6,25		ms
τ'_{11}	20			μs
τ'_{12}	0			μs
τ'_{13}	20			μs
τ'_{14}	25 μs		32,5	ms

¹⁾ Nur wenn gleichzeitig der Takt auf Low ist.

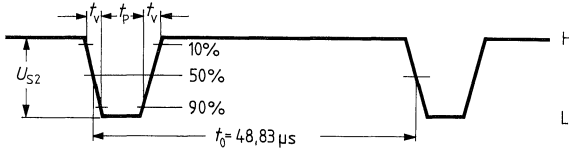
Funktionsdiagramm
 Betrieb mit S 121 A oder B

$U_{S2} (\triangle \Phi)$ getaktet, $f_0 = 20,48 \text{ kHz}$ $t_P = \frac{1}{2 \cdot f_0}$

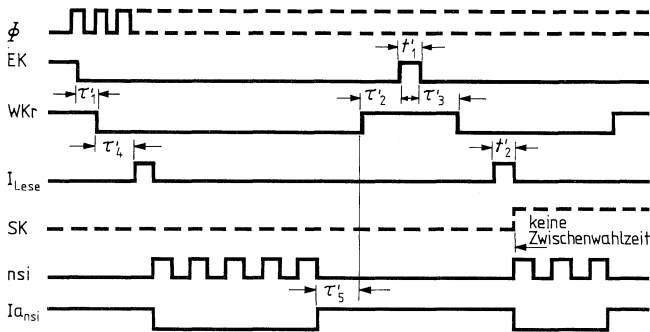


Funktionsdiagramm

Taktspannung $U_{S2} (\cong \phi)$, $f_0 = 20,48 \text{ kHz}$



bei speziellem Betrieb, $f_0 = 20,48 \text{ kHz}$ $t_p = \frac{1}{2 \cdot f_0}$



Typ	Bestellnummer	Gehäuse-Bauform
S 121 B	Q67100-Y 161	Bild Nr. 3

Der S 121 B ist eine hochintegrierte MOS-Schaltung in p-Kanal-Hochvolttechnik mit folgenden Eigenschaften:

- 16 x 4-Bit-Speicher für indirekte Tastwahl
- BCD-codierte Eingänge
- Integrierter Schreib- und Lese-Zähler mit Vergleicher
- Speicherinhalt bleibt erhalten
- Zusammenschaltung mit S 120 A 3 oder Einzelanwendung

Kurzbeschreibung

Der Baustein eignet sich für die indirekte Tastwahl mit dem Baustein S 120 A 3. Der Baustein S 121 B wird für den BCD-Code verwendet. Der Typ S 121 A hat am Eingang eine MFV-Codierung. Der Baustein besteht aus einem 16 x 4-Bit-Speicher, der Adressierung und einem Lese-Schreib-Zähler-Vergleicher. Eine Einzelanwendung des Bausteins bei entsprechender Beschaltung ist möglich.

Die Dateneingänge können offen bleiben. Alle anderen Eingänge werden an H- oder L-Pegel gelegt.

Der Speicher hat 16 Speicherplätze à 4-Bit. Die Rücksetzung des Schreib- oder Lesezählers führt auf Speicherplatz 1.

Wird das Kriterium SK benutzt (z. B. bei Zusammenschaltung mit S 120 A 3) werden 15 Ziffern eingeschrieben, da mit dem 16. Schreibimpuls Zählergleichstand erreicht wird. Die Speicherkapazität von 16 Ziffern kann ausgenutzt werden, wenn zwischen dem 1. und 15. Schreibimpuls mindestens 1 Leseimpuls angelegt wird.

Die Speicherinformation bleibt nach dem Auslesen und nach der Rücksetzung des Schreib- oder Lesezählers erhalten.

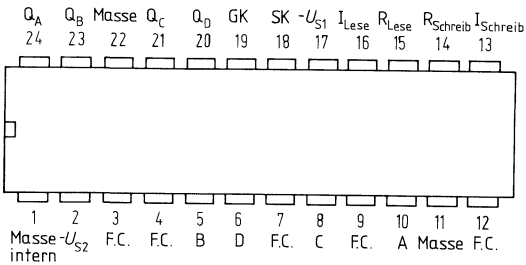
Mit jedem Schreibimpuls wird eine vorhandene Information auf dem entsprechenden Speicherplatz überschrieben. Schreib- oder Leseimpulse müssen vorkommende gleichzeitige Rückstellimpulse überlappen.

Rückstell-, Schreib- und Leseimpulse sind statisch wirksam (zustandsgesteuert). Der Speicherzustand SK zeigt dann den Pegel H (entspricht log. 0) an, wenn nach der Rücksetzung des Schreib- und Lesezählers gleichviele Schreib- und Leseimpulse angelegt wurden.

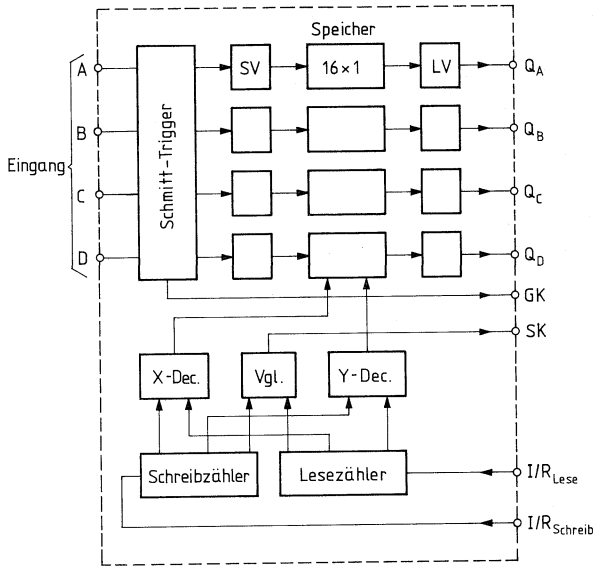
GK (gemeinsamer Kontakt) hat Pegel L (entspricht log. 1), wenn 1 Eingang (A . . . D) auf H liegt.

Auch wenn der Lesezähler rückgesetzt bleibt (R_{Lese} - auf L-Pegel) können neue Informationen in den Speicher eingeschrieben werden.

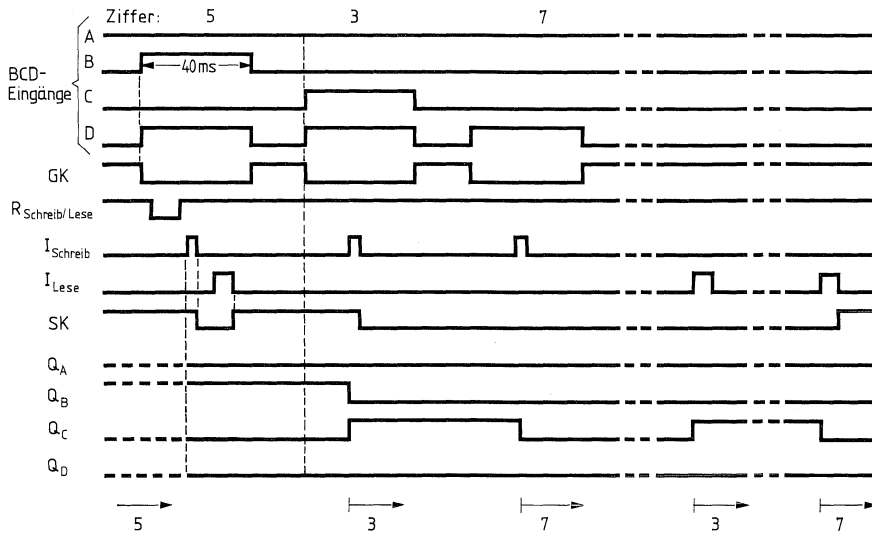
Anschlußanordnung, Ansicht von oben



Blockschaltbild



Impulsdiagramm



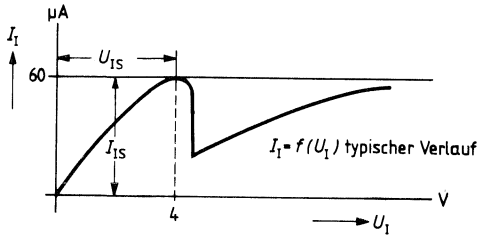
Grenzdaten

		untere Grenze B	obere Grenze A	Ein- heit
Speisespannung	$U_{S1} = U_{S2}$	- 30	0,3	V
Eingangsspannung	U_I	U_{S1}	0,3	V
Ausgangsstrom	$-I_O$		10	mA
Umgebungstemperatur	T_U	- 25	85	°C
Lagertemperatur	T_S	- 55	125	°C
Verlustleistung	P_{tot}		400	mW
Lastkapazität	C_O		50	pF

Elektrische Kenndaten

	Prüfbedingungen	untere Grenze B	typ.	obere Grenze A	Ein- heit
Arbeitstemperaturbereich	T			70	°C
Speisestrom	I_{S1}			10	mA
	I_{S2}			1	mA
Versorgungsspannung	$U_{S1} = U_{S2}$ quasistatisch $f_0 = 20,48$ kHz, $t_F = 1$ μ s $U_{S1} = U_{S2}$	- 27		- 23	V
		- 27		- 23	V
Eingang mit Schmitt-Trigger	Betr. Eingänge A... D				
H-Eingangsspannung	U_{IH}	- 2			V
H-Eingangsstrom	I_{IH}			150	μ A
L-Eingangsspannung	U_{IL}	U_{S1}		- 9	V
L-Eingangsstrom	I_{IL}			250	μ A
Eingangsschwelle (siehe Abb.)	I_{IS}	- 8	- 4	- 3	V
Eingang ohne Schmitt-Trigger					
H-Eingangsspannung	U_{IH}	- 2			V
H-Eingangsstrom	I_{IH}			10	μ A
L-Eingangsspannung	U_{IL}			- 9	V
L-Eingangsstrom	I_{IL}			10	μ A
Ausgänge $Q_A \dots Q_D$					
L-Ausgangsspannung	U_{OL}		U_{S1}	- 10	V
L-Ausgangsspannung	U_{OL}		U_{S1}	- 9	V
H-Ausgangsspannung	U_{OH}		- 1		V

Eingangsstrom $I_1 = f(U_1)$

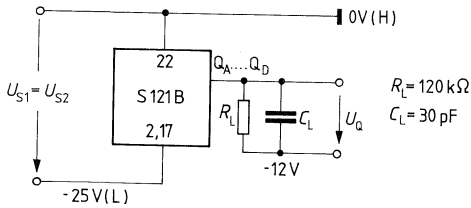


Dynamische Kenndaten

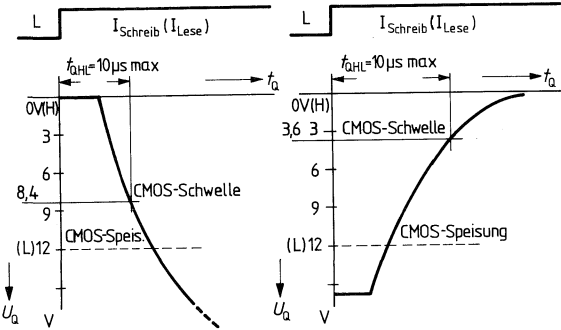
Statischer Betrieb mit S 120 A 3
 Eingabezeit
 Eingänge A... D
 Prelldauer

	untere Grenze B	obere Grenze A	Ein- heit
t'_1	20		ms
τ'_1		6	ms

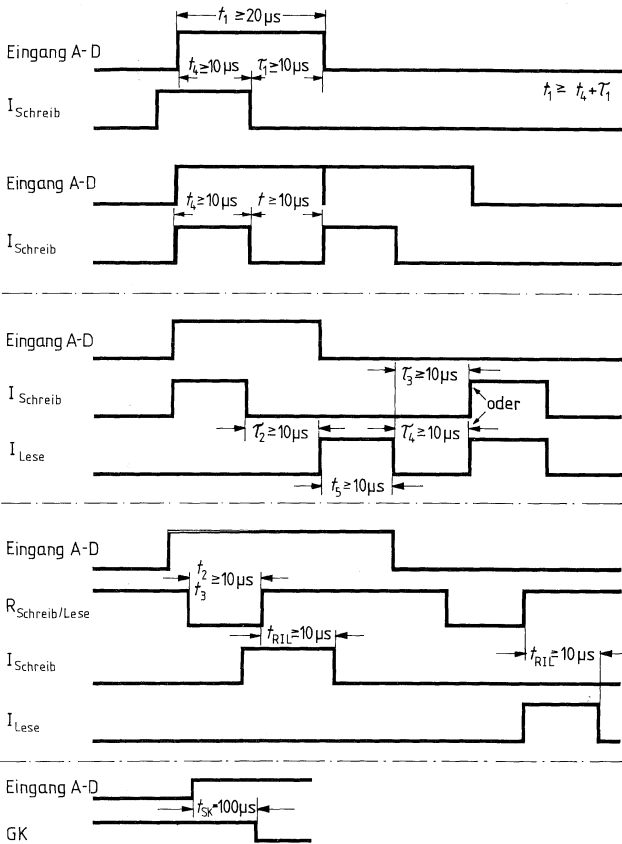
Beschaltung der Ausgänge $Q_A \dots Q_D$



Schaltzeiten der Ausgänge

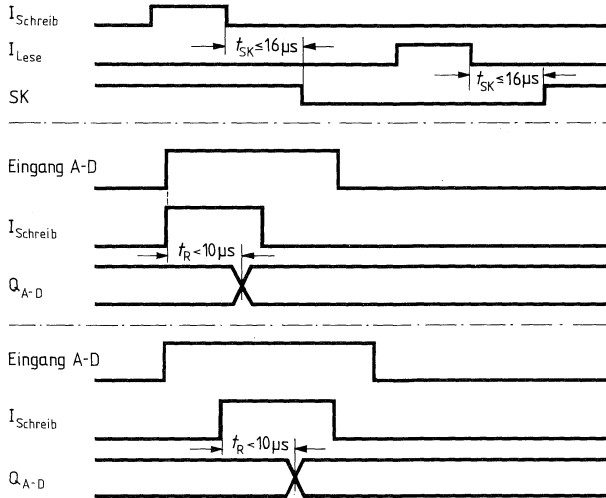


Impulsdiagramm



Zeiten beziehen sich auf 50% der Spannung des 1. Impulses zu 50% des 2. Impulses

Impulsdiagramm



Dynamische Kenndaten

Quasistatischer Betrieb mit S 120 A 3
 $f_0 = 20,48 \text{ kHz}$, $t_p = 1 \mu s$

Pulsängen
 Eingänge A... D
 Prelldauer

	untere Grenze B	typ.	obere Grenze A	Ein- heit
t_1	20	40		ms
τ_1			6	ms

Vorläufige Daten

Typ	Bestellnummer	Gehäuse-Bauform
S 359	Q67000–Y477	Bild Nr. 1

Der MFV-Tastwahloszillator S 359 in J²L-Technologie erzeugt die MFV-Frequenzen im 2 x 1 aus 4 Code. Die Genauigkeit der Frequenz bestimmt ein externer Standard-Uhrenquarz (4,194 MHz), wobei kein Abgleich erforderlich ist.

Die interne temperatur-kompensierte Referenzspannungsquelle bestimmt die Ausgangspegel und steuert den eingebauten Parallelspannungsregler an, welcher die Anpassung an verschiedene Leitungsbedingungen sicherstellt.

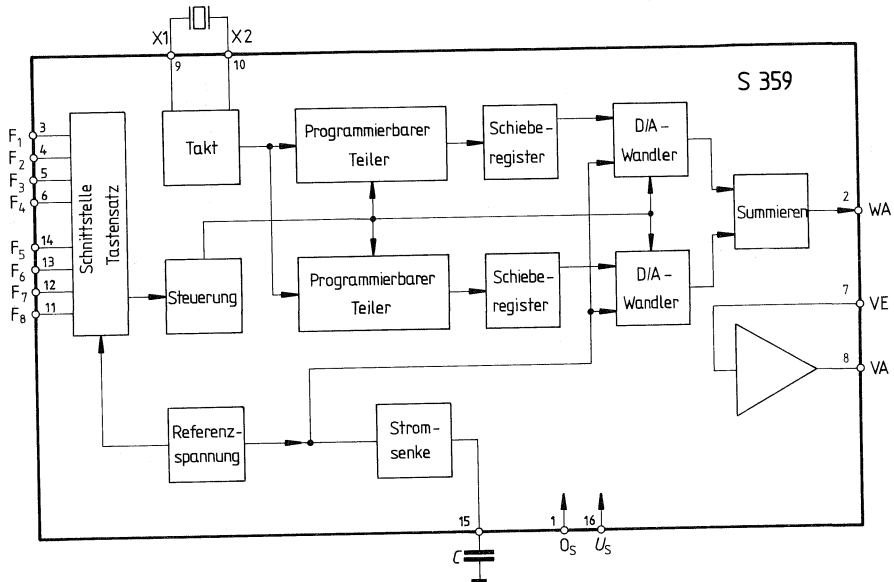
Ein externes zweipoliges RC-Filter ist direkt zur Erfüllung der CEPT-Bedingung anschaltbar.

Der S 359 ist durch matrix codierte mechanische Kontakte bzw. offenen Kollektoren im Tastencode ansteuerbar. Zusätzlich ist eine BCD-Ansteuerung mit offenen Kollektoren möglich.

Eigenschaften

- CEPT-Bedingung
- direkte Leitungsspeisung
- hohe Frequenzgenauigkeit (besser als 0,4%)
- kostengünstiger Standard-Uhrenquarz (2²² Hz)
- wahlweise BCD oder MFV-Tastencode ansteuerbar
- elektronische Tastenverriegelung und Prellunterdrückung
- auch Einzelfrequenz möglich
- thermische Verlustleistungsbegrenzung

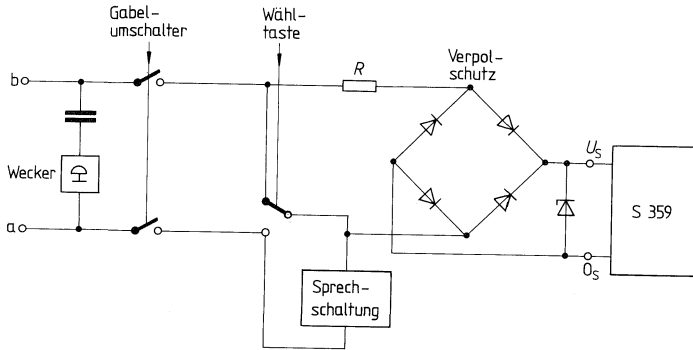
Blockschaltbild und Anschlußanordnung



Anschlußbelegung

O_s, U_s	Speisespannung
$F_1 - F_8$	Codiereingänge
$X_1 - X_2$	Anschluß Quarz $f = 2^{22} \text{ Hz} = 4,194304 \text{ MHz}$
WA	Wandlerausgang
VE	invertierender Eingang Ausgangsverstärker
VA	Ausgang Ausgangsverstärker
C	Anschluß Siebkondensator

Anschaltung Tastwahloszillator



Technische Daten

Frequenztoleranz

	f_1	f_2	f_3	f_4	f_5	f_6	f_7	f_8	Einheit
Sollfrequenz	697	770	852	941	1209	1336	1477	1633	Hz
Ist-Frequenz	697,2	771,0	851,1	943	1212,6	1337,5	1472,7	1638,4	Hz
Abweichung	0,275	1,374	-1,037	2,087	3,829	1,1	-2,898	3,307	%

Grenzdaten

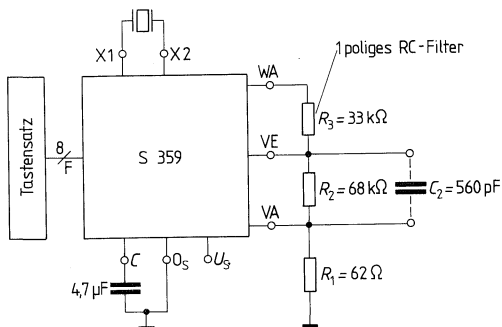
		untere Grenze B	obere Grenze A	Einheit
Speisespannung	bezogen auf $0_S = 0\text{ V}$	14	-0,3	V
Spannung an allen Anschlüssen		-55	125	°C
Lagertemperatur		0	70	°C
Betriebstemperatur				

Kenndaten

Speisestrombereich: $12 \text{ mA} < I_S < 120 \text{ mA}$
 (Nennspannung: $U_S = 5 \text{ V}$)
 Spannungsversorgung leitungsabhängig
 Innenwiderstand ($f > 300 \text{ Hz}$): $600 \Omega < R_1 < 1100 \Omega$

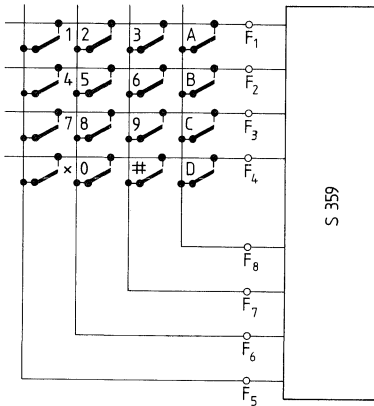
Pegel

Summenpegel $P_S = -4 \text{ dB m} \pm 2 \text{ dB}$
 Preemphasis $P_D = 2 \text{ dB} \pm 1 \text{ dB}$
 Entprellzeit $2 \text{ ms} < t_E < 6 \text{ ms}$

Beschaltung Tastwahloszillator

VE und VA sind die Anschlüsse eines Operationsverstärkers, zwischen WA, VE, VA kann ein 2-poliges RC-Filter zur Erfüllung der CEPT-Bedingungen geschaltet werden.

Anschaltung Tastensatz



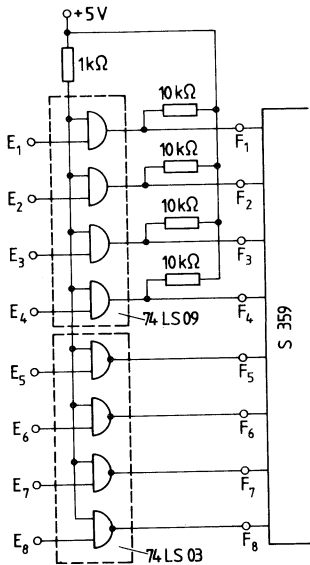
Die Tasten sind entprellt und elektronisch verriegelt. Bei Mehrfachstastendruck wird der zuerst erkannte Tastendruck ausgesendet.

Die Anforderung der Güte der Kontakte ist:

offener Kontakt: Nebenschluß $R_N > 50 \text{ k}\Omega$

geschlossener Kontakt: Übergangswiderstand $R_E \leq 1 \text{ k}\Omega$ bei $I = 100 \mu\text{A}$

Elektronische Ansteuerung im Tastencode

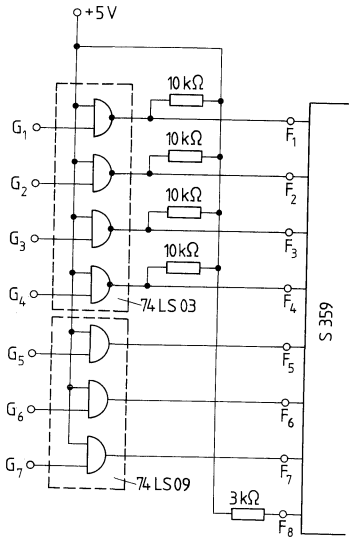


Die Eingänge $E_1 - E_4$ steuern die Frequenzen der unteren Frequenzgruppe $f_1 - f_4$, die Eingänge $E_5 - E_8$ steuern entsprechend die Frequenzen der oberen Frequenzgruppe $f_5 - f_8$. Zum Aussenden einer Ziffer muß ein Eingang $E_1 - E_4$ der unteren Gruppe und ein Eingang $E_5 - E_8$ der oberen Gruppe H-Pegel haben. Liegt an mehr als einem Eingang der jeweiligen Gruppe H-Pegel, wird dies als Doppeltastendruck erkannt und es wird die zuerst erkannte Ziffer ausgesandt.

Logiktablelle

E_1	1	2	3	A	Ziffer
E_2	4	5	6	B	
E_3	7	8	9	C	
E_4	*	0	#	D	
Eingänge	E_5	E_6	E_7	E_8	

Elektronische Ansteuerung im BCD-Code



Die Wählinformation liegt an den Eingängen $G_1 - G_4$ im BCD-Code an.

Ziffer		0	1	2	3	4	5	6	7	8	9	X	#	A	B	C	D
Eingang	G_4	L	L	L	L	L	L	L	L	H	H	H	H	H	H	H	H
	G_3	L	L	L	L	H	H	H	H	L	L	L	L	H	H	H	H
	G_2	L	L	H	H	L	L	H	H	L	L	H	H	L	L	H	H
	G_1	L	H	L	H	L	H	L	H	L	H	L	H	L	H	L	H

Die Eingänge $G_5 - G_7$ dienen als Freigabeeingänge.
 G_5 Freigabe untere Frequenzgruppe $f_1 - f_4$
 G_6 Freigabe obere Frequenzgruppe $f_5 - f_8$
 G_7 Freigabe obere und untere Frequenzgruppe

H-Pegel sperrt die Frequenzen, L-Pegel gibt die Frequenzen frei.

Vorinformation

Typ	Bestellnummer	Gehäuse-Bauform
SM 301	Q67100-X 2	Bild Nr. 2

Kurzbeschreibung

Der MFV-Codecempfängerbaustein SM 301 in n-Kanal-Technik verarbeitet Tastenwahl-signale im 2 x 1 aus 4 Code nach CCITT-Empfehlung Q 23 mit oder ohne Gleichstrom-begleitzeichen.

Die anstehenden Wechsellspannungssignale werden in Gleichspannungssignale umgesetzt. Dabei sind 3 Ausgabecodes wählbar.

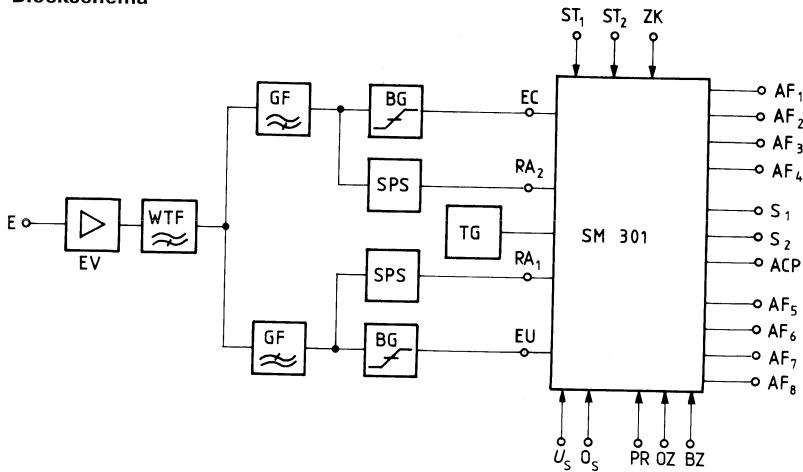
Ein vorgeschalteter Analogteil vollzieht die Trennung der beiden Signalfrequenzgruppen durch Filter, die Aussperrung des Wähltones (z. B. beim 1. Zeichen), die Umformung der nunmehr getrennten Zeichenfrequenzen in digital auswertbare Rechtecksignale sowie ergänzende Sprachschutzmaßnahmen.

Leistungsmerkmale

- CEPT-Spezifikation erfüllt
Sprachsicherheit
Störsicherheit (wählbar 12 dB oder 4 dB Signal-/Störabstand)
- Kostengünstiger Standard-Uhren Quarz (2²² Hz)
- Digitale Auswertung von MFV-Signalen und Umsetzung in verschiedene Ausgabecodes mit Scanning 2 x 1 aus 4 Code

Binär-Code 2 aus 6 Code	} 16 Kombinationen mit Übertrag
----------------------------	---------------------------------
- Codeccontrollausgang zur Informationsübernahme
- Eignung für MFV-Wählverfahren (gemäß CEPT)
ohne Gleichstrom-Begleitzeichen
mit Gleichstrom-Begleitzeichen
- Mittlere Auswertzeit des SM 301
ohne Gleichstrom-Begleitzeichen ca. 28 ms
mit Gleichstrom-Begleitzeichen 12 bis 15 ms
- 2 Splitting Ausgänge zum schnellen Auftrennen des weiterführenden Sprechwegs, auch bei hohen Störpegeln
Ansprechzeit der Splitting-Ausgänge: S₁ ca. 3 ms, S₂ ca. 12 bis 15 ms
- Haltezeit der Zeichenausgabe frei wählbar durch Beschaltung:
feste Haltezeit zur Überbrückung von Zeichenunterbrechungen ≤ 20 ms am Eingang gemäß CEPT beliebige Haltezeit mit externem Zeitkreis
- keine Haltezeit für höhere Übertragungsgeschwindigkeiten bis 20 Zeichen/Sek.
- Einfache Anpassung an unterschiedliche Ausgabeschnittstellen:
elektronische Schnittstelle für folgende Schaltkreisfamilien: TTL, CMOS, NMOS
Relaistreiber mit 2 mA Eingangsstrom
- Geringe Leistungsaufnahme
- 5 V-Versorgung

Blockschema



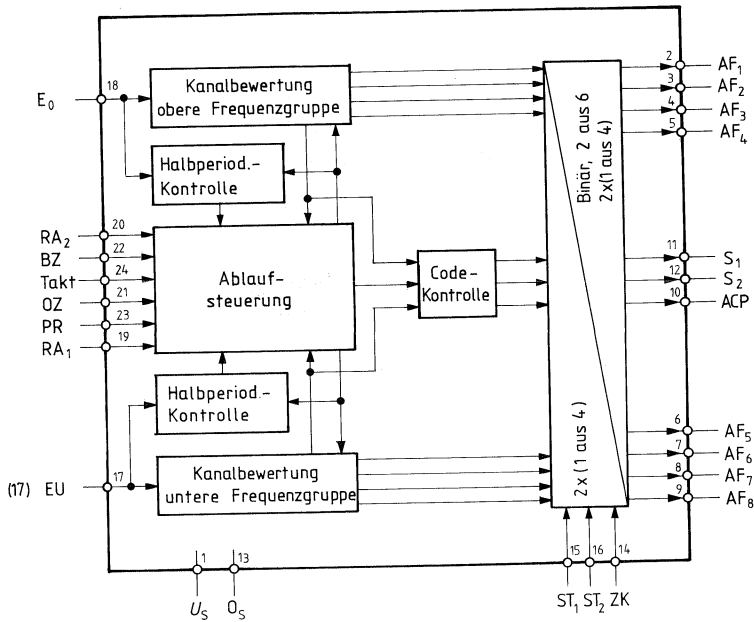
Funktionsblöcke

EV	Eingangsverstärker
WTF	Wähltonfilter
GF	Gruppenfilter
BG	Begrenzer
SPS	Sprachschuttschaltung
TG	Taktgenerator

Ein-Ausgänge

E	Eingang
EO, EU	Begrenzer-Ausgang obere bzw. untere Frequenzgruppe
RA ₁ , RA ₂	Zugriff der Sprachschuttkreise
ST ₁ , ST ₂	Steuereingänge für Ausgabe-code
ZK	Externe Steuerung der Abfallzeit
BZ	Umschaltung Begleitzeichentechnik
OZ	Umschaltung Ausgabezeitverlängerung
PR	Umschaltung Störabstand 12 dB/4 dB
AF ₁ ..AF ₈	Ausgänge
ACP	Codec-Kontrollausgang
S ₁ , S ₂	Splitting-Ausgänge

Blockschaltbild



Vorläufige Daten

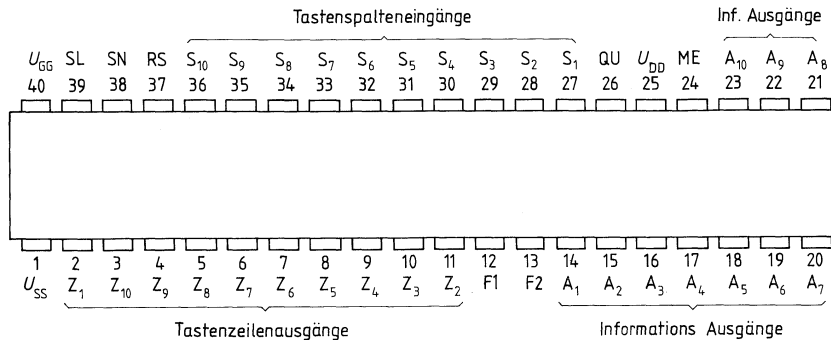
Typ	Bestellnummer	Gehäuse-Bauform
S 600 E5	Q67100-Z101 V5	Keramik / Bild Nr. 5
S 600 E5-P	Q67100-Z133 V5	Kunststoff / Bild Nr. 5

Der Baustein S 600 E5 in PMOS-Technologie eignet sich für alle gängigen Tastaturen bei Dateneingabegeräten, z. B. Schreibmaschinen, Fernschreibern, Datensichtstationen usw.

Durch den Baustein werden die im Tastenfeld angeordneten, elektrisch zu einer Matrix zusammengefaßten maximal 90 Tasten zyklisch abgefragt. Beim Betätigen einer Taste wird das entsprechende Codezeichen ausgegeben. Der den Tasten zugehörige Code ist maskenprogrammierbar in einem Festwertspeicher in vier Ebenen zu jeweils 90 x 10 Bit enthalten. Damit lassen sich zwei unterschiedliche Tastaturen mit dreifacher Belegung realisieren (siehe Seite 281/282). Unterschiedliche Steuerfunktionen können über zehn weitere Punkte der Matrix mit Tasten oder Lötbrücken geschaltet werden.

Der S 600 E5 unterscheidet sich vorteilhaft von anderen Tastaturbausteinen durch eine zusätzliche Kontaktentprellschaltung und durch einen internen Zwischenspeicher für 3 Zeichen.

Anschlußanordnung, Ansicht von oben



RS = Rücksetzeingang
QU = Quittung

SN = Sperreingang
ME = Meldung

SL = Shift-Lock, Meldung
F1, F2 = Frequenzeingang

Funktionsübersicht anhand des Blockschaltbildes

Die gesamte Tastatur besteht aus dem Tastenfeld mit der Kontaktmatrix aus 10 + 10 Leitungen und der daran angeschlossenen Tastaturelektronik, die vollständig im MOS-Baustein integriert ist.

Auf einen Tastendruck reagiert die Tastaturelektronik mit der Bereitstellung der zugehörigen, codierten Information an den Ausgängen A₁ bis A₁₀.

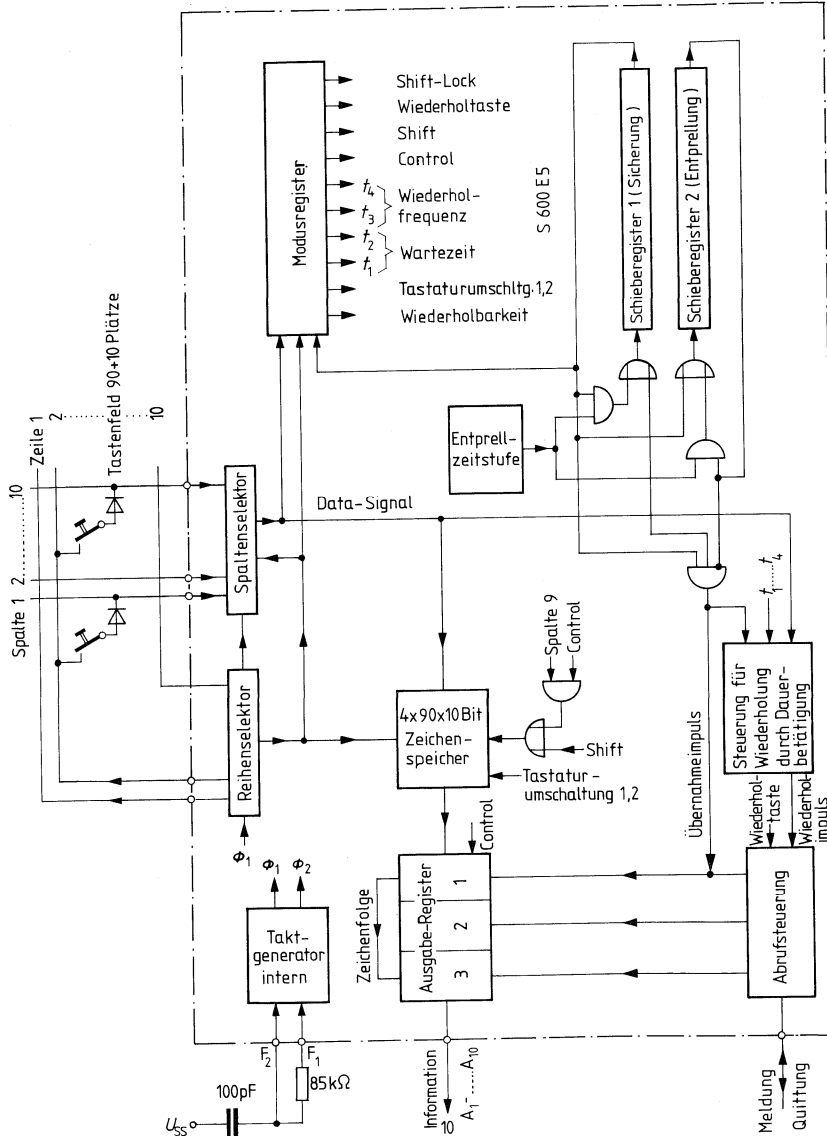
Die wesentlichen Schaltungskomplexe sind:

- das **Abfrageteil**, bestehend aus **Reihen-** und **Spaltenselektor**, welche die 10 x 10-Matrix des Tastenfeldes fortlaufend abfragen;
- zwei **Schieberegister** und eine **Entprellzeitstufe** zur Entprellung der Tastenkontakte und Sicherung gegen Störungen;
- der maskenprogrammierbare **Zeichenspeicher**, der die Information von 2 x 2 x 90 Zeichen zu je 10 Bit enthält und synchron zum Abfrageteil angesteuert wird;
- die **Ausgabe-Register**, die bis zu drei Zeichen speichern können;
- die **Abrufsteuerung**, welche die Übernahme der Zeichen aus dem Speicher in die Register sowie die Abgabe an der Schnittstelle steuert;
- das **Modusregister**, das bis zu zehn Tasten in Sonderfunktionen umkodiert;
- Die **Steuerung für Wiederholung der Zeichen durch Dauerbetätigung**.
Eine Schaltung mit zwei Zeitstufen erkennt die Dauerbetätigung einer Taste und gibt nach einer vorgegebenen Wartezeit die zeichenauslösenden Impulse an die Abrufsteuerung; Entsprechend der Codierung durch t_3 und t_4 werden Wiederholraten von 60, 90 und 120 ms eingestellt.

Die Wartezeit bis zur Wiederholung durch Dauerbetätigung kann mit t_1 und t_2 auf Werte von 300, 390 und 480 ms eingestellt werden. Liegt an t_1 und t_2 „L“-Signal ist die Wiederholung durch Dauerbetätigung gesperrt.

- die **Steuerung für Zeichenfolgen**, die beim Abrufen von bestimmten, im 10 Bit markierten Zeichen aus dem Zeichenspeicher eines von zwei möglichen Zeichen generiert und dem abgerufenen Zeichen voranstellt. Die Zeichenfolgen sind wiederholbar;
- die **Umschaltung auf Erzeugung von Steuerzeichen** (Controlzeichen) durch Umcodierung der Zeichen aus dem Zeichenspeicher;
- der **Taktgenerator** zur Erzeugung der internen Hilfstakte von 66 kHz.

Blockschaltbild



Grenzdaten

Grenzdaten sind absolute Grenzwerte, bei denen Überschreitung die integrierte Schaltung zerstört werden kann. Die Funktion der integrierten Schaltung ist bei anderen als den unter „Kenndaten“ angegebenen Bedingungen nicht sichergestellt. Ein längerer Betrieb unter den Bedingungen der Grenzdaten kann sich ungünstig auf die Zuverlässigkeit der integrierten Schaltung auswirken.

	Prüfbedingungen	untere Grenze B	typ.	obere Grenze A	Einheit
Eingangsspannung	U_i	- 20		0,3	V
Speisespannung	U_{DD}	- 20		0,3	V
Betriebstemperatur	T_U	- 25		70	°C
Lagertemperatur	T_s	- 55		125	°C
Gesamtverlustleistung	P_{tot}	$T_U = 25\text{ °C}$		800	mW
Verlustleistung je Ausg.	P_Q			0,4	mW

Kenndaten (allgemein) $T_U = - 25$ bis 70 °C

Alle Spannungen bezogen auf $U_{DD} = 0\text{ V}$

Speisespannung	U_{SS}		4,75	5	5,25	V
Speisespannung	$-U_{GG}$		14	12	11	V
Speisestrom	I_{GG}	$U_{GG} = -12\text{ V}$ $U_{SS} = 5\text{ V}$			50	mA
Speisestrom	I_{DD}	$U_{SS} = 5\text{ V}$ $U_{GG} = -12\text{ V}$ $R_a = 12\text{ k}\Omega$			10	mA
Eingangssperrstrom	I_i	$U_i = U_{SS}$ $T_U = 25\text{ °C}$ $- 18\text{ V}$			5	μA
Eingangskapazität gegen U_{SS}	C_i	$U_i = 0\text{ V}$ $f = 1\text{ MHz}$			50	pF

Kenndaten (Eingänge)

Alle Spannungen bezogen auf $U_{DD} = 0\text{ V}$

		Anmerkung	untere Grenze B	typ.	obere Grenze A	Einheit
Eingänge QU, SN, RS						
H-Eingangsspannung	U_{IH}	Impulsdiagramm 1	$U_{SS} - 1,5$		U_{SS}	V
L-Eingangsspannung	U_{IL}		0			V
Stabilisierungszeit	t_{TS}		2			μs
Impulsbreite	t_{TI}		4			μs
Signalübergangszeit	t_{THL}, t_{TLH}			0,005		0,05

Tastenspalteneingänge $S_1 \dots S_{10}$

H-Eingangsspannung	U_{IH}	Impulsdiagramm 1	$U_{SS} - 2,5$		U_{SS}	V
L-Eingangsspannung	U_{IL}		U_{GG}		$U_{SS} - 8$	V
Stabilisierungszeit	t_{TS}		2			μs
Impulsbreite	t_{TI}		4			μs

Kenndaten (Ausgänge)

Ausgänge $A_1 \dots A_{10}$, ME im Push-Pull-Betrieb

H-Ausgangsspannung	U_{OH}	$U_{GG} = -11\text{ V}$ $U_{SS} = 4,75\text{ V}$ Prüfschaltung 1 Impulsdiagramm 2	$U_{SS} - 0,6$		U_{SS}	V
L-Ausgangsspannung	U_{OL}		0		0,5	V
Verzögerungszeit	t_D				5	μs

Ausgänge $A_1 \dots A_{10}$, ME im Tristate Betrieb

Tristate Ausgangsspannung im Sperrzustand	U_{OS}	$U_{GG} = -11\text{ V}$ Impulsdiagramm 3	1,5	30	3,5	V
L-Ausgangsstrom	I_{OL}				0,4	
Verzögerungszeit	t_{DL}		Prüfschaltung 2 $U_{SS} = 5\text{ V}$		5	μs
Verzögerungszeit	t_{DH}					

Tastenzeilenausgang $Z_1 \dots Z_{10}$

H-Ausgangsspannung	U_{OH}	$U_{GG} = -11\text{ V}$ $U_{SS} = 4,75\text{ V}$; Prüfschaltung 3 Impulsdiagramm 4	$U_{SS} - 1$		U_{SS}	V
L-Ausgangsspannung	U_{OL}		U_{GG}		$U_{SS} - 9$	V
Verzögerungszeit	t_{DLH}		5	3,6	μs	
Verzögerungszeit	t_{DHL}					

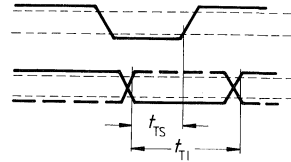
Ausgang SL, Shift-Lock

H-Ausgangsspannung	U_{OH}	$U_{GG} = -11\text{ V}$ $U_{SS} = 5\text{ V}$ Prüfschaltung 4 Impulsdiagramm 5	$U_{SS} - 2$		U_{SS}	V
L-Ausgangsspannung	U_{OL}		U_{GG}		$U_{SS} - 5$	V
Verzögerungszeit	t_D		6	1	μs	
Signalübergangszeit	t_{THL}					
	t_{TLH}					

Impulsdiagramm 1

Bezugssignal:
Takt ϕ_2

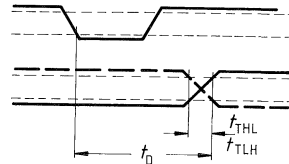
Eingangssignal U_{IH}
 U_{IL}



Impulsdiagramm 2

Bezugssignal:
Takt ϕ_1

Ausgangssignale $A_1 \dots A_{10}$,
ME U_{QH}
 U_{QL}

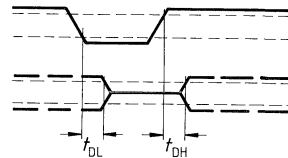


Impulsdiagramm 3

Bezugssignal:
Sperrern SN

RS = H-Signal

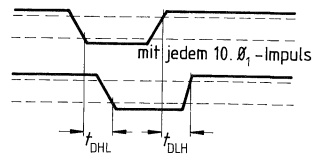
Ausgangssignale $A_1 \dots A_{10}$,
ME U_{QH}
 U_{QL}



Impulsdiagramm 4

Bezugssignal:
Takt ϕ_1

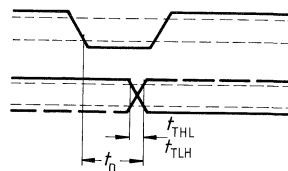
Tastenzeilenausgänge $Z_1 \dots Z_{10}$ U_{QH}
 U_{QL}



Impulsdiagramm 5

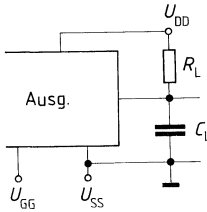
Bezugssignal:
Takt ϕ_1

Ausgangssignale
Shift-Lock U_{QH}
Ausgang SL U_{QL}



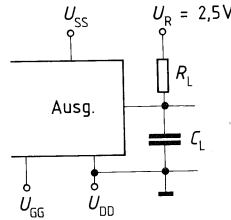
Prüfschaltungen

Prüfschaltung 1:



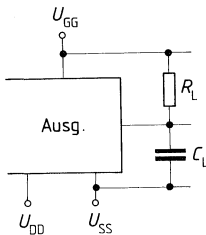
$$R_L = 50 \text{ k}\Omega, C_L = 40 \text{ pF}$$

Prüfschaltung 2:



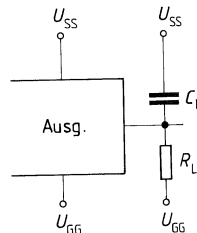
$$R_L = 50 \text{ k}\Omega, C_L = 40 \text{ pF}$$

Prüfschaltung 3:



$$R_L = 30 \text{ k}\Omega, C_L = 170 \text{ pF}$$

Prüfschaltung 4:

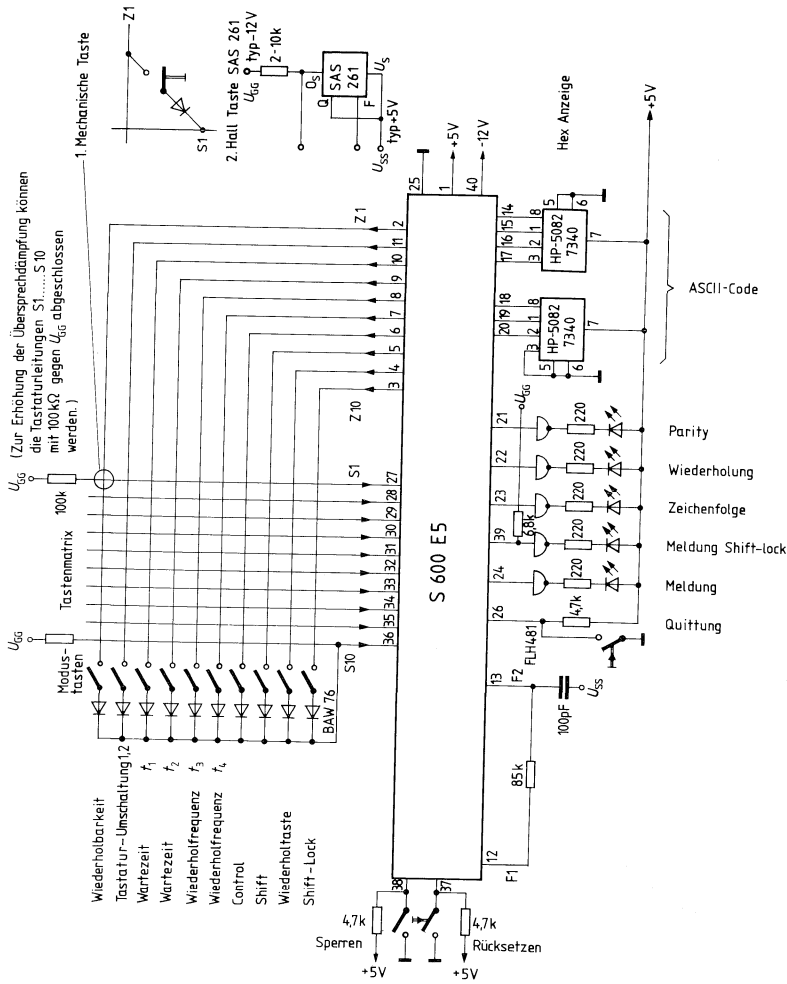


$$R_L = 6,8 \text{ k}\Omega \pm 5\% \\ C_L = 20 \text{ pF} \\ I_{LL} = 1,6 \text{ mA}$$

Prüfschaltung 5:

Zum Testen des internen Taktgenerators wird an F2 (ohne externes RC-Glied) die doppelte Betriebsfrequenz angelegt. Der sich dabei ergebende Φ_1 Takt kann an den, über ein 10-faches UND-Gatter verbundenen Ausgängen $Z_1 \dots Z_{10}$, abgenommen werden.

Testschaltung S 600 E5



S P A L T E Tasta- tur- matrix	Z E I L E	SP Code- Tab. nach CCITT/5	ZE	B I T 8	Kommen- tar	SP Code- Tab. nach CCITT/5	ZE	B I T 8	Kommen- tar	C O N T R O L	B I T 9	B I T 10												
													UNSHIFT					SHIFT						
													Belegung: I					II					III	
													Tastatur 1											
1	1	7	12		FC HEX	7	13		FD HEX		x	x												
1	2	7	9	x	y	5	9	x	Y	EM	x	x												
1	3	7	5	x	u	5	5	x	U	NAK	x	x												
1	4	7	10	x	z	5	10	x	Z	SUB	x	x												
1	5	6	14	x	n	4	14	x	N	SO	x	x												
1	6	7	7	x	w	5	7	x	W	ETB	x	x												
1	7	6	8	x	h	4	8	x	H	BS	x	x												
1	8	6	1	x	a	4	1	x	A	SOH	x	x												
1	9	6	2	x	b	4	2	x	B	STX	x	x												
1	10	7	1	x	q	5	1	x	Q	DC1	x	x												
2	1	6	10	x	j	4	10	x	J	LF	x	x												
2	2	6	3	x	c	4	3	x	C	ETX	x	x												
2	3	7	4	x	t	5	4	x	T	DC4	x	x												
2	4	6	4	x	d	4	4	x	D	EOT	x	x												
2	5	7	6	x	v	5	6	x	V	SYN	x	x												
2	6	6	5	x	e	4	5	x	E	ENQ	x	x												
2	7	6	6	x	f	4	6	x	F	ACK	x	x												
2	8	7	8	x	x	5	8	x	X	CAN	x	x												
2	9	7	2	x	r	5	2	x	R	DC2	x	x												
2	10	7	3	x	s	5	3	x	S	DC3	x	x												
3	1	6	7	x	g	4	7	x	G	BEL	x	x												
3	2	6	12	x	l	4	12	x	L	FF	x	x												
3	3	3	2	x	2	2	2	x	"		x	x												
3	4	6	15	x	o	4	15	x	O	SI	x	x												
3	5	3	4	x	4	2	4	x	\$		x	x												
3	6	6	11	x	k	4	11	x	K	VT	x	x												
3	7	3	5	x	5	2	5	x	%		x	x												
3	8	6	9	x	i	4	9	x	I	HT	x	x												
3	9	7	0	x	p	5	0	x	P	DLE	x	x												
3	10	2	0	x	SPACE	2	0	x	SPACE		x	x												

S P A L T E Tasta- tur- matrix	Z E I L E	SP Code- Tab. nach CCITT/5	ZE	B I T 8	Kommen- tar	SP Code- Tab. nach CCITT/5	ZE	B I T 8	Kommen- tar	C O N T R O L	B I T 9	B I T 10										
													UNSHIFT					SHIFT				
													Belegung: I					II				
Tastatur 1																						
4	1	3	1	x	1	2	1	x	!	CR US	x	x										
4	2	3	7	x	7	2	7	x	'		x	x										
4	3	3	8	x	8	2	8	x	(x	x										
4	4	3	9	x	9	2	9	x)		x	x										
4	5	2	13	x	=	3	13	x	=		x	x										
4	6	6	13	x	m	4	13	x	M		x	x										
4	7	2	12	x	,	3	12	x	<		x	x										
4	8	3	0	x	O	5	15	x	-		x	x										
4	9	3	0	x	O	3	15	x	?		x	x										
4	10	2	14	x	.	3	14	x	>		x	x										
5	1	3	6	x	6	2	6	x	&	x	x											
5	2	2	2		A2 HEX	2	3		A3 HEX	x	x											
5	3	2	4		A4 HEX	2	5		A5 HEX	x	x											
5	4	2	6		A6 HEX	2	7		A7 HEX	x	x											
5	5	2	8		A8 HEX	2	9		A9 HEX	x	x											
5	6	2	10		AA HEX	2	11		AB HEX	x	x											
5	7	2	12		AC HEX	2	13		AD HEX	x	x											
5	8	2	14		AE HEX	2	15		AF HEX	x	x											
5	9	3	0		B0 HEX	3	1		B1 HEX	x	x											
5	10	3	2		B2 HEX	3	3		B3 HEX	x	x											
6	1	2	0		A0 HEX	2	1		A1 HEX	x	x											
6	2	3	6		B6 HEX	3	7		B7 HEX	x	x											
6	3	3	8		B8 HEX	3	9		B9 HEX	x	x											
6	4	3	10		BA HEX	3	11		BB HEX	x	x											
6	5	3	12		BC HEX	3	13		BD HEX	x	x											
6	6	3	14		BE HEX	3	15		BF HEX	x	x											
6	7	6	0		E0 HEX	6	1		E1 HEX	x	x											
6	8	6	2		E2 HEX	6	3		E3 HEX	x	x											
6	9	6	4		E4 HEX	6	5		E5 HEX	x	x											
6	10	6	6		E6 HEX	6	7		E7 HEX	x	x											

S P A L T E Tasta- tur- matrix	Z E I L E	SP Code- Tab. nach CCITT/5	ZE	B I T 8	Kommen- tar	SP Code- Tab. nach CCITT/5	ZE	B I T 8	Kommen- tar	C O N T R O L	B I T 9	B I T 10										
													UNSHIFT					SHIFT				
													Belegung: I					II				
Tastatur 1																						
7	1	3	4		B4 HEX	3	5		B5 HEX		x	x										
7	2	6	10		EA HEX	6	11		EB HEX		x	x										
7	3	6	12		EC HEX	6	13		ED HEX		x	x										
7	4	6	14		EE HEX	6	15		EF HEX		x	x										
7	5	7	0		FO HEX	7	1		F1 HEX			x										
7	6	7	2		F2 HEX	7	3		F3 HEX			x										
7	7	7	4		F4 ESC	7	5		F5 ESC		x											
7	8	7	6		F6 ESC	7	7		F7 ESC		x											
7	9	7	8		F8 ESC	7	9		F9 ESC		x											
7	10	0	10	x	NL CRLF	0	10	x	NL CRLF		x											
8	1	6	8		E8 HEX	6	9		E9 HEX		x	x										
8	2	3	3	x	3	4	0	x	§	NUL	x	x										
8	3	2	15	x	/	6	0	x	'		x	x										
8	4	7	13	x	ü	5	13	x	Ü	GS	x	x										
8	5	2	11	x	+	2	10	x	*		x	x										
8	6	7	12	x	ö	5	12	x	Ö	FS	x	x										
8	7	7	11	x	ä	5	11	x	Ä	ESC.	x	x										
8	8	2	3	x	#	5	14	x	^	RS	x	x										
8	9	3	11	x	;	3	10	x	:		x	x										
8	10	7	14	x	-	5	15	x	-	US		x										
9	1	7	10		FA HEX	7	11		FB HEX		x	x										
9	2	3	3	x	3	2	3	x	#		x	x										
9	3	5	14	x	^	7	14	x	-	RS	x	x										
9	4	4	0	x	@	6	0	x	\	NUL	x	x										
9	5	5	11	x	[7	11	x	{	ESC	x	x										
9	3	3	11	x	;	2	11	x	+		x	x										
9	7	3	10	x	:	2	10	x	*		x	x										
9	8	5	13	x]	7	13	x	}	GS	x	x										
9	9	5	12	x	\	7	12	x		FS	x	x										
9	10	2	15	x	/	3	15	x	?		x	x										

S P A L T E Tasta- tur- matrix	Z E I L E	SP Code- Tab. nach CCITT/5	ZE	B I T 8	Kommen- tar	SP Code- Tab. nach CCITT/5	ZE	B I T 8	Kommen- tar	C O N T R O L	B I T 9	B I T 10										
													UNSHIFT					Shift				
													Belegung: I					II				
Tastatur 2																						
0	1	5	0		DO HEX	5	1		D1 HEX			x										
1	2	7	9	x	y	5	9	x	Y	EM		x										
1	3	7	5	x	u	5	5	x	U	NAK		x										
1	4	7	10	x	z	5	10	x	Z	SUB		x										
1	5	6	14	x	n	4	14	x	N	SO		x										
1	6	7	7	x	w	5	7	x	W	ETB		x										
1	7	6	8	x	h	4	8	x	H	BS		x										
1	8	6	1	x	a	4	1	x	A	SOH		x										
1	9	6	2	x	b	4	2	x	B	STX		x										
1	10	7	1	x	q	5	1	x	Q	DC1		x										
1	1	6	10	x	j	4	10	x	J	LF		x										
2	2	6	3	x	c	4	3	x	C	ETX		x										
2	3	7	4	x	t	5	4	x	T	DC4		x										
2	4	6	4	x	d	4	4	x	D	EOT		x										
2	5	7	6	x	v	5	6	x	V	SYN		x										
2	6	6	5	x	e	4	5	x	E	ENQ		x										
2	7	6	6	x	f	4	6	x	F	ACK		x										
2	8	7	8	x	x	5	8	x	X	CAN		x										
2	9	7	2	x	r	5	2	x	R	DC2		x										
2	10	7	3	x	s	5	3	x	S	DC3		x										
2	1	6	7	x	g	4	7	x	G	BEL		x										
3	2	6	12	x	l	4	12	x	L	FF		x										
3	3	3	2	x	2	2	2	x	"			x										
3	4	6	15	x	o	4	15	x	O	SI		x										
3	5	3	4	x	4	2	4	x	S			x										
3	6	6	11	x	k	4	11	x	K	VT		x										
3	7	3	5	x	5	2	5	x	%			x										
3	8	6	9	x	i	4	9	x	I	HT		x										
3	9	7	0	x	p	5	0	x	P	DLE		x										
3	10	2	0	x	SPACE	2	0	x	SPACE			x										

S P A L T E Tasta- tur- matrix	Z E I L E	SP Code- Tab. nach CCITT/5	ZE	B I T 8	Kommen- tar	SP Code- Tab. nach CCITT/5	ZE	B I T 8	Kommen- tar	C O N T R O L	B I T 9	B I T 10						
													UNSHIFT			SHIFT		
													Belegung: I			II		
Tastatur 2																		
3	1	3	1	x	1	2	1	x	!	CR		x						
4	2	3	7	x	7	2	15	x	/			x						
4	3	3	8	x	8	2	8	x	(x						
4	4	3	9	x	9	2	9	x)			x						
4	5	7	14	x	ß	3	15	x	?			x						
4	6	6	13	x	m	4	13	x	M			x						
4	7	2	12	x	,	3	11	x	;			x						
4	8	5	2		D2 HEX	5	3		D3 HEX		x	x						
4	9	3	0	x	0	3	13	x	=			x						
4	10	2	14	x	.	3	10	x	:			x						
4	1	3	6	x	6	2	6	x	&		x							
5	2	2	2		A2 HEX	2	3		A3 HEX									
5	3	2	4		A4 HEX	2	5		A5 HEX									
5	4	2	6		A6 HEX	2	7		A7 HEX									
5	5	2	8		A8 HEX	2	9		A9 HEX									
5	6	2	10		AA HEX	2	11		AB HEX									
5	7	2	12		AC HEX	2	13		AD HEX									
5	8	2	14		AE HEX	2	15		AF HEX									
5	9	3	0		B0 HEX	3	1		B1 HEX									
5	10	3	2		B2 HEX	3	3		B3 HEX									
5	1	2	0		A0 HEX	2	1		A1 HEX	x	x							
6	2	3	6		B6 HEX	3	7		B7 HEX	x								
6	3	3	8		B8 HEX	3	9		B9 HEX	x								
6	4	3	10		BA HEX	3	11		BB HEX	x								
6	5	3	12		BC HEX	3	13		BD HEX	x								
6	6	3	14		BE HEX	3	15		BF HEX	x								
6	7	6	0		E0 HEX	6	1		E1 HEX	x								
6	8	6	2		E2 HEX	6	3		E3 HEX	x								
6	9	6	4		E4 HEX	6	5		E5 HEX	x								
6	10	6	6		E6 HEX	6	7		E7 HEX	x								

S P A L T E Tasta- tur- matrix	Z E L L E	SP Code- Tab. nach CCITT/5	ZE	B I T 8	Kommen- tar	SP Code- Tab. nach CCITT/5	ZE	B I T 8	Kommen- tar	C O N T R O L	B I T 9	B I T 10										
													UNSHIFT					SHIFT				
													Belegung: I					II				
Tastatur 2																						
6	1	3	4		B4 HEX	3	5		B5 HEX		x											
7	2	6	10		EA HEX	6	11		EB HEX		x											
7	3	6	12		EC HEX	6	13		ED HEX		x											
7	4	6	14		EE HEX	6	15		EF HEX		x											
7	5	7	0		FO HEX	7	1		F1 HEX		x											
7	6	7	2		F2 HEX	7	3		F3 HEX		x											
7	7	7	4		F4 HEX	7	5		F5 HEX		x											
7	8	7	6		F6 HEX	7	7		F7 HEX		x											
7	9	7	8		F8 HEX	7	9		F9 HEX		x											
7	10	7	10		FA HEX	7	11		FB HEX			x										
7	1	6	8		E8 HEX	6	9		E9 HEX		x											
8	2	3	3	x	3	4	0	x	§	NUL		x										
8	3	2	7	x	'	6	0	x	'			x										
8	4	7	13	x	ü	5	13	x	Ü	GS		x										
8	5	2	11	x	+	2	10	x	*			x										
8	6	7	12	x	ö	5	12	x	Ö	FS		x										
8	7	7	11	x	ä	5	11	x	Ä	ESC		x										
8	8	2	3	x	#	5	14	x	^	RS		x										
8	9	3	12	x	<	3	14	x	>			x										
8	10	2	13	x	-	5	15	x	-	US		x										
8	1	7	12		FC HEX	7	13		FD HEX			x										
9	2	7	14		FE HEX	7	15		FF HEX			x										
9	3	4	0		C0 HEX	4	1		C1 HEX			x										
9	4	4	2		C2 HEX	4	3		C3 HEX			x										
9	5	4	4		C4 HEX	4	5		C5 HEX			x										
9	6	4	6		C6 HEX	4	7		C7 HEX			x										
9	7	4	8		C8 HEX	4	9		C9 HEX			x										
9	8	4	10		CA HEX	4	11		CB HEX			x										
9	9	4	12		CC HEX	4	13		CD HEX			x										
9	10	4	14		CE HEX	4	15		CF HEX			x										

Bit 8 entspricht L-Signal
 Bit 9 ist x: Keine Wiederholung
 Bit 10 ist x: Keine Zeichenfolge

7-Bit-Code nach JSO/CCITT Nr. 5

Bits								Spalte							
b_7	b_6	b_5	b_4	b_3	b_2	b_1	Zeile	0	1	2	3	4	5	6	7
0	0	0	0	0	0	0	0	NUL	(TC 7) DLE	SP	0	@(\$)	P	'	p
0	0	0	0	1	0	0	1	(TC 1) SOH	DC 1	!	1	A	Q	a	q
0	0	1	0	0	0	0	2	(TC 2) STX	DC 2	"	2	B	R	b	r
0	0	1	1	0	0	0	3	(TC 3) ETX	DC 3	#(£)*	3	C	S	c	s
0	1	0	0	0	0	0	4	(TC 4) EOT	DC 4	\$	4	D	T	d	t
0	1	0	1	0	0	0	5	(TC 5) ENQ	(TC 8) NAK	%	5	E	U	e	u
0	1	1	0	0	0	0	6	(TC 6) ACK	(TC 9) SYN	&*	6	F	V	f	v
0	1	1	1	0	0	0	7	BEL	(TC10) ETB	.	7	G	W	g	w
1	0	0	0	0	0	0	8	FE 0 (BS)	CAN	(8	H	X	h	x
1	0	0	1	0	0	0	9	FE 1 (HT)	EM)	9	I	Y	i	y
1	0	1	0	0	0	0	10	FE 2 (LF)	SUB	.	:	J	Z	j	z
1	0	1	1	0	0	0	11	FE 3 (VT)	ESC	+	;	K	[(Ä)*	k	{(ä)*
1	1	0	0	0	0	0	12	FE 4 (FF)	IS 4 (FS)	,	<	L	[(Ö)*	l	[(ö)*
1	1	0	1	0	0	0	13	FE 5 (CR)	IS 3 (GS)	-	=	M	[(Ü)*	m	[(ü)*
1	1	1	0	0	0	0	14	SO	IS 2 (RS)	.	>	N	^*	n	[(ß)*
1	1	1	1	0	0	0	15	SI	IS 1 (US)	/	?	O	-	o	DEL

* landesübliche Zeichen, hier Belegung nach DIN 66003

Bedeutung der Abkürzungen der Geräte- und Übertragungssteuerzeichen

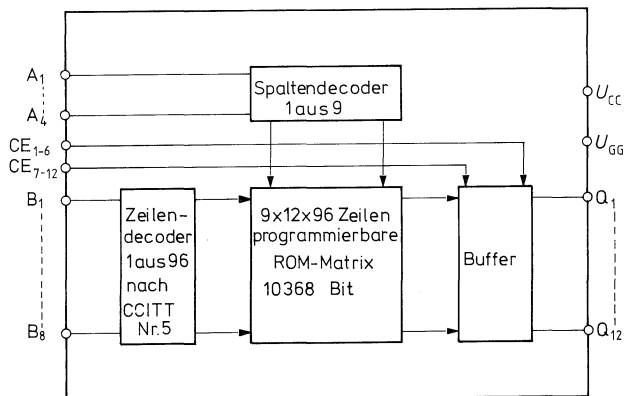
Kurzzeichen	Platz Spalte/Zeile	Deutsche Benennung (nach DIN 66003)	Internationale Benennung
ACK	0/6	Positive Rückmeldung	Acknowledge
BEL	0/7	Klingel	Bell
BS	0/8	Rückwärtsschritt	Backspace
CAN	1/8	Ungültig	Cancel
CR	0/13	Wagenrücklauf	Carriage Return
DC 1 .. 4	1/1 .. 1/4	Gerätesteuerung	Device Control
DEL	7/15	Löschen	Delete
DLE	1/0	Datenübertragungs-umschaltung	Data Link Escape
EM	1/9	Ende der Aufzeichnung	End of Medium
ENQ	0/5	Stationsaufforderung	Enquiry
EOT	0/4	Ende der Übertragung	End of Transmission
ESC	1/11	Umschaltung	Escape
ETB	1/7	Ende d. Datenübertragungs-blocks	End of Transmission Block
ETX	0/3	Ende des Textes	End of Text
FE	0/8 .. 0/13	Formatsteuerung	Format Effector
FF	0/12	Formularvorschub	Form Feed
FS	1/12	Hauptgruppen-Trennung	File Separator
GS	1/13	Gruppen-Trennung	Group Separator
HT	0/9	Horizontal-Tabulator	Horizontal Tabulation
IS	1/12 .. 1/15	Informationstrennung	Information Separator
LF	0/10	Zeilenvorschub	Line Feed
NAK	1/5	Negative Rückmeldung	Negative Acknowledge
NUL	0/0	Null	Nil
RS	1/14	Untergruppen-Trennung	Record Separator
SI	0/15	Rückschaltung	Shift-in
SO	0/14	Dauerumschaltung	Shift-out
SOH	0/1	Anfang der Kopfes	Start of Heading
SP	2/0	Zwischenraum	Space
STX	0/2	Anfang des Textes	Start of Text
SUB	1/10	Substitution	Substitute Character
SYN	1/6	Synchronisierung	Synchronous Jdle
TC	0/1 u. weitere	Übertragungssteuerung	Transmission Control
US	1/15	Teilgruppen-Trennung	Unit Separator
VT	0/11	Vertikal-Tabulator	Vertical Tabulation

Vorläufige Daten

Typ	Bestellnummer	Gehäuse-Bauform
S 607	Q67100-Z 108	Bild Nr. 4

Technische Merkmale

- p-MOS-Technik mit Ionenimplantation
- Versorgung + 5, - 12,0 V
- Statische Eingänge TTL-kompatibel
- Tristate-Ausgänge
- Max. Ausgangstrombelastung 1,6 mA, typ. 0,4 mA
- Zugriffszeit ca. 10 μ s
- Verlustleistung max. 700 mW
- Betriebstemperatur: 0 bis 70 °C
- Maskenprogrammierbar



Vorläufige Daten

Typ	Bestellnummer	Gehäuse-Bauform
SM 61 A	Q67100–Z134	Bild Nr. 3
S 291	Q67000–A1388	Bild Nr. 2

Der PCM-2-Kanal-Codec besteht aus 2 integrierten Schaltungen, SM 61 A in NMOS und S 291 in Bipolartechnik. Die günstigen Eigenschaften beider Technologien ermöglichen ein PCM-System mit nur wenigen zusätzlichen passiven Bauelementen.

Eigenschaften

- A-Kompandierung nach CCITT G. 711
- PCM-Schnittstelle 2,048 MHz seriell für 1 PCM 30/32-System
- Alle Digital-Schnittstellen TTL-kompatibel
- Die PCM-Anschaltung erfolgt unmittelbar durch externe Kanalpuls-Ansteuerung
- Freizügige Wahl der Codec-Kanallage in Relation zur PCM-Anschaltung (Multiplexsystem)
- Einstufige Codec-Anordnung ist direkt vermittlungsfähig
- Lesen und Schreiben der PCM-Information jeweils wahlfrei und unabhängig voneinander
- Codec für 1 oder 2 Analogkanäle bei 8 kHz-Abtastung oder 1 Analogkanal mit 16 kHz-Abtastung

Anwendungen

- Übertragungstechnik
 - Vermittlungstechnik
- Multiplex-Endgeräte
 - Digitale Teilnehmer-Schaltung
 - Einstufiger Konzentrador (32 Durchschalte-Kanäle)
 - Einstufiges Koppelfeld für Privat- und Nebenstellensysteme (32 Durchschalte-Kanäle)

Kurzbeschreibung

Der PCM-2-Kanal-Codec stellt eine Anordnung dar für den Vollduplex-Betrieb von zwei unabhängigen 4-Draht-Fernsprechkreisen (Bandbreite < 4 kHz, Abtastung 8 kHz). Als externe Komponenten werden die Sende- und Empfangsfilter, ein Halte-Kondensator und ein Offset- und Kompensations-Netzwerk benötigt.

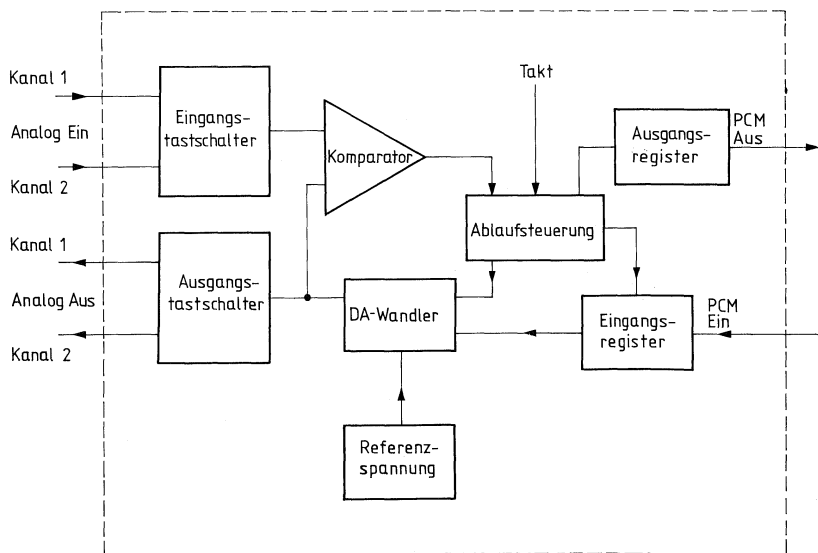
Die PCM-Information kann in beiden Richtungen durch externe Pulsansteuerung wahlfrei und jeweils unabhängig vom PCM-Wandler für jeden Analogkreis seriell auf ein PCM 2,048 MHz-Multiplexsystem geschaltet werden. Dies wird ermöglicht durch eine Speicheranordnung zwischen dem PCM-System und dem PCM-Wandler.

Der Codec ist ohne Änderung als Einkanal-Wandler für den Vollduplex-Betrieb mit 16 kHz Abtastung zu verwenden.

Die Pegeljustierung für die Sende- und Empfangsrichtung ist außerhalb des Codecs an den Filtern vorzunehmen; die Codec-Aussteuergrenze ist am Kompensations-Netzwerk einstellbar.

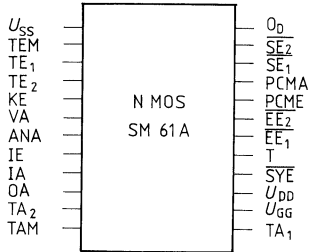
Das Bipolar-Chip enthält für die D/A-Wandlung eine von außen umpolbare Referenzstromquelle und einen Strom-Spannungs-Wandler sowie einen Komparator und 2 Operationsverstärker zur flexiblen Analog-Eingangsanpassung. Das NMOS-Chip enthält alle übrigen notwendigen Komponenten eines PCM-Codecs wie Codier- und Dekodierablaufsteuerung, PCM-Register mit D/A-Wandler, Offset-Steuerausgang sowie die Zwischenspeicheranordnung zur variablen PCM-Ein- und Ausgabe und die Eingangs- und Ausgangs-Tastschalter der Analogseite.

Blockschaltbild

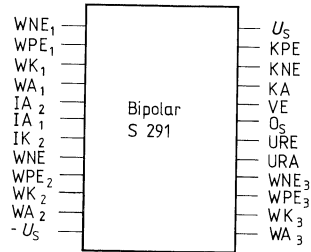


Anschlußanordnungen

NMOS SM 61 A



Bipolar S 291



Anschlußdefinitionen SM 61 A

Symbol	Funktion	Beschreibung
1. Versorgung		
U_{GG}	+ 12 V ± 5 %	} bezogen auf Erde digit. Leistungsverbrauch 150 mW
U_{DD}	+ 5 V ± 5 %	
U_{SS}	- 5 V ± 5 %	
O_D	Erde, digital	Impuls/Pause-Verhältnis 1 : 1
T	2,048 MHz-Takt	
2. Analog-Schnittstelle		
TE ₁ TEM TE ₂	} 2 Eingangs-Tastenschalter einseitig verb.	Analogkanal 1 Mittelpunkt Analogkanal 2
O _A		Erde, analog
TA ₁ TAM TA ₂	} 2 Ausgangs-Tastenschalter einseitig verb.	Analogkanal 1 Mittelpunkt Analogkanal 2
3. PCM-Schnittstelle		
PCMA	PCM-Ausgang	PCM-Information im nini Code (gradzahlige Bits invertiert), seriell mit 2,048 MHz. Bit-Reihenfolge mit fallender Wertigkeit. Kanallage festgelegt durch Sendesteuerpuls SE1 + SE2 (sonst Tristate).

Anschlußdefinitionen SM 61 A

Symbol	Funktion	Beschreibung
PCME	PCM-Eingang	PCM-Information im nini Code seriell mit 2,048 MHz, Kanallage festgelegt durch Empfangssteuerpuls $EE_1 + EE_2$.

4. Äußere Steuerpulse

Dauer aller Steuerpulse entsprechend der Kanalteilung des Multiplexsystems (8 Bit). Beginn mit positiver Taktflanke. Aktiver Zustand bei Erdpotential.

SYE	Synchronisierpuls für PCM-Wandler	Start und Synchronisierung der PCM-Wandlersteuerung. PCM-Transfer in beiden Richtungen zwischen PCM-Wandlerregister und Zwischenregister.
$\overline{EE_1}$ $\overline{EE_2}$	} Empfangspuls für Analogkreis 1 bzw. 2	Steuerpuls für das Lesen der PCM-Information von dem Multiplexsystem in das entsprechende PCM-Zwischenregister für Analogkreis 1 oder 2, Pulsdauer 8 Taktimpulse (entspricht der Zeitlage).
$\overline{SE_1}$ $\overline{SE_2}$	} Sendepuls für Analogkreis 1 bzw. 2	Steuerpuls für das Schreiben der PCM-Information auf das Multiplexsystem von dem zugehörigen PCM-Zwischenregister des Analogkreises 1 oder 2, Pulsdauer 8 Taktimpulse (entspricht der Zeitlage).

Anschlußdefinitionen S 291

Symbol	Funktion	Beschreibung
1. Speisespannungen		
U_s	+ 5 V \pm 5 %	Leistungsaufnahme 50 mW
O_s	Erde	
$-U_s$	- 5 V \pm 5 %	
2. Referenzstromgeber		
URA	Ausgang Referenzspannung	URA = 1,25 V temperaturkompensiert
URE	Eingang Referenzstromgeber	Ein Widerstand zwischen URA und URE legt den Referenzstrom fest
IA ₁ IA ₂	} Ausgang Referenzstromgeber	IA ₁ = - IA ₂
IK	Kompensation Referenzstromgeber	
VE	Eingang Vorzeichen (TTL kompatibel)	H-Pegel: IA ₁ > 0 L-Pegel: IA ₁ < 0

Anschlußdefinitionen S 291

Symbol	Funktion	Beschreibung
--------	----------	--------------

3. Komparator

KNE	invertierender Eingang	
KPE	nicht invertierender Eingang	
KA	Ausgang	

4. Operationsverstärker

WNE ₁	}	invertierende Eingänge der OP 1, 2, 3
WNE ₂		
WNE ₃		
WPE ₁	}	nicht invertierende Eingänge der OP 1, 2, 3
WPE ₂		
WPE ₃		
WA ₁	}	Ausgänge der OP 1, 2, 3
WA ₂		
WA ₃		
WK ₁	}	Kompensation der OP 1, 2, 3
WK ₂		
WK ₃		

Anschlußdefinitionen MOS/Bipolar

1. Signale

KE	Komparator	Eingang der Komparatoraussage
VA	Vorzeichen	Polarität geschaltet
ANA	automatischer Nullabgleich	kompensiert den Offset des Komparators
IE	Referenzstrom	} Polarität geschaltet durch VA
IA	Gewichtsstrom D/A	

Grenzdaten

NMOS-Baustein SM 61A

Speisespannung (bez. auf U_{SS})		± 20	V
Funktionsbereich		$U_{Nenn} \pm 10\%$	V
Umgebungstemperatur	T_U	- 25 bis 75	°C
Lagertemperatur	T_s	- 65 bis 150	°C
Gesamtverlustleistung	P_{tot}	300	mW

Bipolar-Baustein S 291

Speisespannung	U_S	± 10	V
Ausgangsstrom	I_{WA}	± 30	mA
Eingangsdifferenzspannung	U_{WDE}	± 8	V
Eingangsspannung für OP's und Komparator für Vorzeichen		± 10	V
		$\pm 0,4$ bis ± 10	V
Funktionsbereich		± 4 bis ± 10	V
Umgebungstemperatur im Betrieb	T_U	- 25 bis 75	°C
Sperrschichttemperatur	T_j	125	°C
Wärmewiderstand	$R_{th\ SU}$	120	K/W
Gesamtverlustleistung	P_{tot}	600	mW
Lagertemperatur	T_s	- 65 bis 150	°C

Elektrische Kenndaten ($U_{SS} = -U_S = -5\text{ V}$, $U_{DD} = +U_S = +5\text{ V}$,
 $U_{GG} = +12\text{ V}$, $T_U = 25\text{ °C}$)

NMOS-Baustein SM 61A

Analogwertbereich	$\pm 2,5$	max.	V
Eingangspegel	TTL-kompatibel		
Ausgangspegel	1 TTL-Last	200	
Ein- und Ausgangskapazität	10	max	pF
kleinster Stufenabstand	1,2		mV
Autozero	0,4	max.	mV
Ausgangsverzögerungszeit	100		ns
Eingangs-Haltezeit	100		ns
Zeitdifferenz zwischen T und SYE	± 50		ns
Widerstand der Sampling Schalter	200 Ω ; 20 M Ω		
Nebensprechdämpfung	80		dB

Bipolar-Baustein S 291

		min	typ.	max	Einheit
Referenzstromgeber					
Referenzspannung	U_{RA}	1,2	1,25	1,3	V
TK der U_{RA}	α_{RA}			300	
Eingangsoffsetspannung	U_{ZE}			± 5	mV
Impedanz der Referenzstromausgänge	$R_{IA 1}$		10		M Ω
	$R_{IA 2}$		10		M Ω
Zeichen					
Eingangsstrom ($U_{VE} = 0$)	$-I_{VE}$		3	10	μA
H-Eingangsspannung	U_{VEH}	2			V
L-Eingangsspannung	U_{VEL}			0,8	V

Elektrische Kenndaten (Fortsetzung)

Komparator

	min	typ.	max	Einheit
Eingangsstrom		10	50	nA
Eingangsnullspannung			± 5	mV
H-Ausgangsstrom	200			μ A
L-Ausgangsstrom			10	mA
H-Ausgangsspannung	4			V
L-Ausgangsspannung			-4	V
Hysterese		0,25	0,4	mV
Spannungsverstärkung		100		dB
Laufzeit		0,8		μ s
Eingangsgleichtaktbereich	± 3			V

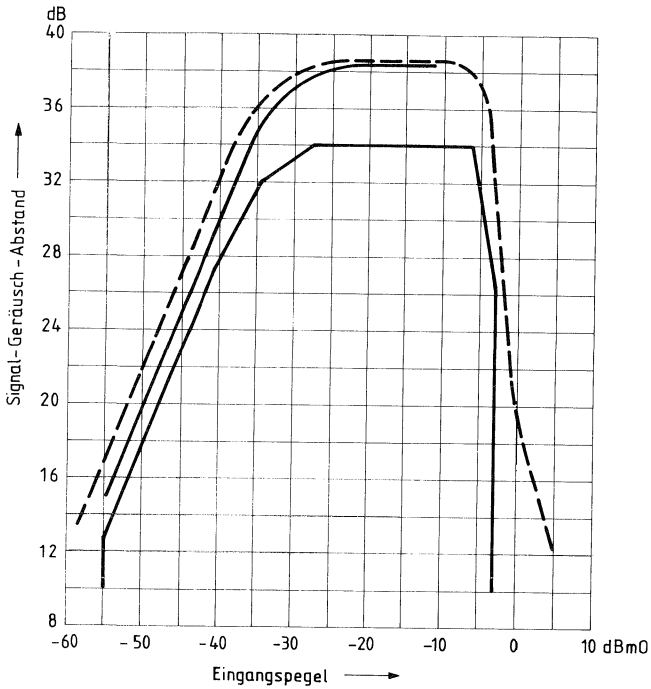
Operationsverstärker

Eingangsnullspannung			± 5	mV
Eingangsstrom		10	30	nA
Eingangsnullstrom			10	nA
Aussteuerbereich ($R_L = 150 \Omega$)	-2,5		2,5	V
Eingangsgleichtaktbereich	-2,5		2,5	V
Spannungsverstärkung		75		dB
Einschwingverhalten der Ausgangsspannung (1% Fehler, Inverter mit $V_U = 0$ dB)				μ s
Spannungsänderung $U_E = 20$ mV)		0,5		μ s
Anstiegsflanke		2		V/ μ s

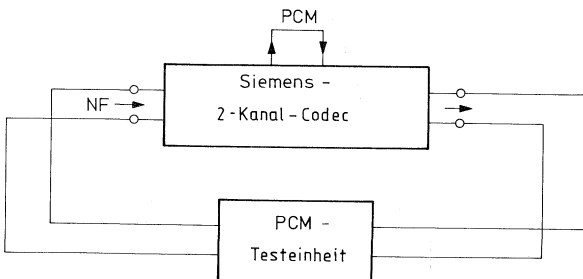
Codec SM 61 A/S 291-System

Signal-Geräusch-Abstand	S/N	2 dB über Toleranzfeld nach Bild 1 in Grenzen des Toleranzschemas	dB
Pegelabhängigkeit der Restdämpfung		in Grenzen des Toleranzschemas	dB
Frequenzabhängigkeit der Restdämpfung			dB
Ruhegeräusch		> -65	dB m0
Übersprechen			
In-Kanal		> -65	dB m0
Zwischen-Kanal		2,048	MHz
Taktfrequenz		250	mW
Leistungsverbrauch	P_{tot}		

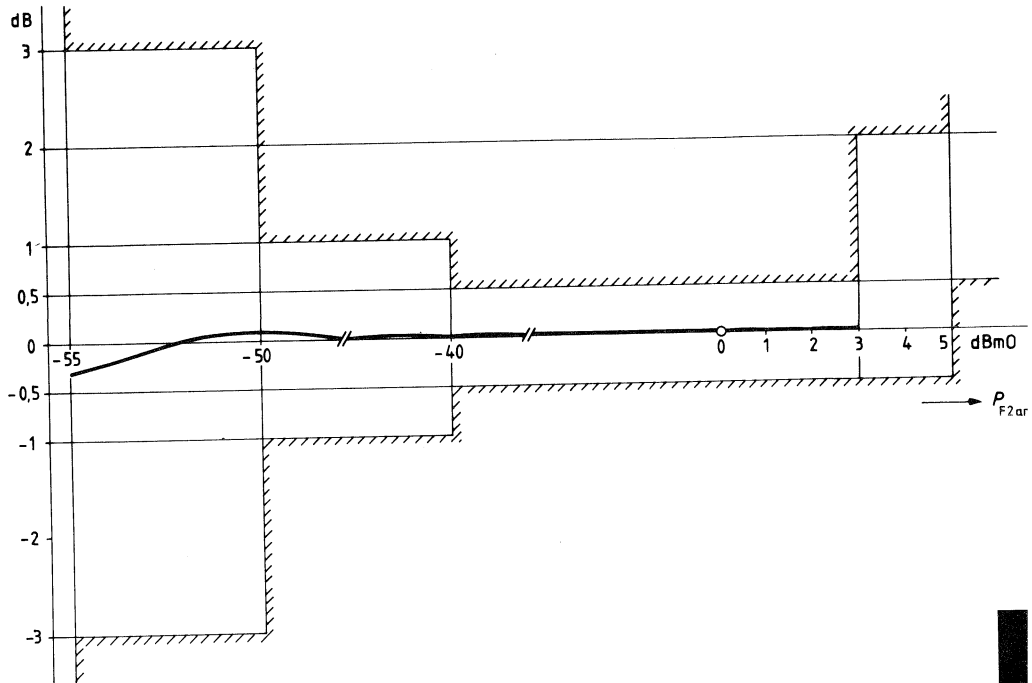
Signal-Geräuschabstand nach CCITT



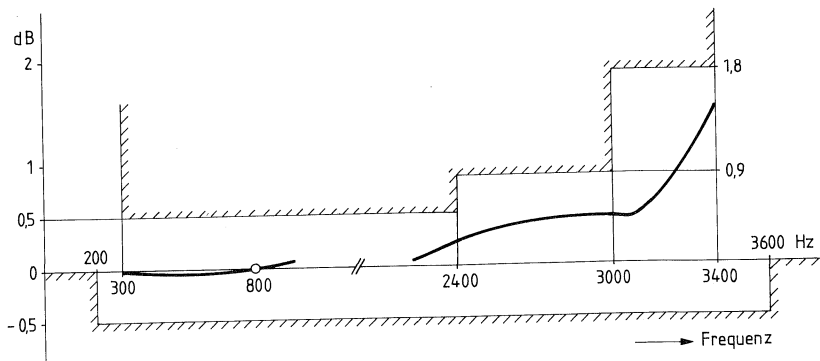
- theoretischer Wert
- Meßkurve
- empfohlenes S/D-Toleranzschema (CCITT)



Pegelabhängigkeit der Restdämpfung



Frequenzgang der Dämpfung

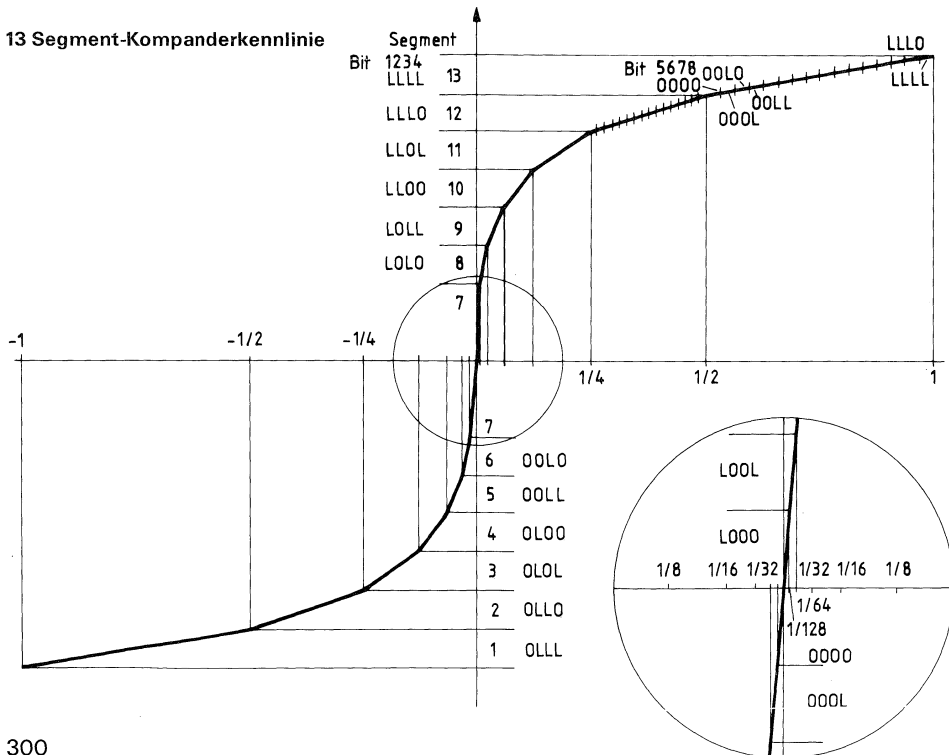


Funktionsbeschreibung

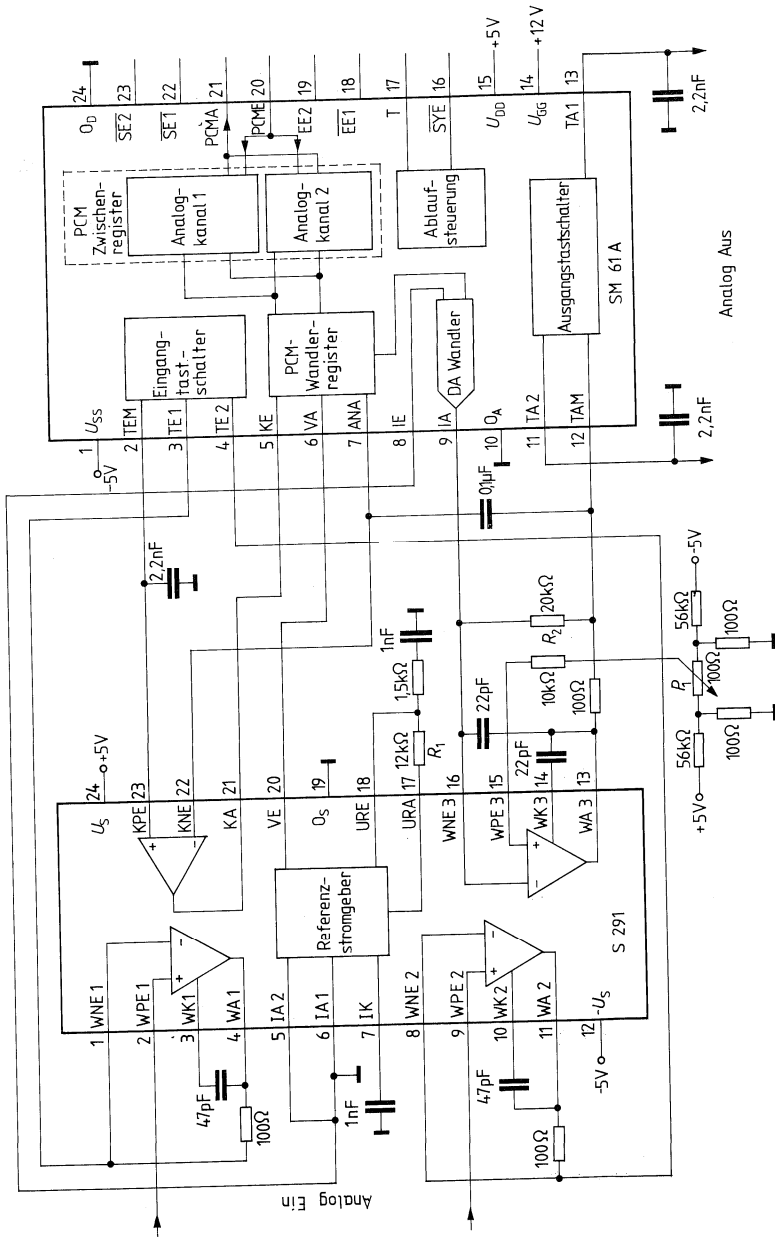
Allgemeines

Bei Pulsmodemodulation-Übertragungssystemen wird das niederfrequente bandbegrenzte Sprachsignalgemisch mit 8 kHz abgetastet und in einen 8-Bit-PCM-Code, entsprechend 256 Quantisierungsschritten, umgewandelt. In der Taktperiode von $1/8 \text{ kHz} = 125 \mu\text{s}$ müssen somit beim SIEMENS-Codec die Codierung und Decodierung von 2 Kanälen abgewickelt werden. Das von CCITT festgelegte Zeitmultiplexsystem PCM 30/32 mit einer Bitrate von 2,048 MBit/s erlaubt damit die zeitliche Verschachtelung von 30 Fernsprech- und 2 Signalisierungskanälen.

Von CCITT (G. 711) wurde für die Analogwert-PCM-Code-Zuordnung eine 13-Segment-Kompanderkennlinie festgelegt (A-Kompandierung), nach der auch der SIEMENS-2-Kanal-Codec arbeitet. Hierbei wird das erste Bit durch das Vorzeichen des Signals bestimmt. Das zweite bis vierte Bit zeigt an, in welchem der acht Kennlinienabschnitte das Signal liegt. Die letzteren vier Bits (Bit 5 . . . Bit 8) definieren letztlich eines der 16 Intervalle des jeweiligen Kennlinienabschnittes, welches die größtmögliche Näherung an den Abtastwert darstellt. Da die vier Abschnitte, die um den Nullpunkt liegen, gleiche Steigerung und damit gleiche Auflösung aufweisen (Segment 7), ergeben sich für die gesamte Kennlinie 13 Segmente, deren Steigerungen sich wie 2 : 1 verhalten und daher für kleine Signal-Amplituden eine entsprechend feinere Auflösung als für große geben.



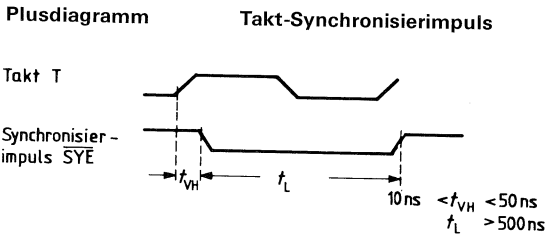
Äußere Beschaltung SM 61 A und S 291



Mit dem Potentiometer P_1 muß die Offsetspannung des Strom-Spannungswandlers abgeglichen werden.

Die Widerstände R_1 und R_2 bestimmen den maximalen Ausgangspegel $U_0 = R_2/R_1 \cdot U_{RA}$ ($U_{RA} = 1,25 \text{ V}$), U_{RA} kann mit R_1 bzw. R_2 eingestellt werden.

Die Operationsverstärker WA1 und WA2 sind freizügig verwendbar, sie können z. B. auch als Spannungsfolger im Anschluß an die Ausgangshaltekondensatoren (TA1, TA 2) eingesetzt werden.



Die Sendepulse \overline{SE}_1 , \overline{SE}_2 und die Empfangspulse \overline{EE}_1 , \overline{EE}_2 sind den 32 Zeitlagen beliebig zuzuordnen.

Im Kurzwegbetrieb ($\overline{SE}_1 = \overline{SE}_2 = L$) erzeugt der Codec intern die Sende- und Empfangspulse. Er ordnet die Zeitlage 0 dem Kanal 1 und die Zeitlage 16 dem Kanal 2 zu.

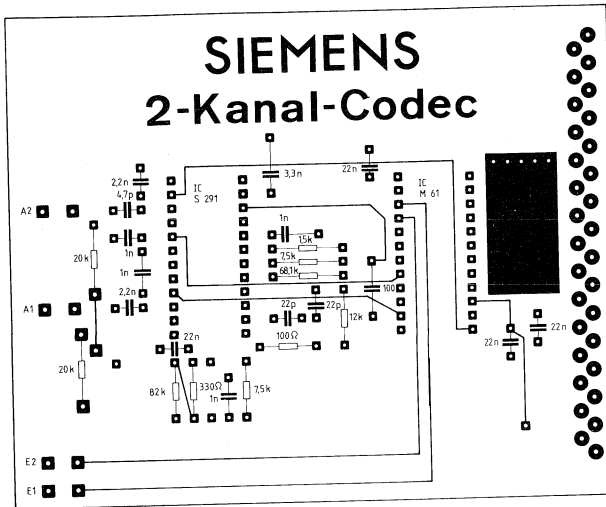
Steckerbelegung des Evaluationboards

1	} 0 V Analog	11	frei	21	+ 12 V	U_{GG}
2		12	\overline{SE}_2	22	frei	
3		13	\overline{SE}_1	23	frei	
4		14	PCM A	24	frei	
5	+ 5 V U_{DD}	15	PCM E	25	frei	U_{SS}
6	- 5 V U_{SS}	16	\overline{EE}_2	26	frei	
7	} 0 V Digital	17	\overline{EE}_1	27	- 5 V	
8		18	Takt T 2,048 MHz	28	frei	
9		19	SYE	29	+ 5 V	U_{DD}
10	20	frei	30	frei		
				31	frei	

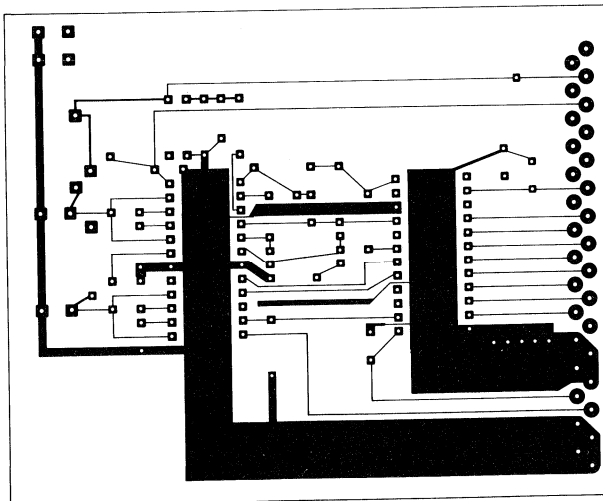
Anschlüsse 5 und 29 (+ 5 V)
6 und 27 (- 5 V) auf der Federleiste verbinden

0 V Analog und 0 V Digital niederohmig auf der Federleiste verbinden und an 0 V der Stromversorgung anschließen.

Platinensystem für 2-Kanal-Codec



Vorderseite der Platine



Rückseite der Platine

Decodierung:

Das vom PCM 30/32-System über den Eingang PCME des SM 61 A übernommene 8-Bit-Wort wird digital auf 13 Bit Wortlänge expandiert und auf den D/A-Wandler gegeben. Der Summengewichtsstrom an IA wird dem Strom-Spannungswandler des bipolaren Bausteins zugeführt, dessen Ausgangsspannung an TAM, dem Eingang des Sample- and Hold-Teils, anliegt. Die resultierende Analogspannung des jeweiligen Kanals wird an den Kondensatoren von 2,2 nF an TA₁ bzw. TA₂ gehalten und über die beiden OP's im S 291 und die externen Tiefpässe den analogen Ausgangskanälen zugeordnet.

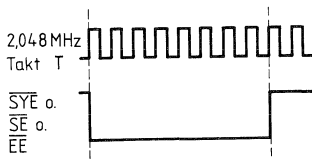
Codierung:

Die analogen NF-Signale der beiden Kanäle 1 und 2 werden in den Eingangs-TP-Filtern bandbegrenzt und abwechselnd über die Eingangstastschalter dem positiven Eingang des Komparators zugeführt (siehe Zeitlicher Ablauf). Der gemeinsame Haltekondensator 3,3 nF der beiden Kanäle liegt am TEM-Anschluß der Tastschalter. Zur Vorzeichenfeststellung des Abtastwertes wird im Wandlerregister das PCM-Wort 00000000 erzeugt und als Analogwert Null ausgegeben. Damit ist der Gewichtsstrom $I_A = 0$, und über den Strom-Spannungswandler die Spannung am negativen Eingang ebenfalls. Der Komparator trifft somit eine Vorzeichenaussage und über VA (Vorzeichenausgang SM 61 A); nach VE (Vorzeicheneingang S 291) wird die Richtung des Referenzstromes aus IA₂ (S 291) nach IE (SM 61 A) geschaltet. Nun wird das nächste Bit = 1 ersetzt, das neue 8-Bit-Wort umgesetzt auf 12 Bit, der entsprechende Gewichtsstrom auf den Strom-Spannungswandler geleitet und die dem Gewichtsstrom proportionale Spannung im Komparator mit dem Abtastwert verglichen. Die Komparatöraussage entscheidet über Beibehaltung (wenn $U_{\text{Abtast}} \geq U_{\text{Gewicht}}$) oder Nullsetzen des entsprechenden Bits. Diese Approximation wird bis zum letzten Bit schrittweise fortgeführt bis die größtmögliche Näherung erreicht ist. Das den Abtastwert repräsentierende endgültige 8-Bit-Wort kann über PCMA mit fallender Wertigkeit ausgeschoben werden, wobei jedes zweite Bit invertiert wird.

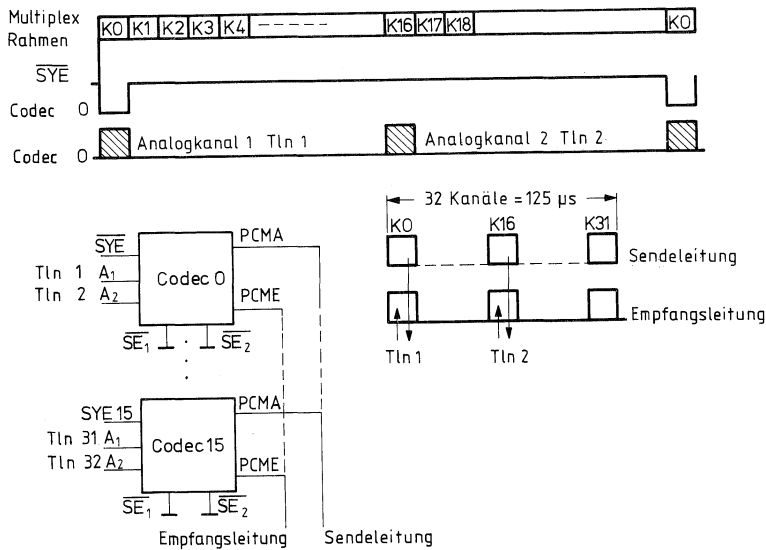
Zeitlicher Ablauf

Die Ansteuerpulse liegen alle in Wortbreite im Kanalraster (\cong 8 Bit PCM), synchron mit der 2,048-MHz-Taktflanke. Für den Synchronisierimpuls \overline{SYE} genügt bei synchroner negativ Flanke im Prinzip auch die Dauer einer Taktperiode, jedoch ist die Länge beliebig.

Zeitdiagramm

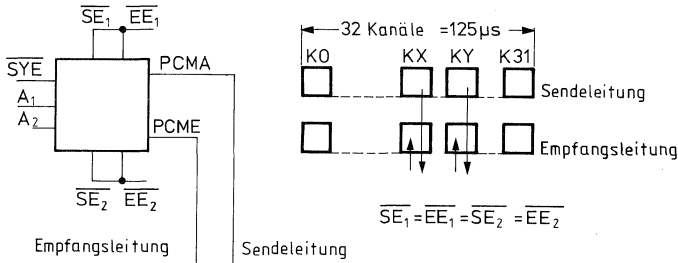


Codec bei Kurzwegbetrieb



Zeitliche Entkopplung von der Multiplexleitung

In dieser Betriebsart haben Sende- und Empfangsimpulse für einen Analogkanal gleiche Kanallage. Die Kanallage des Synchronisierimpulses \overline{SYE} kann im Prinzip beliebig gewählt werden.

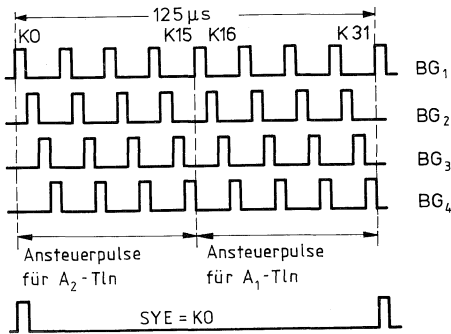


Unterschiede ergeben sich aber je nach Wahl der Kanallage des \overline{SYE} für die Laufzeit eines PCM-Wortes. Es sei beispielsweise $\overline{SYE} = \overline{SE}_1 = \overline{EE}_1 = K_0$ im Kanalraster sowie $\overline{SE}_2 = \overline{EE}_2 = K_{16}$. Ein im Zeitintervall K_0 von der Empfangsleitung des Multiplexsystems übernommenes PCM-Wort wird dann erst $125 \mu\text{s}$ später, mit dem nächsten Synchronisierimpuls im Zeitintervall K_0 ins Wandlerregister übernommen und dekodiert. Entsprechendes gilt für das im Zeitintervall K_{16} übernommene PCM-Wort sowie für die zu sendenden PCM-Worte. Gilt aber $\overline{SE}_1 = \overline{EE}_1 = K_0$, $\overline{SE}_2 = \overline{EE}_2 = K_{16}$, $\overline{SYE} = K_1$, so wird das während K_0 empfangene PCM-Wort während des Intervalls K_1 und das während K_{16} empfangene PCM-Wort während des Intervalls K_{17} ins Wandlerregister übernommen. Entsprechendes gilt für die zu sendenden PCM-Worte. Ähnliche Überlegungen lassen sich nun für jede beliebige Kanalzuordnungskonstellation anstellen, sie führen auf die

Muldemansteuerung für minimale Laufzeit

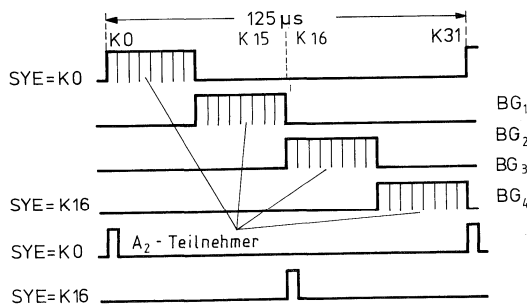
Bei einer Anordnung mit einheitlichem Synchronisierpuls \overline{SYE} für alle 16 Codec, z. B. zum Kanal K_0 , sind dadurch die Kanäle K_0 und K_{16} gekennzeichnet als Codec-Übergabekanäle $\overline{U}_1 = K_0$ und $\overline{U}_2 = K_{16}$. Als Ansteuerbedingung besteht die Forderung, den Kanal \overline{U}_1 mit einem A_2 -Teilnehmer ($\overline{SE}_2 = \overline{EE}_2$) und den Kanal \overline{U}_2 mit einem A_1 -Teilnehmer ($\overline{SE}_1 = \overline{EE}_1$) zu belegen.

Eine Muldem-Baugruppe BG mit n Codecs bildet $2n$ Kanäle des Multiplexsystems. Erfolgt die Ansteuerung der BG derart, daß die $2n$ Ansteuerpulse ($\overline{SE} = \overline{EE}$) der BG gleichmäßig im Rahmen verteilt sind, so wird obige Bedingung erfüllt, wenn für alle BG (Anz. ahl $32/2 \cdot n$) einheitlich die A_2 -Anschlüsse der Codecs für die Kanäle $0 \dots 15$ vorgesehen werden und die A_1 -Anschlüsse für die Kanäle $16 \dots 31$.



Tln./Kanalzuordnung für minimale PCM-Laufzeiten bei gleichmäßiger Kanalverteilung und einheitlichem Synchronpuls

Bei einer Blockzuordnung der Multiplexkanäle pro BG, d. h. unmittelbar nebeneinanderliegend, muß die Anschlußverteilung pro BG wieder mit einem A₂-Anschluß beginnen (Restverteilung beliebig), wenn ebenfalls SYE = K₀ vorgesehen ist. Dadurch ergibt sich bei einheitlichen BG auch ein A₂-Anschluß zu Kanal 16 und hier ist dann ein 2. Synchronpuls SYE = K₀ notwendig. Mit 2 Synchronpulsen wird man zweckmäßigerweise folgende Einteilung wählen: Codecs der ersten Hälfte des Multiplexrahmens erhalten SYE = K₀ und die Codecs für die zweite Hälfte SYE = K₁₆.

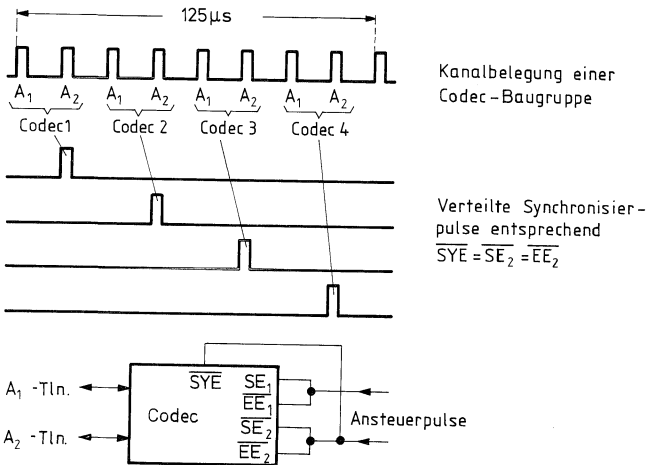


Tln./Kanalzuordnung für minimale PCM-Laufzeiten bei blockmäßiger Kanalverteilung

Ein einheitlicher Synchronpuls pro BG oder Muldem bietet den Vorteil einer günstigen Kontrollmöglichkeit aller synchron laufenden Wandler, bedingt aber einen zu den Ansteuerpulsen zusätzlichen Synchronpuls und evtl. Probleme der Spannungsversorgung (Spannungseinbrüche, Kopplungen). Als Alternative bietet sich die verteilte Synchronisierung an, wobei die Ansteuerpulse diese Aufgabe mitübernehmen. Die Regel ist sehr einfach:

$$\overline{SYE} = \overline{SE_2} = \overline{EE_2}$$

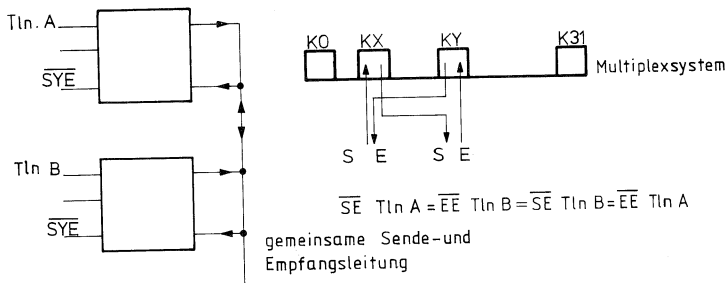
Der Synchronisierungspuls ist damit identisch mit dem Ansteuerpuls für den A₂-Teilnehmer und kann direkt am Chip verbunden werden. Alle Codecs arbeiten dann mit ihren Wandlerabläufen jeweils um 2 Kanäle versetzt zueinander.



Tln./Kanalzuordnung für minimale PCM-Laufzeiten bei verteilter Synchronisierung

Vermittlungsbetrieb

In dieser Betriebsart sind Sende- und Empfangsleitung jedes Multiplexsystems identisch. Im Gegensatz zu den vorher beschriebenen Betriebsarten ist deshalb kein Koppelfeld (räumliche Durchschaltung: Sendeleitung Tln X Empfangsleitung Tln Y; zeitliche Verschiebung Sendekanal Tln X Empfangskanal Tln Y) notwendig, um Gespräche zwischen Teilnehmern zu ermöglichen, deren Codecs an den gleichen Sende- und Empfangsleitungen angeschlossen sind.



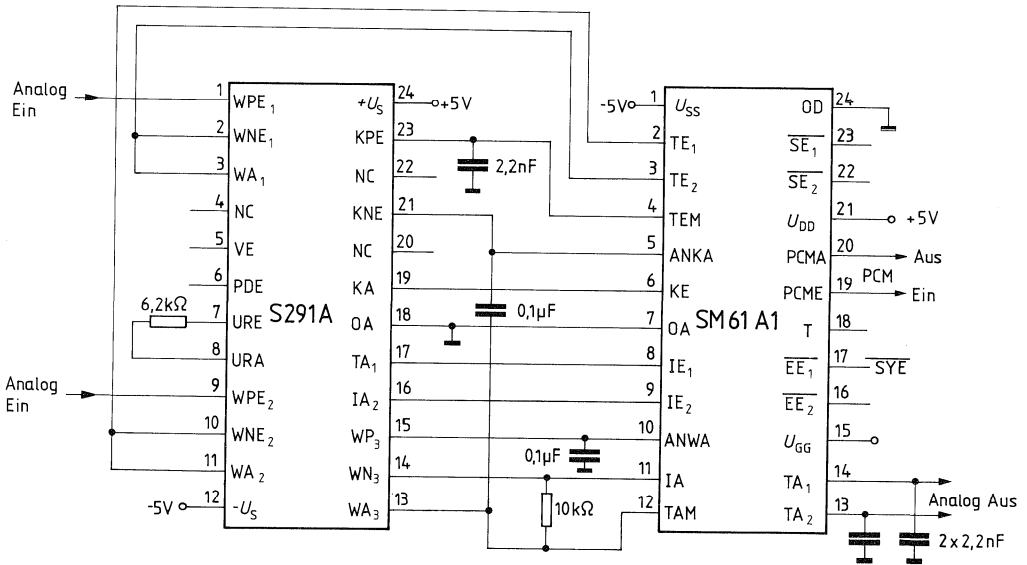
Vermittlungsbetrieb

Vorinformation

Typ	Bestellnummer	Gehäuse-Bauform
SM 61 A 1	Q67100-Z 134-S 1	Bild Nr. 3
S 291 A	Q67000-A 1388-S 1	Bild Nr. 2

Der PCM-2-Kanal-Codex SM 61 A1 (S 291 A) hat zusätzlich zu den Merkmalen des SM 61 A/S 291 folgende Eigenschaften:

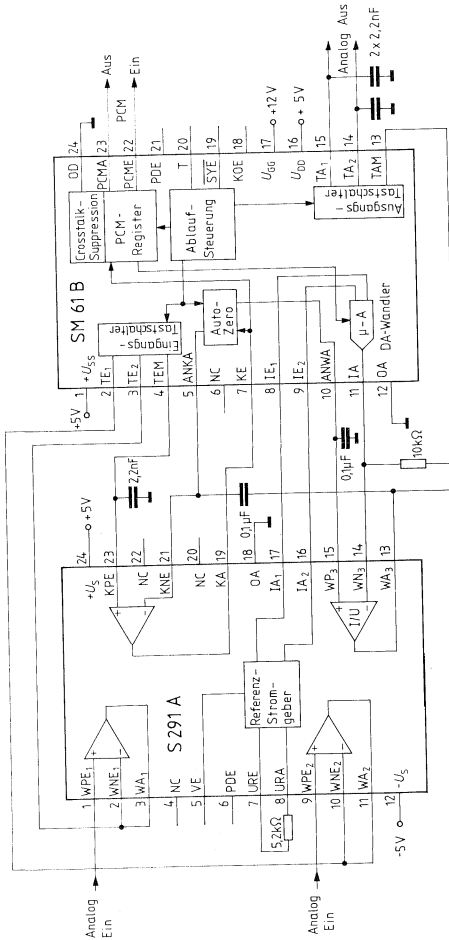
- Power-down-Betrieb
- geringe Verlustleistung (75 mW/Kanal)
- geringe externe Bauteile



Vorinformation

Typ	Bestellnummer	Gehäuse-Bauform
SM 61 B	Q67100-Z 134-S 2	Bild Nr. 3
S 291 A	Q67000-A 1388-S 1	Bild Nr. 2

Der PCM-2-Kanal-Codec SM 61 B/S 291 A hat zusätzlich zum SM 61 A1/S 291 A eine Umschaltmöglichkeit auf μ -Law. Die μ -Law-Kompandierung wird vorwiegend in den USA verwendet und ist nach CCITT genormt.



Gehäusebauformen der Nachrichtentechnischen Schaltungen

Kunststoff-Steckgehäuse, 20 A 16 DIN 41866.
16 Anschlüsse, DIL

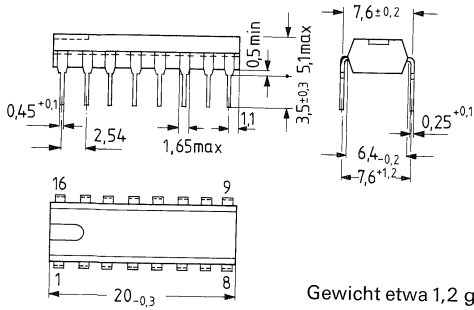


Bild Nr. 1

Kunststoff-Steckgehäuse, 20 A 24 DIN 41866
24 Anschlüsse, DIL

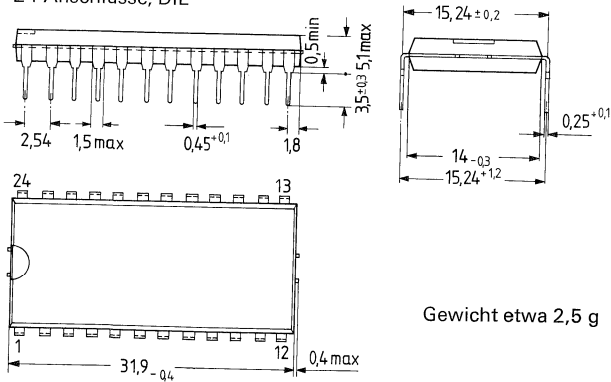
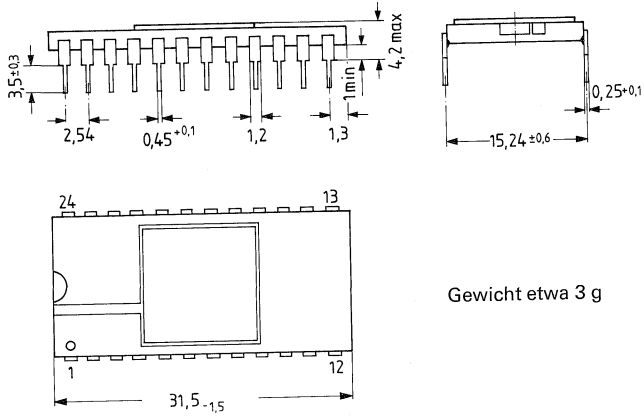


Bild Nr. 2

Gehäusebauformen der Nachrichtentechnischen Schaltungen

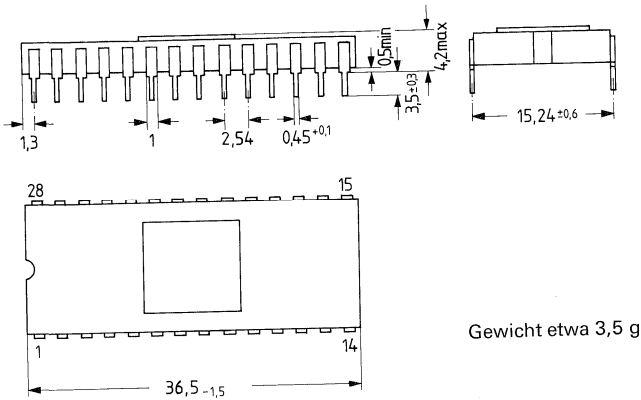
Keramik-Gehäuse
24 Anschlüsse, DIC



Gewicht etwa 3 g

Bild Nr. 3

Keramik-Gehäuse
28 Anschlüsse, DIC

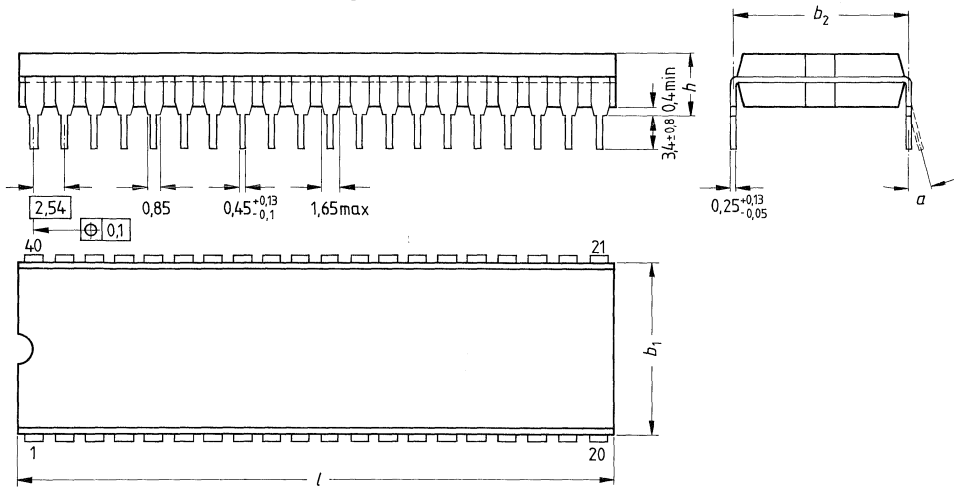


Gewicht etwa 3,5 g

Bild Nr. 4

Gehäusebauformen der Nachrichtentechnischen Schaltungen

Gehäuse mit 40 Anschlüssen
in Kunststoff- oder Keramikausführung



Ausführung	b_1	b_2	h <i>max.</i>	l	a
Kunststoff (P)	$14_{-0,6}$	$15,24 \pm 0,2$	5	$52_{-1,5}$	$0 \dots 15^\circ$
Keramik	$15,3_{-1}$	$15,25 \pm 0,5$	5	$51,5_{-1,5}$	0°

Bild Nr. 5



Speicher-Bausteine



Lieferübersicht der Microcomputer Speicher-Bausteine

Datenangaben entnehmen Sie bitte dem Microcomputer-Datenbuch 8080, Ausgabe 1979/80

Typ	Organisation	Techn.	Betriebsart	Spannungsversorgung. (Lesen) [V]	Zugriffszeit (max) [ns]	Anzahl der Anschlüsse
-----	--------------	--------	-------------	----------------------------------	-------------------------	-----------------------

RAM Bausteine (Random Access Memory / Schreib-Lese-Speicher)

SAB 2102A-4-	1.024 x 1	NMOS	stat.	+ 5	450	16
SAB 2102A-6-	1.024 x 1	NMOS	stat.	+ 5	650	16
SAB 2102AL-4-	1.024 x 1	NMOS	stat. Low Power	+ 5	450	16
SAB 2104A-1-	4.096 x 1	NMOS	dyn.	± 5; + 12	150	16
SAB 2104A-2-	4.096 x 1	NMOS	dyn.	± 5; + 12	200	16
SAB 2104A-3-	4.096 x 1	NMOS	dyn.	± 5; + 12	250	16
SAB 2104A-4-	4.096 x 1	NMOS	dyn.	± 5; + 12	300	16
SAB 2111A-4-	256 x 4	NMOS	stat.	+ 5;	450	18
SAB 2114-	1.024 x 4	NMOS	stat.	+ 5	450	18
SAB 2114-2-	1.024 x 4	NMOS	stat.	+ 5	200	18
SAB 2114-3-	1.024 x 4	NMOS	stat.	+ 5	300	18
SAB 2114L-	1.024 x 4	NMOS	stat. Low Power	+ 5	450	18
SAB 2114L-3-	1.024 x 4	NMOS	stat. Low Power	+ 5	300	18
SAB 2117-2-	16.384 x 1	NMOS	dyn.	± 5; + 12	150	16
SAB 2117-3-	16.384 x 1	NMOS	dyn.	± 5; + 12	200	16
SAB 2117-4-	16.384 x 1	NMOS	dyn.	± 5; + 12	250	16
SAB 2142-	1.024 x 4	NMOS	stat.	+ 5	450	20
SAB 2142-2-	1.024 x 4	NMOS	stat.	+ 5	200	20
SAB 2142-3-	1.024 x 4	NMOS	stat.	+ 5	300	20
SAB 2142L-3-	1.024 x 4	NMOS	stat. Low Power	+ 5	300	20
SAB 2147-	4.096 x 1	NMOS	stat.	+ 5	70	18
SAB 2147-3-	4.096 x 1	NMOS	stat.	+ 5	55	18
SAB 5101L-	256 x 4	CMOS	stat. Low Power	+ 5	650	22
SAB 5101L-1-	256 x 4	CMOS	stat. Low Power	+ 5	450	22
SAB 8102A-4-	1.024 x 1	NMOS	stat.	+ 5	450	16
SAB 8111A-4-	256 x 4	NMOS	stat.	+ 5	450	18

ROM Bausteine (Read Only Memory / Festwertspeicher)

SAB 8308-	1.024 x 8	NMOS	stat.	± 5; + 12	450	24
SAB 8316A-	2.048 x 8	NMOS	stat.	+ 5	450	24

EPRM Bausteine (Electrically Programmable ROM / Elektrisch programmierbarer Festwertspeicher)

SAB 1702A-	256 x 8	PMOS	stat.	+ 5; - 9	1000	24
SAB 1702A-2-	256 x 8	PMOS	stat.	+ 5; - 9	650	24
SAB 1702AL-2-	256 x 8	PMOS	stat. Low Power	+ 5; - 9	650	24
SAB 2704-	512 x 8	NMOS	stat.	± 5; + 12	450	24
SAB 2708-	1.024 x 8	NMOS	stat.	± 5; + 12	450	24
SAB 2708-1-	1.024 x 8	NMOS	stat.	± 5; + 12	350	24
SAB 2716-	2.048 x 8	NMOS	stat.	+ 5	450	24
SAB 2716-1-	2.048 x 8	NMOS	stat.	+ 5	350	24
SAB 2716-2-	2.048 x 8	NMOS	stat.	+ 5	390	24
SAB 2732-	4.096 x 8	NMOS	stat.	+ 5	450	24
SAB 2758-	1.024 x 8	NMOS	stat.	+ 5	450	24
SAB 4702A-	256 x 8	PMOS	stat.	+ 5; - 10	1700	24
SAB 8702A-	256 x 8	PMOS	stat.	+ 5; - 9	1000	24
SAB 8708-	1.024 x 8	NMOS	stat.	± 5; + 12	450	24

Technische Angaben

Halbleiterspeicher-Bausteine

Seit der Ankündigung der ersten hochintegrierten Halbleiterspeicherbausteine im Jahr 1969 hat diese Sparte der integrierten Schaltungen eine rasche Entwicklung durchgemacht. Die Vorteile, Speicher in Halbleitertechnik herzustellen, sind:

- Geringes Bauvolumen durch hohe Speicherdichte
- Niedriger Leistungsverbrauch
- Hohe Arbeitsgeschwindigkeit
- Hohe Zuverlässigkeit
- Einheitliche Aufbautechnik für Speicher- und Logikschaltungen
- Große Flexibilität bezüglich Speicherkapazität und Organisationsform bei der Entwicklung von Speichersystemen
- Abnehmende Kosten pro Informationseinheit

Durch die großen Fortschritte in der Halbleitertechnologie und Schaltungstechnik werden diese Vorteile voll ausgenutzt.

Speicherarten

Im folgenden werden die Halbleiterspeicherarten behandelt, deren Einsatz weit verbreitet ist.

Der größte Anteil auf dem Speichersektor wird von den *Schreib-Lese-Speichern mit wahlfreiem Zugriff* (RAM = *Random Access Memory*) gestellt. Dies sind Speicherbausteine, bei denen die Speicherelemente in Form einer Matrix angeordnet sind und koordinatenweise über eine Zeilen- und Spaltenleitung ausgewählt werden. Sie sind je nach Anwendungsfall wort- oder bitorganisiert. Ihr Einsatzgebiet erstreckt sich über Speicher in kleinen Steuersystemen bis zu Arbeitsspeichern in Zentraleinheiten von Großrechnern.

Bei den *Festwertspeichern* (ROM = *Read Only Memory*) wird der Speicherinhalt bereits bei der Herstellung mechanisch oder elektronisch eingeschrieben. Auch hier sind die Speicherzellen in einer Matrix angeordnet und können einzeln ausgelesen werden. Ihr Anwendungsgebiet reicht von der Aufnahme von Tabellenwerten mathematischer Funktionen über Speicherung von Mikroprogrammen und Funktionsabläufen bis hin zum Einsatz als Code-Umsetzer, Zeichengeneratoren, usw.

Elektrisch umprogrammierbare Festwertspeicher werden vom Anwender selbst programmiert und ggf. gelöscht. Ihre Organisationsform und die Einsatzmöglichkeiten entsprechen denen der maskenprogrammierten Festwertspeicher.

Beim optisch löschbaren EPROM (*Erasable and Programmable ROM*) wird der Speicherinhalt durch Bestrahlen mit ultravioletem Licht komplett gelöscht. Durch Anlegen geeigneter elektrischer Impulse wird er neu programmiert. Die gespeicherte Information bleibt auch nach Abschalten der Betriebsspannungen erhalten.

Das elektrisch löschbare EEPROM (*Electrically Erasable and Programmable ROM*) bietet den weiteren Vorzug, daß der gesamte Speicherinhalt durch einen elektrischen Impuls gelöscht werden kann. Die Neuprogrammierung erfolgt wie beim EPROM.

Technische Angaben

Speicherkenngößen

Zum Vergleich von Halbleiterspeicherbausteinen werden nachstehend einige spezifische Kenngrößen definiert:

Speicherkapazität: Anzahl der auf einem Speicherbaustein befindlichen Speicherzellen. Sie wird je nach Organisation in Worten x Bit (Wortlänge) oder Bit angegeben, wobei 1-K-Bit = 1024 Bit entspricht.

Zugriffszeit: Längste Zeit vom Zeitpunkt der Adressierung eines Speicherelementes bis zur Verfügbarkeit der Information am Datenausgang des Speicherbausteins.

Zykluszeit: Kürzeste Zeit zwischen zwei aufeinanderfolgenden Schreib- oder Lesevorgängen. Bei Schreib-Lese-Speichern werden meist Zeiten für zwei verschiedene Betriebsarten angegeben, nämlich entweder reine Schreib- oder Lesezyklen oder Lesen-Ändern-Schreiben-zyklen (RMW = *Read-Modify-Write*), bei denen innerhalb eines Zyklus eine Speicherzelle gelesen und anschließend mit einer neuen Information beschrieben wird. Da bei Halbleiterspeicherbausteinen die Information zerstörungsfrei gelesen werden kann (NDRO = *Non-Destructive-Read-Out*), also die Information nach einem Lesevorgang nicht wieder eingeschrieben werden muß, ist die Zykluszeit nicht wesentlich länger, im besten Fall sogar gleich groß wie die Zugriffszeit.

Verlustleistung: Der elektrische Leistungsverbrauch wird als Gesamt- oder Bit-bezogene Verlustleistung angegeben. Es kann auch die Stromaufnahme für den Ruhe- (standby) und Betriebszustand definiert werden.

Elektrische Betriebsbedingungen: Sie enthalten Angaben über Anzahl und Größe der Versorgungsspannungen, Pegel der Eingangsspannungen, Strom- und Spannungsverlauf am Datenausgang.

Arbeitstemperaturbereich: Temperaturbereich, in dem der Speicher innerhalb seiner elektrischen Spezifikation betriebssicher arbeitet.

Speicherprinzipien

Flüchtige Speicher

Statisches RAM

Bei statischen Speichern werden die Speicherelemente durch zwei rückgekoppelte Inverter (bistabile Kippstufe) gebildet, wobei den beiden stabilen Zuständen jeweils die logische Information „0“ oder „1“ zugeordnet wird. In der Prinzipschaltung nach Bild 1 werden die beiden Lastwiderstände wegen eines geringeren Platzbedarfs durch zwei Transistoren T_3 und T_4 mit fester Vorspannung ersetzt.

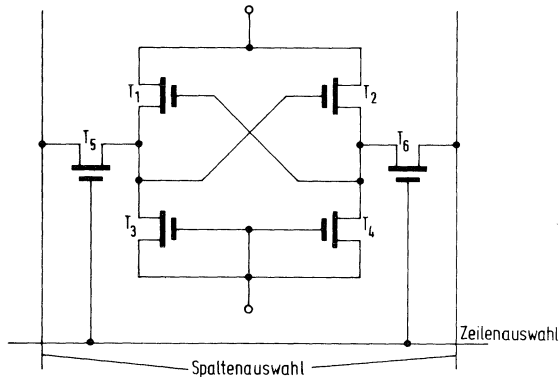


Bild 1

Die Transistoren T_5 und T_6 dienen zur Auswahl der Speicherzellen. Werden sie über die Zeilenauswahlleitung leitend geschaltet, so kann die Information beim Lesen durch den Potentialunterschied der Spaltenleitungen erkannt werden, während beim Schreiben über diese Leitungen die Kippstufe in den gewünschten Zustand gesetzt wird. Die gespeicherte Information bleibt so lange erhalten, wie die Betriebsspannung innerhalb ihres spezifischen Bereiches ist. Da über einen der beiden Zweige der Kippstufe ständig ein Strom fließt, ist der Leistungsbedarf statischer Halbleiterspeicher höher als bei dynamischen (siehe nächster Abschnitt).

Technische Angaben

Dynamisches RAM

Bei dynamischen Speicherelementen wird die Information als Ladung in einer Kapazität gespeichert. Das in Bild 2 gezeigte Prinzipschaltbild stellt eine sogenannte

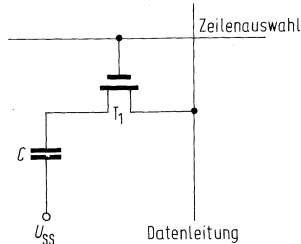


Bild 2

1-Transistor-Zelle dar, bei der die Information abhängig von der Kondensatorladung als Potential sprung auf der Datenleitung erscheint, sobald der Transistor T_1 über die Zeilenauswahlleitung in den leitenden Zustand versetzt wird. Wegen der unvermeidbaren Leckströme muß die Speicherinformation (Kondensatorladung) periodisch regeneriert werden (Refresh). Die Regenerierung erfolgt im Baustein durch Lesezyklen auf den Refreshadressen, wobei durch Ansteuerung eines Speicherelementes die gesamte Zeile regeneriert wird. Da das Abfließen der Kondensatorladung bei höheren Temperaturen beschleunigt wird, ist die Einhaltung der minimalen Refreshzeit (üblicher Wert: 2 ms) besonders bei der maximal zulässigen Arbeitstemperatur zu beachten. Wegen des geringeren Schaltungsaufwands sind große Speicherkapazitäten je Baustein realisierbar.

Nichtflüchtige Speicher

ROM

Der Speicherinhalt maskenprogrammierbarer Festwertspeicher wird beim Hersteller nach Kundenangabe festgelegt. Überall dort, wo in einer Matrixanordnung von Zeilen und Spalten die Programmierung einer Speicherzelle gewünscht ist, wird während des Herstellungsprozesses des Bausteins ein MOS-Transistor erzeugt. Nicht programmierte Zellen werden demnach dargestellt durch nicht erzeugte Transistoren.

Technische Angaben

In einer Matrixanordnung nach Bild 3 ist die Zeilenauswahlleitung mit den Gates aller Speichertransistoren einer Zeile verbunden.

An einer Datenleitung sind die Drain-Anschlüsse aller Speichertransistoren einer Spalte zusammengeführt.

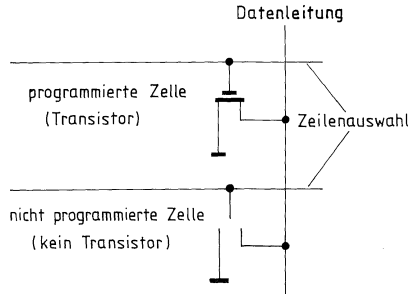


Bild 3: Zellenauswahl beim ROM

Eine Zelle wird ausgewählt, indem nach Maßgabe der Zellenadresse an eine Zeilenauswahlleitung ein logisches „1“-Potential gelegt wird, an allen anderen jedoch logisches „0“-Potential liegt. Ist nun die Zelle ein MOS-Transistor, so leitet dieser und zieht die Datenleitung auf logisches „0“-Potential. Ist die Zelle nicht programmiert, fließt kein Strom und die Datenleitung bleibt auf logischem „1“-Potential. Das Datenleitungssignal wird verstärkt und einem Datenausgangsanschluß zugeführt.

Der einfache Aufbau einer solchen Speichermatrix erlaubt die Realisierungen großer Speicherdichten und damit hoher Speicher-Kapazitäten je Baustein.

EPROM, EEPROM

Das Speicherelement der elektrisch unprogrammierbaren Festwertspeicher ist der SIMOS-Transistor (*Stacked Gate Injection MOS*). Er enthält ein unteres, elektrisch schwebendes Gate und ein oberes Steuergate, wie in Bild 4 dargestellt. Das schwebende Gate wird als Ladungsspeicherelement benutzt: Die Zelle wird programmiert durch Injektion von energiereichen Elektronen auf das schwebende Gate. Von dort kann die Ladung nicht wieder abfließen, da das schwebende Gate elektrisch vollkommen isoliert ist.

Technische Angaben

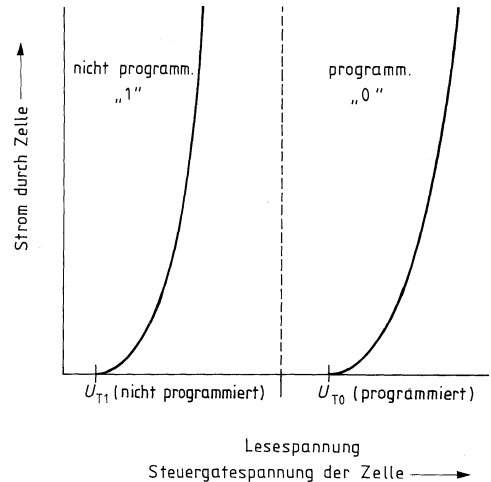
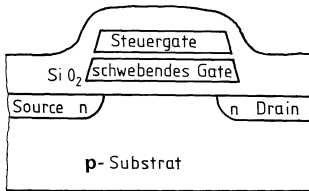


Bild 4: SIMOS-Transistor

Bild 5: Schwellenspannungsverschiebung der Zelle

Eine Aufladung des schwebenden Gates bewirkt eine Verschiebung der Schwellenspannung der Zelle. Wie Bild 5 zeigt, hat die Schwellenspannung anfangs einen sehr niedrigen Wert, so daß bei Auswahl der Zelle mittels einer Spannung am Steuergate ein Strom durch den Speichertransistor fließt. Das Programmieren verschiebt die Schwellenspannung zu so hohen Werten hin, daß die Lesespannung am Steuergate die Zelle nicht mehr in den leitenden Zustand versetzen kann.

In einer Matrixanordnung nach Art eines ROMs wird der Zustand der ausgewählten Zelle (programmiert = 0, unprogrammiert = 1) festgestellt, indem nach Anlegen der Lesespannung der durch die Zelle fließende Strom bewertet wird: Nur in einer unprogrammierten Zelle fließt ein Strom von Drain nach Source, eine programmierte Zelle sperrt.

Die gespeicherte Ladung einer Zelle wird nur im Programmier- oder Löschbetrieb geändert. Spannungslose Lagerung oder Lesevorgänge beeinflussen den Programmierzustand der Zelle nicht. Daher können EPROMs und EEPROMs wie ROMs eingesetzt werden.

Das Löschen geschieht beim optisch löschbaren EPROM durch Beleuchtung der Zelle mit UV-Licht. Dabei ermöglicht der Photo-Effekt den auf dem schwebenden Gate gehaltenen Elektronen, durch das Oxid zum Substrat abzufließen.

Beim elektrisch löschbaren EEPROM enthält die Speicherzelle zusätzlich ein Löschgebiet, auf dem das schwebende Gate durch eine besonders dünne Oxidschicht von einer Lösch-Elektrode getrennt ist. Wird an diese Elektrode eine hohe Spannung gelegt, so „tunneln“ die auf dem schwebenden Gate gehaltenen Elektronen aufgrund der hohen Feldstärke durch die dünne Oxidschicht zur Lösch-Elektrode hin. Dieser Vorgang erfolgt wesentlich rascher als das optische Löschen.

Technische Angaben

Speichertechnologien

Aufgrund der Herstellverfahren werden Halbleiterspeicher in zwei Gruppen eingeteilt.

Bipolare Speicher

Bipolare Speicherbausteine bestehen aus Transistoren in TTL-(*Transistor-Transistor-Logic*) oder ECL-(*Emitter-Coupled-Logic*)- Technik, wobei sich ECL-Bausteine durch besonders hohe Geschwindigkeiten auszeichnen. Infolge ihrer Kompatibilität zur jeweiligen Schaltungstechnik sind sie sehr anwenderfreundlich. Demgegenüber steht ein höherer Leistungsverbrauch und auch geringere Integrationsdichte. Die Anwendung ist überall dort vorteilhaft, wo eine hohe Arbeitsgeschwindigkeit gefordert wird.

MOS-Speicher (MOS = *Metal Oxide Semiconductor*)

Bei MOS-Speicherbausteinen werden MOS-Feldeffekttransistoren in P- oder N-Kanal-Technologie verwendet. Schaltungen in N-Kanal-Technik sind höher integrierbar, erzielen wegen der größeren Beweglichkeit der Ladungsträger eine relativ hohe Arbeitsgeschwindigkeit und sind kompatibel zur TTL-Technik. Insgesamt bietet die MOS-Technologie wegen der Einfachheit der Strukturen, der geringen Anzahl von Herstellschritten und der elektrischen Eigenschaften von MOS-Transistoren alle Voraussetzungen für eine kostengünstige Herstellung von Speicherbausteinen großer Kapazität.

Prüftechnik

Bei Halbleiterspeicherbausteinen kann die Funktionsfähigkeit durch eine große Anzahl technologie- und schaltungsbedingter Fehlermechanismen beeinträchtigt werden. So ist eine Prüfung auf Adressierbarkeit und die Fähigkeit, die logischen Informationen „0“ und „1“ zu speichern nicht ausreichend. Speicherbausteine besitzen die Eigenschaft, auf spezielle Adressierfolgen, kombiniert mit Schreib-/Lesevorgängen kritisch zu reagieren (Pattern-sensitivity = Prüfmusterempfindlichkeit). Hierzu ist ein Testgerät notwendig, mit dem beliebige Schreib-/Lese-zyklen mit nichtlinearer Adressierung (Prüfmuster) erzeugt werden können. Hinzu kommt, daß erfahrungsgemäß der Prüfaufwand quadratisch zur Bit-Anzahl zunimmt. Dieser hohe prüftechnische Aufwand erfordert komplexe, rechnergesteuerte Testsysteme mit programmierbaren Prüfmustergeneratoren und einstellbaren Zeit- und Spannungsbedingungen, mit denen alle kritischen Betriebszustände simuliert werden können.

Um die hohe Zuverlässigkeit von Halbleiterspeicherbausteinen zu gewährleisten, wird eine sogenannte Voralterung durchgeführt. Hierbei werden die Bausteine bei erhöhten Spannungs- und Temperaturbedingungen betrieben („Burn in“) um eventuelle Schwachstellen aufzudecken, die beim Einsatz zu Frühausfällen führen könnten.

Technische Angaben

Besondere Handhabung von MOS-Speicherbausteinen

Obwohl MOS-Schaltungen durch geeignete, mitintegrierte Schutzstrukturen weitgehend gegen Zerstörung durch statische Aufladung geschützt sind, sind bei der Handhabung einige Vorsichtsmaßnahmen zu beachten.

- MOS-Bausteine sollen grundsätzlich in geeigneter Verpackung (leitender Schaumstoff, Kurzschlußbügel) aufbewahrt und nur auf leitenden Unterlagen abgelegt werden.
- Alle Arbeitstische, Geräte und Testvorrichtungen müssen geerdet sein.
- Personen, die mit MOS-Schaltungen arbeiten, sollten über einen Widerstand von mindestens 100 k Ω mit der Masse (Nulleiter) verbunden sein.
- MOS-Bauelemente dürfen nicht an den Anschlußstiften angefaßt werden.

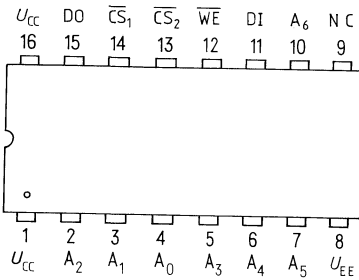
Vorläufige Daten

Typ	Bestellnummer	Gehäuse-Bauform
GXB 10147 A	Q67000-S 38	Bild Nr. 1

- sehr schneller ECL-Speicher
- typische Zugriffszeit 10 ns
- voll dekodiert
- Organisation 128 x 1 Bit
- Kapazitätserweiterung durch Freigabe-Eingänge (Chip Select)
- wired-or-Möglichkeit
- statische Betriebsweise, kein Refresh erforderlich
- stromstabilisierende Kennlinie der Stromaufnahme
- negativer Temperaturkoeffizient der Stromaufnahme, dadurch selbststabilisierend
- Metall-Keramikgehäuse mit 16 Anschlüssen
- austauschbar mit Motorola MCM 10147 AL, Fairchild F 10405
- kompatibel mit den Logikfamilien ECL 10 k und Fairchild 95 k

Anschlußanordnung

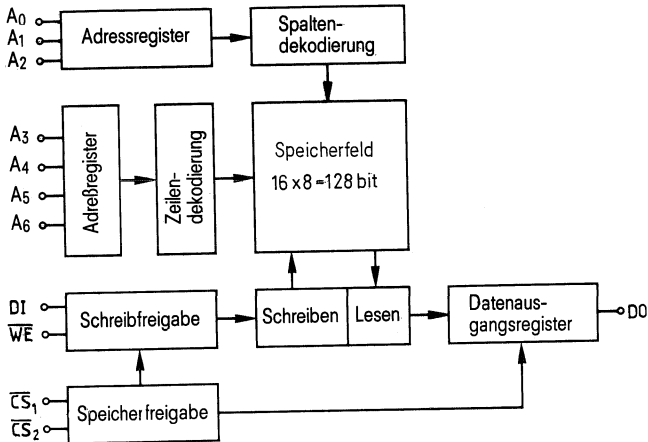
Ansicht von oben



Anschlußbezeichnung

- A₀ bis A₆ Adresseingänge
- DI Dateneingänge
- CS₁, CS₂ Speicherfreigabeeingänge (chip-select)
- WE Schreibfreigabe (read/write)
- DO Datenausgang
- U_{EE} Versorgungsspannung (- 5,2 V)
- U_{CC} Masse
- N.C. nicht beschaltet

Blockschaltbild



Grenzbedingungen¹⁾

Versorgungsspannung
 Eingangsspannungen
 Ausgangsstrom
 Arbeitstemperaturbereich
 Lagertemperaturbereich

U_{EE}
 U_I
 I_O
 T_U
 T_s

- 7
 0 bis U_{EE}
 50
 0 bis 85
 - 55 bis 125

V
 V
 mA
 °C
 °C

¹⁾ Ein Überschreiten dieser Grenzwerte kann den dauernden Ausfall des Bauteiles zur Folge haben. Ein Betrieb bei diesen oder anderen Werten, die außerhalb der nachfolgend angegebenen Betriebsdaten liegen, ist nicht vorgesehen. Wird das Bauteil über einen längeren Zeitraum diesen Grenzwerten ausgesetzt kann die Zuverlässigkeit beeinträchtigt werden.

Statische Kenndaten

$T_U = 25^\circ\text{C}$, $U_{EE} = -5,2\text{ V}$, $R_L = 50\ \Omega$ gegen $-2,0\text{ V}$
 Belüftung mit 2,55 m/s linear (500 fpm)

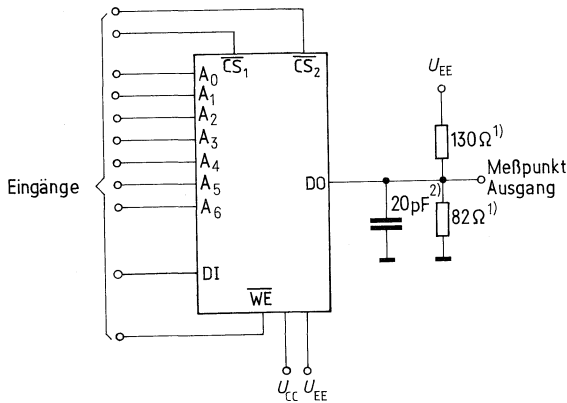
		Prüfbedingungen	min	typ	max	Einheit
H-Eingangsspannung	U_{IH}	$R_L = 50\ \Omega$ gegen -2 V $A, DI = U_{IL\ min}$ $\overline{WE} = U_{IH\ min}$ $\overline{CS}_1, \overline{CS}_2 = U_{IL\ max}$	- 1,105		- 0,810	V
L-Eingangsspannung	U_{IL}		- 1,850		- 1,475	V
H-Ausgangsspannung	U_{OH}		- 0,960		- 0,810	V
L-Ausgangsspannung	U_{OL}		- 1,900		- 1,650	V
H-Eingangsstrom A, DI, \overline{CS}	I_{IH}				35	μA
H-Eingangsstrom an \overline{WE}	I_{IH}				75	μA
L-Eingangsstrom a. Eing.	I_{IL}		- 6			μA
Speisestrom	I_{EE}			80	100	mA

Schaltzeiten

$U_{EE} = 5,2\text{ V} \pm 10\%$

		25° C			85° C			Einheit
		min	typ.	max	min	typ.	max	
Zugriffszeit	t_{ACC}		10	12			14	ns
Freigabezeit	t_E		6,5	8			9	ns
Schreibimpulsbreite	t_{WW}	8			8			ns
Schreiberholzeit	t_{WR}			8				ns
Vorlaufzeit A bis \overline{WE}	t_{AWS}	4						ns
Vorlaufzeit \overline{CS} bis \overline{WE}	t_{CWS}	1						ns
Vorlaufzeit DI bis \overline{WE}	t_{WS}	1						ns
Haltezeit \overline{WE} bis A	t_{WAH}	3						ns
Haltezeit \overline{WE} bis \overline{CS}	t_{WCH}	1						ns
Haltezeit \overline{WE} bis DI	t_{WH}	1						ns

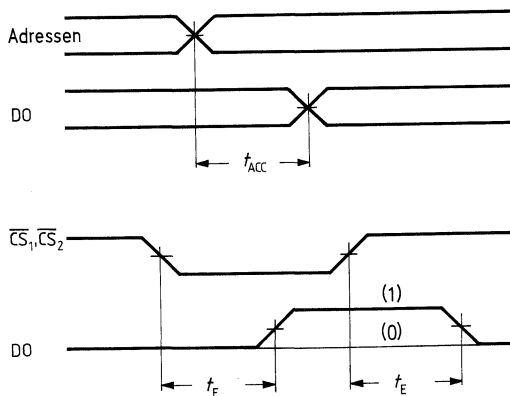
Schaltung zur Prüfung der Zugriffszeiten



- 1) Der Ausgangslastwiderstand soll 50 Ω gegen -2,0V sein. Mit der Schaltung nach obigem Beispiel wird diese Forderung erfüllt, wobei mit der Spannung U_{EE} gearbeitet wird. Andere Spannungsteiler sind möglich, soweit die allgemeine Forderung eingehalten wird.
- 2) Gesamte Lastkapazität einschließlich Meßaufbau und Meßgerät.

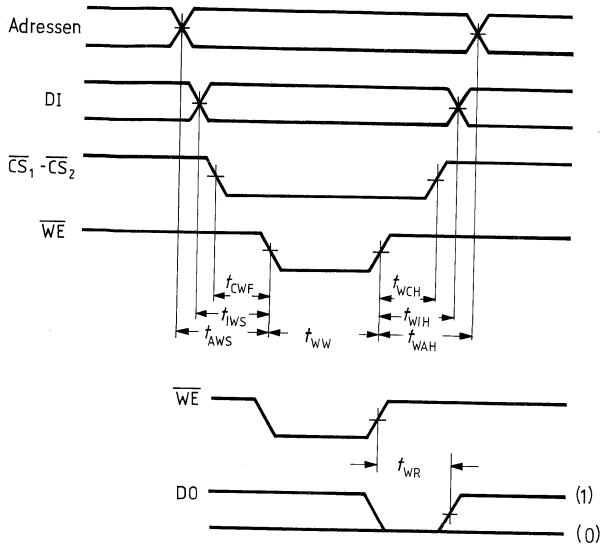
Impulsdiagramme¹⁾

Lesezyklus



¹⁾ Als Zeitbezugspunkte gelten je 50% des logischen Hubs.

Schreibzyklus



Vorläufige Daten

Typ	Bestellnummer	Gehäuse-Bauform
GXB 10415	Q67000–Q136	Bild Nr. 1

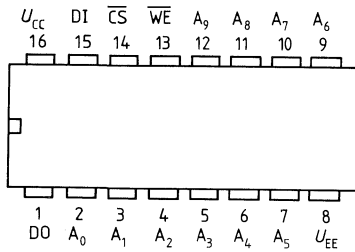
Der GXB 10415 von Siemens ist ein sehr schneller Schreib-Lesespeicher in OXIS-Technologie aus der Serie ECL 10 000.

Er besitzt 1024 Worte mit 1 Bit Länge und ist voll dekodiert.

Der Baustein wurde hauptsächlich für die Arbeitsspeicherhierarchie von Großrechenanlagen konzipiert, wo er in Prüfspeichern und beschreibbaren Kontrollspeichern zum Einsatz kommt.

- Organisation 1024 x 1 Bit
- Zugriffszeit: 25 ns (max.)
- Verlustleistung: 0,5 mW/Bit
- Ein- und Ausgangspegel sowie Versorgungsspannung ECL 10.0-kompatibel
- Eingang für Baustein-Auswahl
- wired-or Möglichkeit
- austauschbar mit Fairchild F 10415 A und Motorola MCM 10146

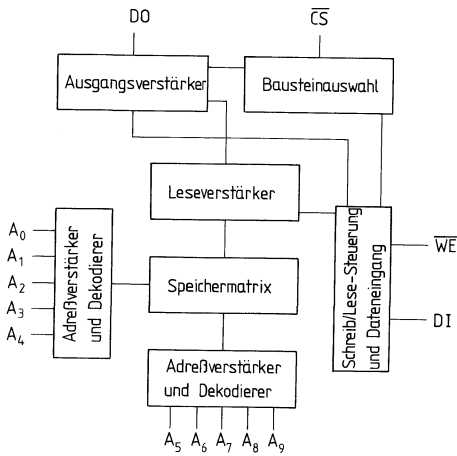
Anschlußanordnung (Ansicht von oben)



Anschlußbezeichnungen

- A₀ – A₉ Adressen-Eingänge
- DI Daten-Eingang
- DO Daten-Ausgang
- CS Baustein-Auswahl
- WE Schreibfreigabe
- U_{CC} 0 V
- U_{EE} Versorgungsspannung

Blockschaltbild



Grenzdaten¹⁾

Eingangsspannung	U_I	0,5	bis	U_{EE}	
Ausgangsstrom	I_O			50	mA
Versorgungsspannung	U_{EE}	0,5	bis	- 6	V
Umgebungstemperatur im Betrieb	T_U	0	bis	85	°C
Lagertemperatur	T_s	- 55	bis	125	°C

Funktionsweise

Mit der zehnstelligen Adresse A_0 bis A_9 wird über die X- und Y-Dekodierer eine der 1024 Zellen der Speichermatrix ausgewählt.

Jede Zelle kann abhängig vom Zustand der Schreib-Lese-Steuerung gelesen oder neu beschrieben werden. Ausschlaggebend ist dafür jeweils die Einstellung am \overline{WE} -Eingang.

Beim Lesen wird die Information der ausgewählten Zelle über den Ausgangsverstärker zum Datenausgang geführt. Dabei ist die am Dateneingang DI anliegende Information ohne Einfluß.

Beim Schreiben wird die an DI anliegende Information von der ausgewählten Zelle übernommen. In diesem Zustand ist der Ausgangsverstärker gesperrt und DO stets auf „Low“-Pegel.

Über den Chip-Select-Eingang \overline{CS} können Schreib-Lese-Steuerung und Ausgangsverstärker gleichzeitig gesperrt oder freigegeben werden. Im Sperrfall kann der Baustein weder gelesen noch beschrieben werden, unabhängig von den logischen Werten der übrigen Eingänge. Der Informationsinhalt des Speichers bleibt dabei unberührt.

¹⁾ Ein Überschreiten dieser Grenzdaten kann den dauernden Ausfall des Bauteils zur Folge haben. Bei bipolaren integrierten Schaltungen mit kleinsten Eingangsstrukturen ist eine graduelle Empfindlichkeit gegenüber statischen Aufladungen nicht auszuschließen. Die üblichen Maßnahmen zur Vermeidung von Grenzwertüberschreitungen sind zu beachten.

Der Baustein ist ein nicht invertierender Speicher, d. h. der geschriebene logische Wert an DI ist mit dem gelesenen logischen Wert an DO identisch. Bei allen Arbeitszuständen liegt am Ausgang ein „Low“-Pegel außer beim Lesen eines „High“-Pegels. Diese Eigenschaft ermöglicht es, beim Zusammenbau anderer Bausteine Datenausgänge zusammenzulegen wobei der gemeinsame Ausgang wieder nur dann auf „High“-Pegel liegt, wenn von einem ausgewählten Baustein ein „High“-Pegel ausgegeben wird.

Bei dieser Verknüpfungsart (wired-or-Verknüpfung) kann man nahezu beliebige Speicherkapazitäten zusammensetzen.

Wahrheitstabelle

Eingang			Ausgang	Betriebs-Modus
\overline{CS}	\overline{WE}	DI	offener Emitter	
H	X	X	L	gesperrt
L	L	L	L	Schreiben „0“
L	L	H	L	Schreiben „1“
L	H	X	H/L	Lesen „1“/„0“

Betriebs- und Prüfbedingungen

$T_U = 25\text{ }^\circ\text{C}$, $U_{CC} = 0\text{ V}$, $U_{EE} = -5,2\text{ V} \pm 5\%$; Ausgangslast: $50\text{ }\Omega$ an -2 V

Statische Kenndaten

	Prüfbedingungen	min	typ.	max	Einheit
Stromaufnahme aus U_{EE}	I_{EE}		100	150	mA
H-Ausgangsspannung	U_{OH}	} $U_I = U_{IH\text{ max}}$ oder $U_{IL\text{ min}}$		- 810	mV
L-Ausgangsspannung	U_{OL}			- 1650	mV
H-Ausgangsspannung	U_{OHC}	} $U_I = U_{IH\text{ min}}$ oder $U_{IL\text{ max}}$		- 980	mV
L-Ausgangsspannung	U_{OLC}			- 1630	mV
H-Eingangsspannung	U_{IH}			- 810	mV
L-Eingangsspannung	U_{IL}			- 1475	mV
H-Eingangsstrom	I_{IH}	$U_I = U_{IH\text{ max}}$		220	μA
L-Eingangsstrom	I_{IL}	$U_I = U_{IL\text{ min}}$		- 50	μA
L-CS-Eingangsstrom	I_{IL}	$U_I = U_{IL\text{ min}}$		0,5	μA

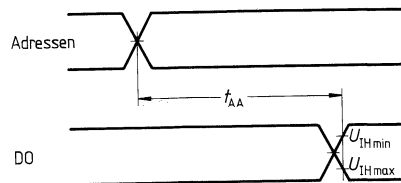
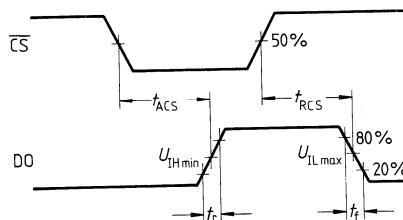
Betriebs- und Prüfbedingungen

$T_U = 0$ bis $85\text{ }^\circ\text{C}$, $U_{CC} = 0\text{ V}$, $U_{EE} = -5,2\text{ V} \pm 5\%$

Schaltzeiten

Lesen

Baustein-Auswahl	t_{ACS}		7	10	ns
Baustein-Auswahl	t_{RCS}		7	10	ns
Erholzeit	t_{AA}		18	25	ns
Adresszugriffzeit	t_r	1,5	2	3,5	ns
Anstiegszeit	t_f	1,5	2	3,5	ns



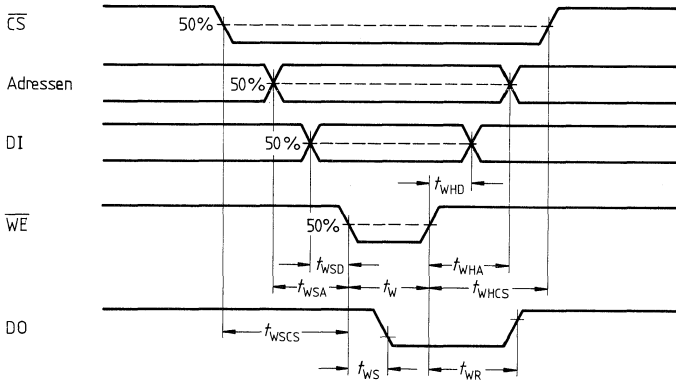
Betriebs- und Prüfbedingungen

$T_U = 0$ bis $85\text{ }^\circ\text{C}$, $U_{CC} = 0\text{ V}$, $U_{EE} = -5,2\text{ V} \pm 5\%$

Schaltzeiten

Schreiben

	Prüfbedingungen	min	typ.	max	Einheit
Schreibimpuls-Breite	t_W	25	20		ns
Daten-Vorlaufzeit	t_{WSD}	5			ns
Daten-Haltezeit	t_{WHD}	5			ns
Adress-Vorlaufzeit	t_{WSA}	8	5		ns
Adress-Haltezeit	t_{WHA}	2			ns
Bausteinauswahl-Vorlaufzeit	t_{WSCS}	5			ns
Bausteinauswahl-Haltezeit	t_{WHCS}	5			ns
Schreib-Abschaltzeit	t_{WS}		7	10	ns
Schreib-Erholzeit	t_{WR}		7	10	ns



Statischer ECL Schreib-Lesespeicher (RAM) 256 Bit

GXB 100473

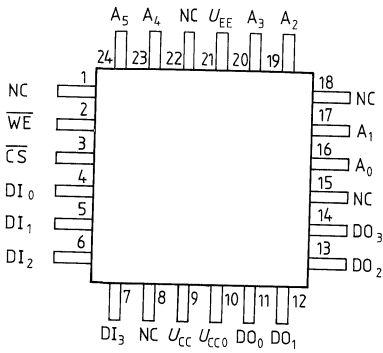
Vorläufige Daten

Typ	Bestellnummer	Gehäuse-Bauform
GXB 100473	Q67000–Q 215	Bild Nr. 4

Der GXB 100473 ist ein statischer sehr schneller Schreib-Lesespeicher in OXIS-Technologie aus der Serie ECL 100 000.

- Organisation 64 x 4 Bit
- Zugriffszeit: 8 ns (max.)
- Verlustleistung: 2,7 mW/Bit
- Ein- und Ausgangspegel sowie Versorgungsspannung ECL 100 k-kompatibel
- Eingang für Baustein-Auswahl
- wired-or Möglichkeit

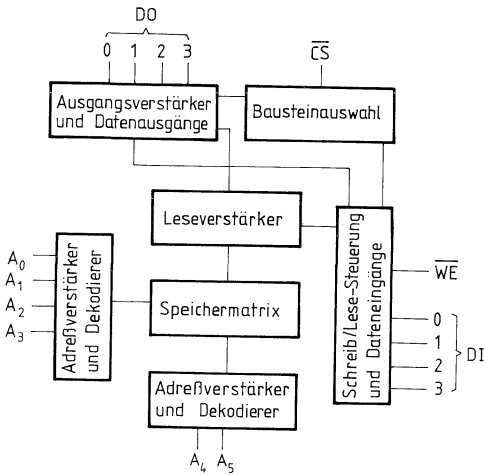
Anschlußanordnung (Ansicht von oben)



Anschlußbezeichnungen

- $A_0 - A_5$ Adressen-Eingänge
- $DI_0 - DI_3$ Daten-Eingänge
- $DO_0 - DO_3$ Daten-Ausgänge
- \overline{CS} Baustein-Auswahl
- \overline{WE} Schreibfreigabe
- U_{CC} GND 1
- U_{EE} Versorgungsspannung
- U_{CC0} GND 2
- NC nicht angeschlossen

Blockschaltbild



Grenzdaten¹⁾

Versorgungsspannung	U_{EE}	- 4,05 bis - 4,95	V
Eingangsspannung	U_I	GND bis U_{EE}	
Ausgangsstrom	I_O	- 50	mA
Umgebungstemperatur im Betrieb	T_U	0 bis 85	°C
Lagertemperatur	T_s	- 55 bis 125	°C

Funktionsweise

Mit der sechsstelligen Adresse A_0 bis A_5 werden über die X- und Y-Dekodierer 4 der 256 Zellen der Speichermatrix ausgewählt.

Diese 4 Zellen können abhängig vom Zustand der Schreib-Lese-Steuerung gelesen oder neu beschrieben werden. Ausschlaggebend ist dafür jeweils die Einstellung am \overline{WE} -Eingang.

Beim Lesen wird die Information der ausgewählten Zellen über den Ausgangsverstärker zum Datenausgang geführt. Dabei sind die am Dateneingang DI anliegenden Werte ohne Einfluß.

Beim Schreiben werden die an DI anliegenden Werte von den 4 ausgewählten Zellen übernommen. In diesem Zustand ist der Ausgangsverstärker gesperrt und DO stets auf „Low“-Pegel.

Über den Chip-Select-Eingang \overline{CS} können Schreib-Lese-Steuerung und Ausgangsverstärker gleichzeitig gesperrt oder freigegeben werden. Im Sperfall kann der Baustein weder gelesen noch beschrieben werden, unabhängig von den logischen Werten der übrigen Eingänge. Der Informationsinhalt des Speichers bleibt dabei unberührt.

Der Baustein ist ein nicht invertierender Speicher, d. h. der geschriebene logische Wert an DI ist mit dem gelesenen logischen Wert an DO identisch. Bei allen Arbeitszuständen liegt am Ausgang ein „Low“-Pegel außer beim Lesen eines „High“-Pegels. Diese Eigenschaft ermöglicht es, beim Zusammenbau mehrerer Bausteine Datenausgänge zusammenzulegen, wobei der gemeinsame Ausgang wieder nur dann auf „High“-Pegel liegt, wenn von einem ausgewählten Baustein ein „High“-Pegel ausgegeben wird. Bei dieser Verknüpfungsart (wired-or Verknüpfung) kann man nahezu beliebige Speicherkapazitäten zusammensetzen.

¹⁾ Ein Überschreiten dieser Grenzdaten kann den dauernden Ausfall des Bauteils zur Folge haben. Bei bipolaren integrierten Schaltungen mit kleinsten Eingangsstrukturen ist eine graduelle Empfindlichkeit gegenüber statischen Aufladungen nicht auszuschließen. Die üblichen Maßnahmen zur Vermeidung von Grenzüberschreitungen sind zu beachten.

Wahrheitstabelle

Eingang			Ausgang offener Emitter	Betriebsmodus
\overline{CS}	\overline{WE}	DI		
H	X	X	L	gesperrt
L	L	L	L	Schreiben „0“
L	L	H	L	Schreiben „1“
L	H	X	H/L	Lesen „1“/„0“

Betriebs- und Prüfbedingungen

$T_U = 25^\circ\text{C}$, $U_{CC} = 0\text{V}$, $U_{EE} = -4,5\text{V} \pm 10\%$; Ausgangslast $50\ \Omega$ an -2V

Statische Kenndaten ($T_U = 25^\circ\text{C}$)

	Prüfbedingungen	min	typ.	max	Einheit
Stromaufnahme aus U_{EE}	I_{EE}		150		mA
H-Ausgangsspannung	U_{OH}	$U_I - U_{IH\ max}$	- 955	- 880	mV
L-Ausgangsspannung	U_{OL}	oder $U_{IL\ min}$	- 1810	- 1705	mV
H-Ausgangsspannung	U_{OHC}	$U_I = U_{IH\ min}$	- 1035		mV
L-Ausgangsspannung	U_{OLC}	oder $U_{IL\ max}$		- 1610	mV
H-Eingangsspannung	U_{IH}		- 1215	- 880	mV
L-Eingangsspannung	U_{IL}		- 1810	- 1425	mV
H-Eingangsstrom ($A_0 - A_5, \overline{WE}$)	I_{IH}	$U_I = U_{IH\ max}$		15	μA
H-Eingangsstrom (\overline{CS}, DI)	I_{IH}	$U_I = U_{IH\ max}$		30	μA
L-Eingangsstrom ($A_0 - A_5, \overline{WE}, \overline{CS}, DI$)	I_{IL}	$U_I = U_{IL\ max}$		0	μA
Verlustleistung	P_{tot}		0,7		W

Betriebs- und Prüfbedingungen

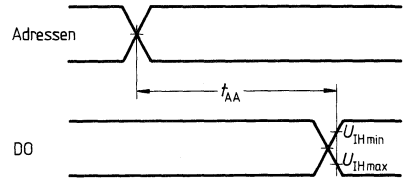
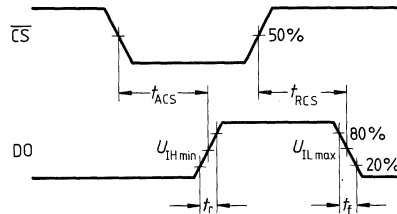
$T_U = 0$ bis $85\text{ }^\circ\text{C}$, $U_{CC} = 0\text{ V}$, $U_{EE} = -4,5\text{ V} \pm 10\%$

Schaltzeiten

Lesen

Baustein-Auswahl	t_{ACS}			
Baustein-Auswahl	t_{RCS}			
Erholzeit				
Adresszugriffszeit	t_{AA}			
Anstiegszeit	t_r	0,5	0,7	0,9
Abfallzeit	t_f	0,5	0,7	0,9

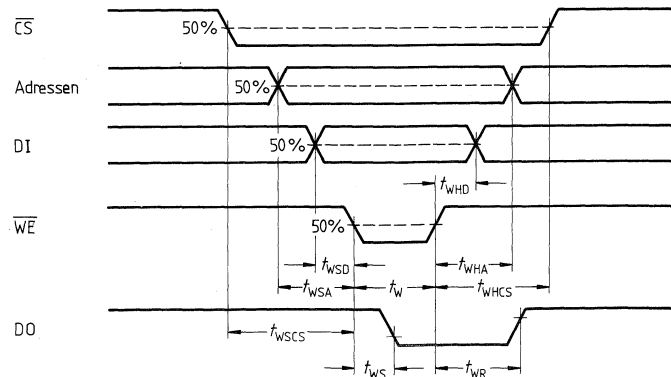
	min.	typ.	max.	Einheit
		5	6	ns
		5	6	ns
		6	8	ns
	0,5	0,7	0,9	ns
	0,5	0,7	0,9	ns



Schreiben

Schreibimpulsbreite	t_W	8	6		ns
Daten-Vorlaufzeit	t_{WSD}	1	0		ns
Daten-Haltezeit	t_{WHD}	3	2		ns
Adreß-Vorlaufzeit	t_{WSA}	3	2		ns
Adreß-Haltezeit	t_{WHA}	3	2		ns
Bausteinauswahl-Vorlaufzeit	t_{WSDS}	1	0		ns
Bausteinauswahl-Haltezeit	t_{WHCS}	2	1		ns
Schreib-Abschaltzeit	t_{WS}	5	4		ns
Schreib-Erholzeit	t_{WR}	7	5		ns

	min.	typ.	max.	Einheit
	8	6		ns
	1	0		ns
	3	2		ns
	3	2		ns
	3	2		ns
	1	0		ns
	2	1		ns
	5	4		ns
	7	5		ns

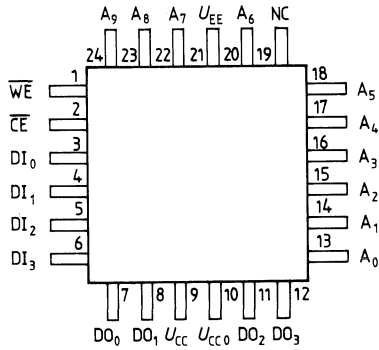


Vorläufige Daten

Typ	Bestellnummer	Gehäuse-Bauform
GXB 100475	Q67000-Q214	Bild Nr. 4

- Organisation 1024 x 4 Bit
- Zugriffszeit: 25 ns (max.)
- Verlustleistung: 92 mW/Bit
- Ein- und Ausgangspegel sowie Versorgungsspannung ECL 100 k – kompatibel
- Eingang für Baustein-Auswahl
- wired-or Möglichkeit
- austauschbar mit Fairchild F 100475

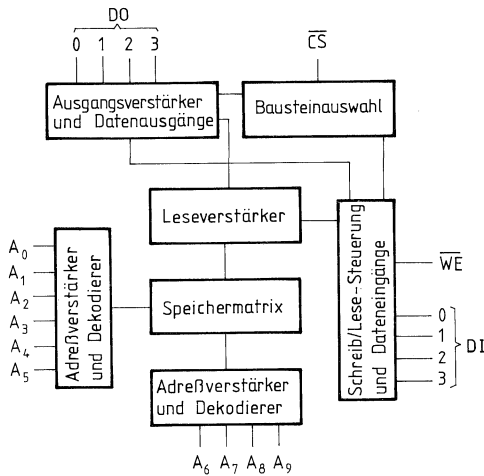
Anschlußordnung (Ansicht von oben)



Anschlußbezeichnung

- A₀ – A₉ Adressen-Eingänge
- DI₀ – DI₃ Daten-Eingänge
- DO₀ – DO₃ Daten-Eingänge
- CS Baustein-Auswahl
- WE Schreibfreigabe
- U_{CC} GND 1
- U_{EE} Versorgungsspannung
- U_{CC0} GND 2
- NC nicht angeschlossen

Blockschaltbild



Grenzdaten¹⁾

Versorgungsspannung	U_{EE}	- 4,05 bis - 4,95	V
Eingangsspannung	U_I	GND bis U_{EE}	
Ausgangsstrom	I_O	- 50	mA
Arbeitstemperaturbereich	T_U	0 bis 85	°C
Lagertemperatur	T_S	- 55 bis 125	°C

Funktionsweise

Mit der zehnstelligen Adresse A_0 bis A_9 werden über die X- und Y-Dekodierer 4 der 4096 Zellen der Speichermatrix ausgewählt.

Die 4 Zellen können abhängig von Zustand der Schreib-Lese-Steuerung gelesen oder neu beschrieben werden. Ausschlaggebend ist dafür jeweils die Einstellung am WE-Eingang. Beim Lesen wird die Information der ausgewählten Zellen über den Ausgangsverstärker zum Datenausgang geführt. Dabei sind die am Dateneingang DI anliegenden Werte ohne Einfluß.

Beim Schreiben werden die an DI anliegenden Werte von den 4 ausgewählten Zellen übernommen. In diesem Zustand ist der Ausgangsverstärker gesperrt und DO stets auf „niedrig-Pegel“.

Über den Chip-Select-Eingang \overline{CS} können Schreib-Lese-Steuerung und Ausgangsverstärker gleichzeitig gesperrt oder freigegeben werden. Im Sperrfall kann der Baustein weder gelesen noch beschrieben werden, unabhängig von den logischen Werten der übrigen Eingänge. Der Informationsinhalt des Speichers bleibt dabei unberührt.

¹⁾ Ein Überschreiten dieser Grenzdaten kann den dauernden Ausfall des Bauteils zur Folge haben. Bei bipolaren integrierten Schaltungen mit kleinsten Eingangsstrukturen ist eine graduelle Empfindlichkeit gegenüber statischen Aufladungen nicht auszuschließen. Die üblichen Maßnahmen zur Vermeidung von Grenzwertüberschreitungen sind zu beachten.

Der Baustein ist ein nichtinvertierender Speicher, d. h. der geschriebene logische Wert an DI ist mit dem gelesenen logischen Wert an DO identisch. Bei allen Arbeitszuständen liegt am Ausgang ein „Low“-Pegel außer beim Lesen eines „High“-Pegels. Diese Eigenschaft ermöglicht es, beim Zusammenbau mehrerer Bausteine Datenausgänge zusammenzulegen, wobei der gemeinsame Ausgang wieder nur dann auf „High“-Pegel liegt, wenn von einem ausgewählten Baustein ein „High“-Pegel ausgegeben wird.

Bei dieser Verknüpfungsart (wired-or-Verknüpfung) kann man nahezu beliebige Speicherkapazitäten zusammensetzen.

Wahrheitstabelle

Eingang			Ausgang offener Emitter	Betriebsmodus
\overline{CS}	\overline{WE}	DI		
H	X	X	L	Gesperrt
L	L	L	L	Schreiben „0“
L	L	H	L	Schreiben „1“
L	H	X	H/L	Lesen „1“/„0“

Betrieb- und Prüfbedingungen

$T_U = 25\text{ °C}$, $U_{CC} = 0\text{ V}$, $U_{EE} = 4,5\text{ V} \pm 10\%$; Ausgangslast: $50\ \Omega$ an = 2 V

Statische Kenndaten

	Prüfbedingungen	min	typ.	max	Einheit	
Stromaufnahme aus U_{EE}	I_{EE}		200		mA	
H-Ausgangsspannung	U_{OH}	$U_i = U_{iH\ max}$	- 1025	- 955	- 880	mV
L-Ausgangsspannung	U_{OL}	oder $U_{iL\ min}$	- 1810	- 1705	- 1620	mV
H-Ausgangsspannung	U_{OHC}	$U_i = U_{iH\ min}$	- 1035			mV
L-Ausgangsspannung	U_{OLC}	oder $U_{iL\ max}$			- 1610	mV
H-Eingangsspannung	U_{iH}		- 1215		- 880	mV
L-Eingangsspannung	U_{iL}		- 1810		- 1425	mV
H-Eingangsstrom ($A_0 - A_9$)	I_{iH}	$U_i = U_{iH\ max}$		10		μA
H-Eingangsstrom (\overline{CS} , DI, \overline{WE})	I_{iH}	$U_i = U_{iH\ max}$		20		μA
L-Eingangsstrom ($A_0 - A_5$)	I_{iL}	$U_i = U_{iL\ max}$		10		μA
L-Eingangsstrom ($A_6 - A_9$, \overline{WE} , \overline{CS} , DI)	I_{iL}	$U_i = U_{iL\ max}$		0		μA
Verlustleistung	P_{tot}		0,9		W	

Betriebs- und Prüfbedingungen

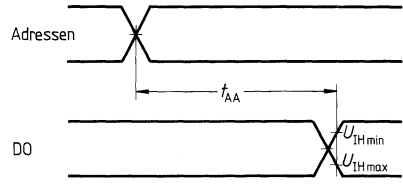
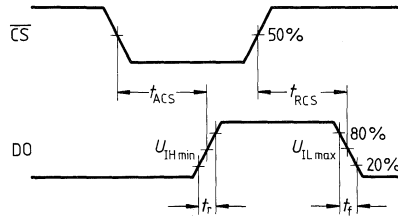
$T_U = 0$ bis 85°C , $U_{CC} = 0\text{V}$, $U_{EE} = -4,5\text{V} \pm 10\%$

Schaltzeiten

Lesen

Baustein-Auswahl	t_{ACS}				
Baustein-Auswahl	t_{RCS}				
Erholzeit					
Adreßzugriffszeit	t_{AA}				
Anstiegszeit	t_r	0,5	0,7	0,9	ns
Abfallzeit	t_f	0,5	0,7	0,9	ns

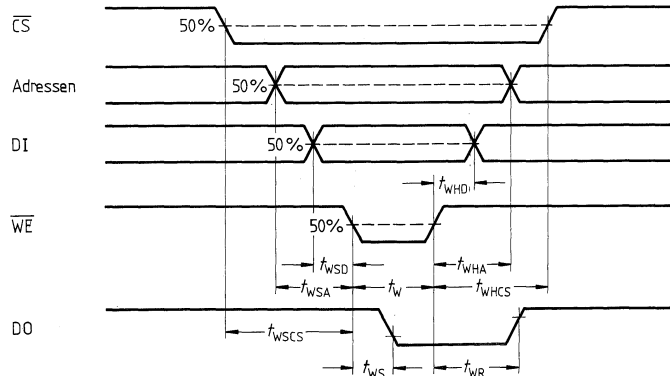
Prüfbedingung	min	typ	max	Einheit
		12	15	ns
		12	15	ns
		20	25	ns
	0,5	0,7	0,9	ns
	0,5	0,7	0,9	ns



Schreiben

Schreibimpulsbreite	t_W	25	20		ns
Daten-Vorlaufzeit	t_{WSD}	5	0		ns
Daten-Haltezeit	t_{WHD}	5	3		ns
Adreß-Vorlaufzeit	t_{WSA}	8	5		ns
Adreß-Haltezeit	t_{WHA}	5	3		ns
Bausteinwahl-Vorlaufzeit	t_{WSCS}	5	0		ns
Bausteinwahl-Haltezeit	t_{WHCS}	5	0		ns
Schreib-Abschaltzeit	t_{WS}	10	7		ns
Schreib-Erholzeit	t_{WR}	10	7		ns

Prüfbedingung	min	typ	max	Einheit
	25	20		ns
	5	0		ns
	5	3		ns
	8	5		ns
	5	3		ns
	5	0		ns
	5	0		ns
	10	7		ns
	10	7		ns



Vorläufige Daten

Typ	Bestellnummer	Gehäuse-Bauform
HYB 4116-A 3	Q67100-Q 186	Keramik / Bild Nr. 2
HYB 4116-A 4	Q67100-Q 187	Keramik / Bild Nr. 2
HYB 4116-P 3	Q67100-Q 219	Kunststoff / Bild Nr. 3
HYB 4116-P 4	Q67100-Q 220	Kunststoff / Bild Nr. 3

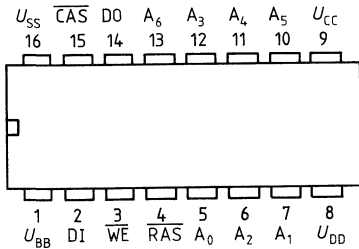
Der HYB 4116 von Siemens ist ein dynamischer Schreib-Lesespeicher in N-Kanal Si-Gate Technologie mit Doppellagen-Polysilizium.

Die verwendete dyn. 1-Transistor-Zelle ermöglicht hohe Packungsdichte und große Schnelligkeit; zusätzlich gestattet das Multiplexen der Adreßsignale den Einsatz des platzsparenden 16 pol. Dual-in-line Gehäuses.

- N-Kanal Si²-Gate Technologie
- Organisation 16384 x 1 Bit, voll dekodiert
- getrennter Daten-Eingang und -Ausgang
- alle Eingänge TTL-kompatibel (einschließlich Takt)
- niedrige Verlustleistung: 462 mW aktiv, 20 mW inaktiv
- Zwischenspeicherung von Adressen und Eingangsdaten
- 200 ns Zugriffszeit, 375 ns Zykluszeit (HYB 4116-A 3, P 3)
- 250 ns Zugriffszeit, 410 ns Zykluszeit (HYB 4116-A 4, P 4)
- 3 Ausgangszustände, 2 TTL-Lasten
- austauschbar gegen MK 4116
- 128 Auffrischzyklen
- keine Speicherung der Ausgangsdaten
- ± 10% Toleranz für alle Spannungsversorgungen

Anschlußanordnung

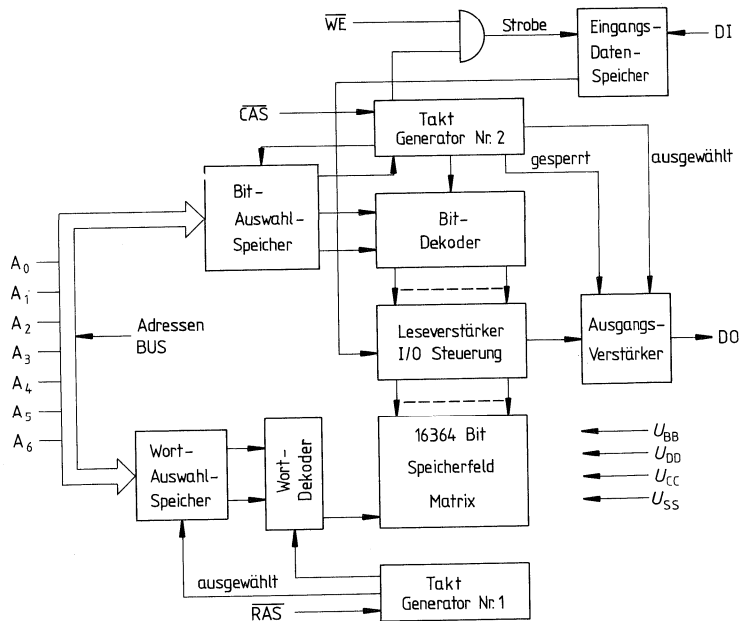
Ansicht von oben



Anschlußbezeichnungen

$A_0 - A_6$	Adressen-Eingänge
\overline{CAS}	Bit - Adressen Strobe
DI	Daten-Eingang
DO	Daten-Ausgang
\overline{RAS}	Wort-Adressen Strobe
\overline{WE}	Lesen/Schreiben Takt
U_{BB}	- 5 V
U_{DD}	+ 12 V
U_{CC}	+ 5 V
U_{SS}	0 V

Blockschaltbild



Funktionsweise

Adressierung ($A_0 - A_6$)

Für die Auswahl einer von 16 384 Speicherzellen sind insgesamt 14 Adreßbits erforderlich, die nacheinander über die Anschlußstifte $A_0 - A_6$ durch zwei Takte übernommen werden (Adreß-Multiplexing). Zuerst werden die 7 Wortadressen abgerufen und mit dem Takt \overline{RAS} im Wort-Auswahl-Speicher zwischengespeichert. Anschließend übernimmt der Takt \overline{CAS} die 7 Bitadressen in den Bit-Auswahl-Speicher. Hierbei muß beachtet werden, daß die Adreß-Signale zum Zeitpunkt der negativen Flanke von \overline{RAS} bzw. \overline{CAS} im eingeschwungenen Zustand anliegen.

\overline{RAS} und \overline{CAS} bestimmen den Startzeitpunkt für die interne Taktsteuerung.

\overline{RAS} bewirkt die Wortdekodierung und aktiviert die Leseverstärker.

\overline{CAS} steuert die Bitdekodierung sowie die Dateneingangs- und Ausgangsverstärker.

Schreiben/Lesen (\overline{WE})

Schreib- bzw. Lesezyklen werden ausgeführt, wenn das Schreibenfreigabesignal \overline{WE} auf „L“ bzw. „H“ (niedriger bzw. hoher Signalpegel) ist. Der Dateneingang DI ist gesperrt, während ein Lesevorgang ausgeführt wird.

Die kürzeste Schreibzykluszeit erhält man, wenn \overline{WE} vor oder gleich mit \overline{CAS} auf „L“ („frühes Schreiben“) geht. Mit \overline{CAS} werden dann die Schreibdaten in den Eingangs-Daten-Speicher übernommen.

Verzögertes Schreiben, Lesen/Ändern/Schreiben

Beim verzögerten Schreiben bzw. Lesen/Ändern/Schreiben ist \overline{CAS} bereits auf „L“, so daß die Schreibdaten mit dem nachfolgenden \overline{WE} -Signal in den Eingangsdatenspeicher geschrieben werden.

Dateneingang (DI)

Daten können während eines Schreib- oder Lesen/Ändern/Schreibzyklus eingegeben werden. Zeitbestimmend für die Datenübernahme ist die negative Flanke von \overline{CAS} oder \overline{WE} , je nachdem welche Flanke später kommt.

Datenausgabe (DO)

Der Datenausgang kann drei Zustände einnehmen (Three-State) und ist für 2 TTL-Lasten ausgelegt. Die Ausgangsdaten sind gegenüber den Eingangsdaten nicht invertiert. In einem Lesezyklus sind die Lesedaten nach der auf \overline{CAS} bezogenen Zugriffszeit t_{CAC} verfügbar. Am Ende des Lesezyklus geht der Datenausgang mit \overline{CAS} -„H“ wieder in den hochohmigen Zustand.

Beim Lesen/Ändern/Schreiben stehen die Daten wie beim Lesezyklus am Ausgang an. Beim „frühen Schreiben“ ist der Datenausgang während des ganzen Zyklus hochohmig.

Auffrischzyklus

Für den Datenerhalt in den dyn. Speicherzellen muß jede Wortadresse mindestens alle 2 ms aufgerufen werden. Auf allen Wortadressen zusammen müssen innerhalb von 2 ms 128 Auffrischzyklen ausgeführt werden. Beim Lesen bzw. Schreiben werden die Daten der 128 Speicherzellen einer aufgerufenen Wortleitung automatisch aufgefrischt.

Aufladungszyklus

Nach dem Anlegen der Spannungen an den Baustein sind einige Zyklen notwendig, ehe ein richtiges Funktionieren gewährleistet ist. Für diesen Zweck können z. B. 8 Auffrischzyklen ausgeführt werden.

Grenzdaten¹⁾

Max. Spannung aller Eingänge und Versorgungsspannungen U_{DD} , U_{CC} und U_{SS} gegen U_{BB}		- 0,5 bis 20	V
Max. Spannung an U_{DD} , U_{CC} , Eingang gegen U_{SS}		- 1,0 bis 15	V
$U_{BB} - U_{SS}$ ($U_{DD} - U_{SS} > 0$ V)		0	V
Umgebungstemperatur im Betrieb	T_U	0 bis 70	°C
Lagertemperatur	T_s	- 65 bis 150	°C
Max. zul. Verlustleistung	P_{tot}	1	W
Max. Ruheleistung		20	mW

¹⁾ Ein Überschreiten dieser Grenzdaten kann den dauernden Ausfall des Bauteiles zur Folge haben. Ein Betrieb bei diesen oder anderen Werten, die außerhalb der nachfolgend angegebenen Betriebsdaten liegen ist nicht vorgesehen.

Betriebs- und Prüfbedingungen

$T_U = 0$ bis 70 °C, $U_{SS} = 0$ V, $U_{DD} = +12$ V $\pm 10\%$, $U_{BB} = 5$ V $\pm 10\%$, $U_{CC} = +5$ V $\pm 10\%$

Statische Kenndaten¹⁾

	Prüfbedingungen	min	typ.	max	Einheit
H-Eingangsspannung ²⁾ (ausgenommen RAS, CAS, WRITE)	U_{IH}	2,4		7,0	V
H-Eingangsspannung ²⁾ RAS, CAS, WRITE	U_{IHC}	2,7		7,0	V
L-Eingangsspannung	U_{IL}	- 1,0		0,8	V
H-Ausgangsspannung	U_{OH}	$I_o = -5$ mA		U_{CC}	V
L-Ausgangsspannung	U_{OL}	$I_o = 4,2$ mA	2,4		V
Stromaufnahme aus U_{DD} ³⁾	$I_{DD 1}$			35	mA
Ruhestromaufnahme aus U_{DD}	$I_{DD 2}$	} \overline{RAS} auf U_{IH} -Pegel } \overline{CAS} auf U_{IH} -Pegel		1,5	mA
Mittlere Stromaufnahme aus U_{DD} während eines Auffrischzyklus ³⁾	$I_{DD 3}$	} \overline{RAS} -Impulsfolge } \overline{CAS} auf U_{IH} -Pegel		27	mA

¹⁾ Beim Anlegen der verschiedenen Versorgungsspannungen muß gewährleistet sein, daß U_{DD} , U_{CC} und U_{SS} stets größer sind als $U_{BB} - 0,3$ V.

²⁾ Überschwinger der Eingangssignale bis zu Pegeln von 6,5 V oder - 2,0 V, die nicht länger als 30 ns andauern, beeinflussen die Funktion und die Zuverlässigkeit des Bausteins nicht.

³⁾ I_{DD} ist abhängig von der Zykluszeit. Maximaler Strom ist bei der kürzesten Zykluszeit gemessen.

Betriebs- und Prüfbedingungen

$T_U = 0$ bis $+70$ °C, $U_{SS} = 0$ V, $U_{DD} = +12$ V $\pm 10\%$, $U_{BB} = -5$ V $\pm 10\%$, $U_{CC} = +5$ V $\pm 10\%$

Statische Kenndaten¹⁾

	Prüfbedingungen	min	typ.	max	Einheit
Eingangs-Leckstrom ³⁾	$I_{I(L)}$	- 10		10	μ A
Ausgangs-Leckstrom	$I_{O(L)}$	- 10		10	μ A
Ruhestromaufnahme aus U_{CC} ²⁾ I_{CC}	$\left. \begin{array}{l} \overline{CAS} \text{ auf } U_{IH}\text{-Pegel} \\ U_O = U_{SS} \text{ bis } U_{CC} \\ \overline{RAS} \text{ auf } U_{IH}\text{-Pegel} \\ \overline{CAS} \text{ auf } U_{IH}\text{-Pegel} \end{array} \right\}$	- 10		10	μ A
Mittl. Stromaufnahme aus U_{BB} $I_{BB 1}$				200	μ A
Ruhestromaufnahme aus U_{BB} $I_{BB 2}$				100	μ A
Kapazitäten					
Eingangskapazität ⁴⁾ ($A_0 - A_6$), DI	C_1			5	pF
Eingangskapazität ⁴⁾ RAS, CAS, WRITE	C_2			10	pF
Ausgangskapazität ⁴⁾	C_0	DO = Three state		7	pF

1) Beim Anlegen der verschiedenen Versorgungsspannungen muß gewährleistet sein, daß U_{DD} , U_{CC} und U_{SS} stets größer sind als $U_{BB} - 0,3$ V.

2) U_{CC} versorgt nur den Ausgangstreiber

3) U_{BB} an -5 V, zu messender Anschluß an $+7$ V, alle anderen Anschlüsse an 0 V.

4) Die effektive Kapazität errechnet sich aus der Gleichung: $C = \frac{I \cdot \Delta t}{\Delta U}$ mit $\Delta U = 3$ V

Betriebs- und Prüfbedingungen

$T_U = 0$ bis $+70$ °C, $U_{SS} = 0$ V, $U_{DD} = +12$ V \pm 10%, $U_{BB} = -5$ V \pm 10%, $U_{CC} = +5$ V \pm 10%

Dynamische Kenndaten¹⁾

		HYB 4116				
		- A 3 / - P 3		- A 4 / - P 4		
		min	max	min	max	Einheit
Lesen- oder Schreibzykluszeit ²⁾	t_{RC}	375		410		ns
Lesen-Schreiben-Zykluszeit ²⁾	t_{RWC}	375		465		ns
Lesen-Ändern-Schreiben-Zykluszeit ²⁾	t_{RMWC}	415		515		ns
Zugriffzeit über \overline{RAS} ^{3,4}	t_{RAC}		200		250	ns
Zugriffzeit über \overline{CAS} ^{3,5}	t_{CAC}		135		165	ns
Ausgangstreiber-Abschaltverzögerung ⁶⁾	t_{OFF}		50		60	ns
\overline{RAS} Vorladezeit	t_{RP}	120		150		ns
\overline{RAS} Impulsdauer	t_{RAS}	200	10^4	250	10^4	ns
\overline{RAS} Haltezeit	t_{RSH}	135		165		ns
\overline{CAS} Haltezeit	t_{CSH}	200		250		ns
\overline{CAS} Impulsdauer	t_{CAS}	135	10^4	165	10^4	ns
\overline{RAS} zu \overline{CAS} Verzögerungszeit ⁷⁾	t_{RCD}	25	65	35	85	ns
Wort-Adressen-Vorlaufzeit	t_{ASR}	0		0		ns
Wort-Adressen-Haltezeit	t_{RAH}	25		35		ns
Bit-Adressen-Vorlaufzeit	t_{ASC}	-10		-10		ns
Bit-Adressen-Haltezeit	t_{CAH}	55		75		ns
Bit-Adressen-Haltezeit zu \overline{RAS}	t_{AR}	120		160		ns
Anstieg- und Abfallzeit	t_T	3	50	3	50	ns
Lesebefehl Vorlaufzeit	t_{RCS}	0		0		ns
Lesebefehl Haltezeit	t_{RCH}	0		0		ns
Schreibbefehl Haltezeit	t_{WCH}	55		75		ns
Schreibbefehl Haltezeit zu \overline{RAS}	t_{WCR}	120		160		ns
Schreibbefehl Vorlaufzeit ⁸⁾	t_{WCS}	-20		-20		ns
Schreibbefehl Impulsbreite	t_{WP}	55		75		ns

Bemerkungen siehe nächste Seite!

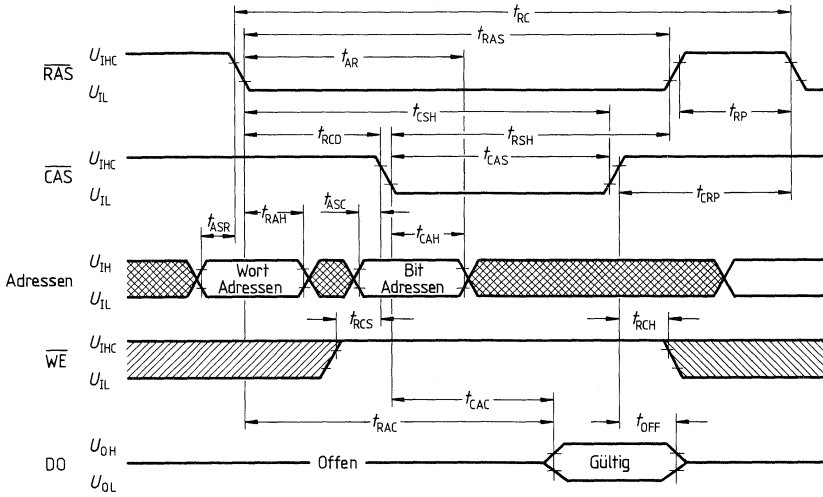
Dynamische Kenndaten¹⁾ (Fortsetzung)

		HYB 4116				Einheit
		- A3 / - P3		- A4 / - P4		
		min	max	min	max	
Vorlaufzeit \overline{WE} zu \overline{RAS}	t_{RWL}	80		100		ns
Vorlaufzeit \overline{WE} zu \overline{CAS}	t_{CWL}	80		100		ns
Dateneingang Vorlaufzeit	t_{DS}	0		0		ns
Dateneingang Haltezeit ⁹⁾	t_{DH}	55		75		ns
Dateneingang Haltezeit zu \overline{RAS} ⁹⁾	t_{DHR}	120		160		ns
\overline{CAS} zu \overline{RAS} Vorladezeit	t_{CRP}	-20		-20		ns
Auffrischfolgezeit	t_{RF}		2,0		2,0	ms
\overline{CAS} zu \overline{WE} Verzögerungszeit ⁸⁾	t_{CWD}	95		115		ns
\overline{RAS} zu \overline{WE} Verzögerungszeit ⁸⁾	t_{RWD}	160		200		ns

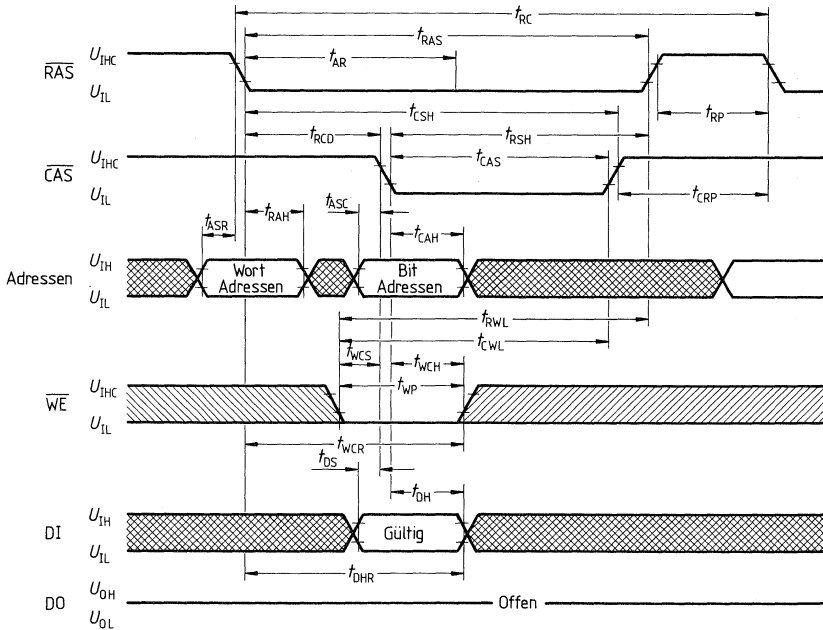
Bemerkungen

- 1) $U_{IHC (min)}$ oder $U_{IH (min)}$ und $U_{IL (max)}$ sind Bezugspegel für die Messung der Eingangssignale. Die Übergangszeiten werden ebenfalls zwischen U_{IHC} oder U_{IH} und U_{IL} gemessen.
- 2) Die Spezifikation von $t_{RC (min)}$, $t_{RWC (min)}$ und $t_{RMWC (min)}$ wird nur zur Bestimmung der Zykluszeit, bei der volle Funktionsfähigkeit über den gesamten Temperaturbereich ($0^\circ \leq T_U \leq 70^\circ C$) gesichert ist, benötigt.
- 3) Gemessen mit einer Last, die 2 TT Lasten mit 100 pF parallel entspricht.
- 4) Für den Fall, daß $t_{RCD} \leq t_{RCD (max)}$. Wird t_{RCD} größer als das empfohlene Maximum in der Tabelle, erhöht sich t_{RAC} um den gleichen Betrag als t_{RCD} das Maximum überschreitet.
- 5) Für den Fall, daß $t_{RCD} \geq t_{RCD (max)}$.
- 6) $t_{OFF (max)}$ definiert die Zeit, bei der der Ausgang vom niederohmigen in den hochohmigen Zustand geht.
- 7) Operationen innerhalb der $t_{RCD (max)}$ Grenzen gewährleisten, daß $t_{RAC (max)}$ eingehalten wird. $t_{RCD (max)}$ ist nur als Referenzpunkt spezifiziert. Wenn t_{RCD} größer als $t_{RCM (max)}$ ist, wird die Zugriffszeit ausschließlich von t_{CAC} abhängig.
- 8) t_{WCS} , t_{CWD} und t_{RWD} sind keine einschränkenden Operationsparameter. Sie sind im Datenblatt nur als elektrische Daten enthalten. Wenn $t_{WCS} \geq t_{WCS (min)}$ ist der Zyklus ein sog. „frühes Schreiben“ und der Datenausgang ist hochohmig. Wenn $t_{CWD} \geq t_{CWD (min)}$ und $t_{RWD} \geq t_{RWD (min)}$ ist der Zyklus im Lesen/Schreiben-Zyklus und der Datenausgang zeigt die gelesene Information der ausgewählten Zelle. Ist keine der oben genannten Bedingungen erfüllt, ist der Datenausgang (bei der Zugriffszeit) unbestimmt.
- 9) t_{DS} und t_{DH} sind im „frühes Schreiben Zyklus“ auf die führende \overline{CAS} Flanke, im „Lesen-Ändern-Schreiben-Zyklus“ auf die \overline{WE} Flanke bezogen.

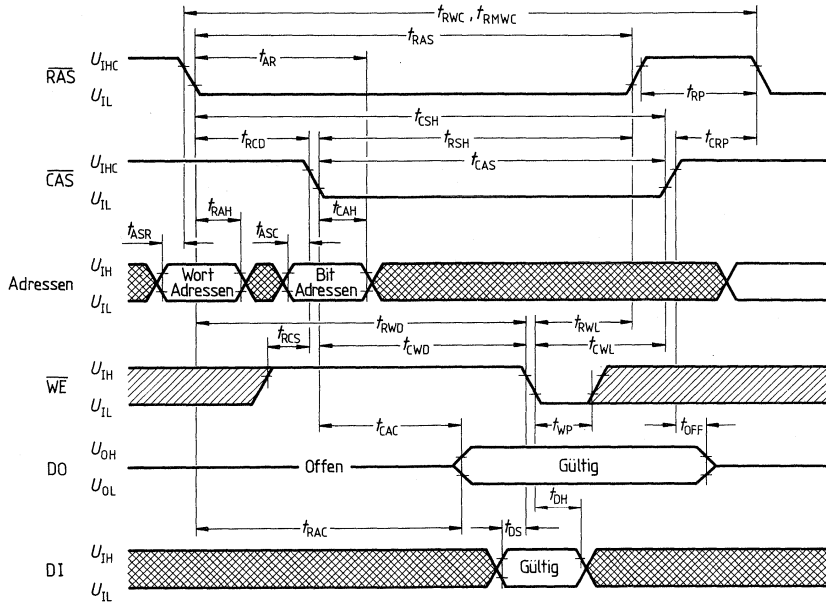
Lesen



Schreiben



Lesen-Schreiben/Lesen-Ändern-Schreiben



Vorläufige Daten

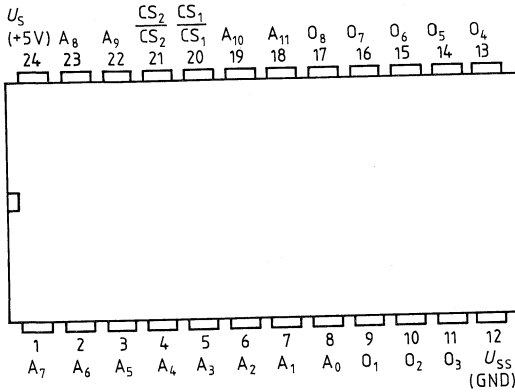
Typ	Bestellnummer	Gehäuse-Bauform
SAB 8316	Q67100-R149	Bild Nr. 7

Der SAB 8316 ist ein 16384 Bit statischer MOS-Festwertspeicher (ROM) in N-Kanal Depletion-Technologie. Der Baustein besitzt eine Organisation von 2048 Worten zu je 8 Bit Wortlänge und ist für den Einsatz z. B. im Mikrocomputer 8080 konzipiert. Der SAB 8316 ist maskenprogrammierbar und wird beim Hersteller auf den entsprechenden Kundenwunsch programmiert. Zusätzlich hat der Festwertspeicher 3 wahlweise programmierbare Eingänge zur Baustein-Auswahl. Hiermit können bis zu 8 Bausteine ausgewählt werden, deren Adresseingänge und Datenausgänge parallel geschaltet sind. Die nicht ausgewählten Bausteine haben einen hohen Ausgangswiderstand.

- Zugriffszeit 450 ns
- max. Leistungsverbrauch 330 mW
- 3 Ausgangszustände
- wired-or-Möglichkeit
- Schutz der Eingänge gegen statische Aufladung
- Betriebsspannung + 5 V
- Umgebungstemperatur 0 °C bis 70 °C
- austauschbar gegen Intel 2316 E,
Mostek MK 34000,
Signetics 2616

Anschlußanordnung

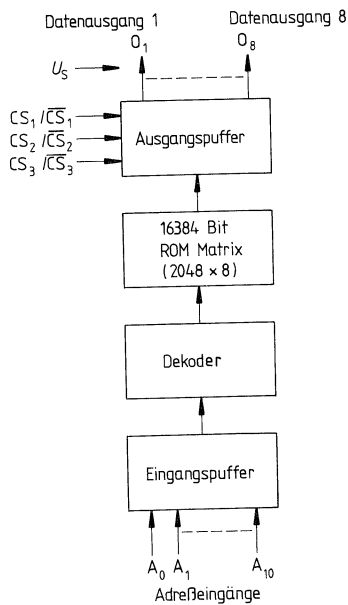
Ansicht von oben



Anschlußbezeichnung

- A₀ – A₁₀ Adressen-Eingänge
- O₁ – O₈ Daten-Ausgänge
- CS₁ – CS₃ Baustein-Auswahl-
- CS₁ – CS₃ Eingänge

Blockschaltbild



Siemens SAB 8316 ROM Lochkartenformat

1. Karte	Chip-Select-Karte	notwendige Kundenlochung
Spalten		
1 - 10	Vertriebsbezeichnung SAB 8316 (linksbündig)	
11	leer	ja
12-36	Kundenname	
37	leer	
38-56	Kundenabteilung	
57	leer	
58-75	Kundentelefonnummer	
76	C (Kennung)	
77	Chip-Select 1)	
78	Chip-Select 2)	P = Highpegel für Baustein-Auswahl
79	Chip-Select 3)	N = Lowpegel für Baustein-Auswahl
89	leer	ja

2. bis 257. Karte **Belegungskarten**

Spalten		
1 -10	Vertriebsbezeichnung SAB 8316 (linksbündig)	
11	leer	ja
12-15	Kartenummer (rechtsbündig) von 1 beginnend fortlaufend bis 256	ja
16	leer	
17-80	8 Worte zu je 8 Bit (1. Bit entspricht Datenausgang 01)	P = Highpegel am Datenausgang N = Lowpegel am Datenausgang
		ja

258. Karte **Bestellnummernkarte**

Spalten		
1 -10	Vertriebsbezeichnung SAB 8316 (linksbündig)	
11	leer	ja
	Seriennummer	
12-28	V 6600-R 0149-B _____ (linksbündig)	
29-34	leer	
	Seriennummer	
35-80	Q 67100-R 0149-B _____ (linksbündig)	

Für jedes ROM ist der vollständige Kartensatz zu liefern!

Grenzdaten¹⁾ (alle Spannungen bezogen auf U_{SS})

Eingangsspannung	U_I	- 0,5 bis + 7	V
Versorgungsspannung	U_S	7	V
Gesamtverlustleistung	P_{tot}	1000	mW
Umgebungstemperatur im Betrieb	T_U	0 bis + 70	°C
Lagertemperatur	T_s	- 55 bis + 150	°C

Betriebs- und Prüfbedingungen

$T_U = 0$ bis 70 °C, $U_{SS} = 0$ V, $U_S = 5$ V $\pm 10\%$

Statische Kenndaten (alle Spannungen bezogen auf U_{SS})

Signalpegel: $A_0 - A_{10}$, $CS_1 / \overline{CS_1}$, $CS_2 / \overline{CS_2}$, $CS_3 / \overline{CS_3}$, O_1 bis O_8

	Prüfbedingungen	min	typ.	max	Einheit
Speisestrom aus U_S	I_S			60	mA
Ausgangs-Leckstrom	$I_{O(L)}$			10	μ A
Eingangsstrom	$I_{I(L)}$			10	μ A
Eingangskapazität	C_i			6	pF
	Alle Anschlüsse auf 0 V, Frequenz 1 MHz				
H-Eingangsspannung	U_{IH}	2		$U_S + 1$	V
L-Eingangsspannung	U_{IL}	- 0,5		0,8	V
H-Ausgangsspannung	U_{OH}	2,4			V
L-Ausgangsspannung	U_{OL}			0,4	V
					$I_{OH} = - 220 \mu$ A
					$I_{OL} = 3,2$ mA

¹⁾ **Grenzdaten** sind **absolute Grenzwerte**, bei deren Überschreitung die integrierte Schaltung zerstört werden kann. Die Funktion der integrierten Schaltung ist bei anderen als den unter **Kenndaten** angegebenen Bedingungen nicht sichergestellt. Ein längerer Betrieb unter den Bedingungen der Grenzdaten kann sich ungünstig auf die Zuverlässigkeit der integrierten Schaltung auswirken.

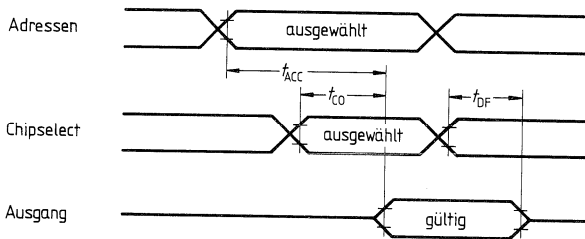
Betriebs- und Prüfbedingungen

$T_U = 0$ bis $70\text{ }^\circ\text{C}$, $U_{SS} = 0\text{ V}$, $U_S = 5\text{ V} \pm 10\%$

Schaltzeiten

	Prüfbedingungen	min	typ.	max	Einheit
Zugriffzeit	t_{ACC}		300	450	ns
Verzögerungszeit CS-Ausgang aktiv	t_{CO}	$t_r = t_f = 20\text{ ns}$ Ausgang: 2 TTL-Lasten 100 pF		175	ns
Verzögerungszeit CS-Ausgang inaktiv	t_{DF}			150	ns

Zeitdiagramm



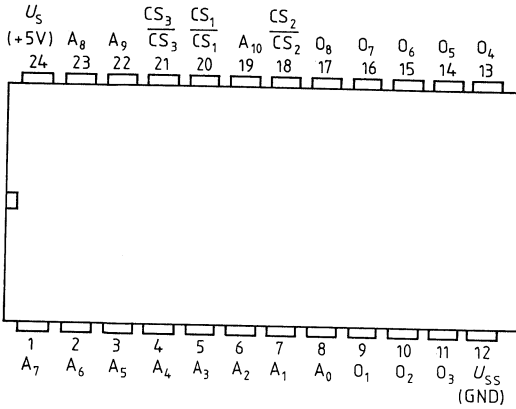
Vorläufige Daten

Typ	Bestellnummer	Gehäuse-Bauform
SAB 8332	Q67100-Q 216	Bild Nr. 7

Der SAB 8332 ist ein 32 768 Bit statischer MOS-Festwertspeicher (ROM) in N-Kanal Depletion-Technologie. Der Baustein besitzt eine Organisation von 4096 Worten zu je 8 Bit Wortlänge und ist für den Einsatz z. B. im Mikrocomputer 8080 konzipiert. Der SAB 8332 ist maskenprogrammierbar und wird beim Hersteller auf den entsprechenden Kundenwunsch programmiert. Zusätzlich hat der Festwertspeicher 2 wahlweise programmierbare Eingänge zur Baustein-Auswahl. Hiermit können bis zu 4 Bausteine ausgewählt werden, deren Adresseingänge und Dateneingänge parallel geschaltet sind. Die nicht ausgewählten Bausteine haben einen hohen Ausgangswiderstand.

- Zugriffszeit 450 ns
- max. Leistungsverbrauch 440 mW
- 3 Ausgangszustände
- wired-or-Möglichkeit
- Schutz der Eingänge gegen statische Aufladung
- Betriebsspannung + 5 V
- Umgebungstemperatur 0 °C bis 70 °C
- austauschbar gegen AMD AM 9232
Mostek MK 32000,
Signetics 2633

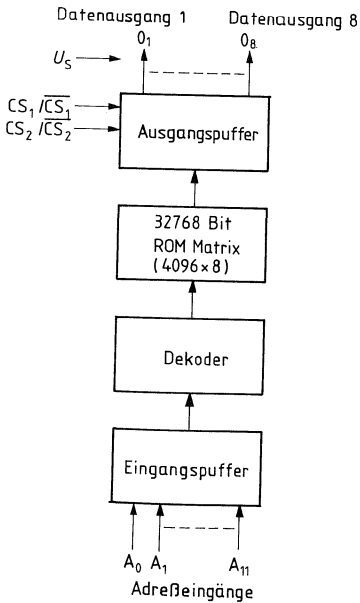
Anschlußanordnung (Ansicht von oben)



Anschlußbezeichnung

- $A_0 - A_{11}$ Adressen-Eingänge
- $O_1 - O_8$ Daten-Ausgänge
- $\overline{CS_1} - \overline{CS_2}$ Baustein-Auswahl-Eingänge

Blockschaltbild



Siemens SAB 8322 ROM Lochkartenformat

1. Karte	Chip-Select-Karte	notwendige Kundenlochung
Spalten		
1 -10	Vertriebsbezeichnung SAB 8332 (linksbündig)	ja
11	leer	
12-36	Kundenname	
37	leer	
38-56	Kundenabteilung	
57	leer	
58-75	Kundentelefonnummer	
76	C (Kennung)	
77	Chip-Select 1) P = Highpegel für Baustein-Auswahl	ja
78	Chip-Select 2) N = Lowpegel für Baustein-Auswahl	ja
79-80	leer	

2. bis 513. Karte	Belegungskarten	
Spalten		
1 -10	Vertriebsbezeichnung SAB 8332 (linksbündig)	
11	leer	
12-15	Kartennummer (rechtsbündig) von 1 beginnend fortlaufend bis 512	ja
16	leer	
17-80	8 Worte zu je 8 Bit (1. Bit entspricht Datenausgang 01)	ja
	P = Highpegel am Datenausgang N = Lowpegel am Datenausgang	

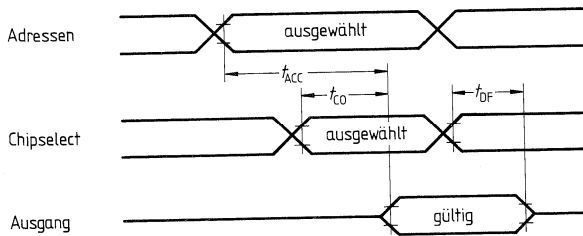
514. Karte	Bestellnummernkarte	
Spalten		
1 -10	Vertriebsbezeichnung SAB 8332 (linksbündig)	ja
11	leer	
12-28	V 6600-R 0003-B _____ (linksbündig)	
29-34	leer	
35-80	Q 67100-Q 216-B _____ (linksbündig)	
Für jedes ROM ist der vollständige Kartensatz zu liefern!		

Betriebs- und Prüfbedingungen

$T_U = 0$ bis $70\text{ }^\circ\text{C}$, $U_{SS} = 0\text{ V}$, $U_S = 5\text{ V} \pm 10\%$

Schaltzeiten		Prüfbedingungen	min	typ.	max	Einheit
Zugriffzeit	t_{ACC}	$t_r = t_f = 20\text{ ns}$ Ausgang: 2 TTL-Lasten 100 pF		300	450	ns
Verzögerungszeit CS-Ausgang aktiv	t_{CO}				175	ns
Verzögerungszeit CS-Ausgang inaktiv	t_{DF}				150	ns

Zeitdiagramm



Vorläufige Daten

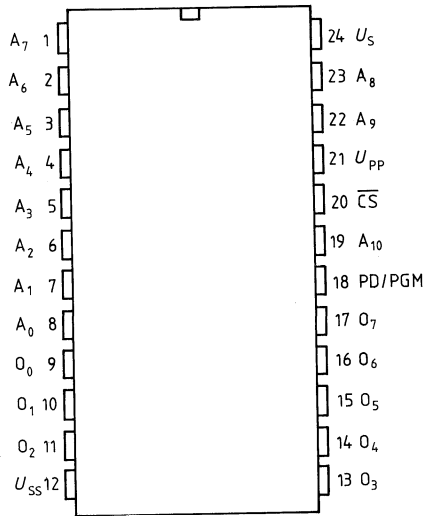
Typ	Bestellnummer	Gehäuse-Bauform
SAB 8716	Q67100-Q217	Bild Nr. 6

Elektrisch programmierbarer und mit UV-Licht löschbarer Festwertspeicher
„Floating-Gate“-Technologie

Vorteile:

- Organisation 2K x 8 Bit
- Daten-Haltung mind. 10 Jahre bei 70 °C, auch bei Dauerbetrieb
- Unbegrenzte Zahl von Lesezyklen
- Unbegrenzte Zahl von Programmier-Lösch-Zyklen
- Gesamtlöschung mit UV-Licht
- Programmierung mit TTL-Impulsen gesteuert
- Einzel-Adress-Programmierung
- Anschluß-Kompatibel zu 16K ROMs 2316 E, SAB 8316, AM 9218
- Voll statischer Betrieb
- Ein- und Ausgänge TTL-kompatibel
- Tristate-Ausgänge
- Niedrige Verlustleistung, max. 525 mW aktiv / 132 mW Standby
- Kurze Zugriffszeit, max. 450 ns

Anschlußanordnung, Ansicht von oben



Anschlußbezeichnungen

$A_0 - A_{10}$	Adressen-Eingänge
$O_0 - O_7$	Daten-Ein/-Ausgänge
\overline{CS}	Chip-Select
U_{PP}	Programmierungsspannungsversorgung
U_S	Spannungsversorgung + 5 V
PD/PGM	Standby/Programmieren
U_{SS}	0 V (Masse)

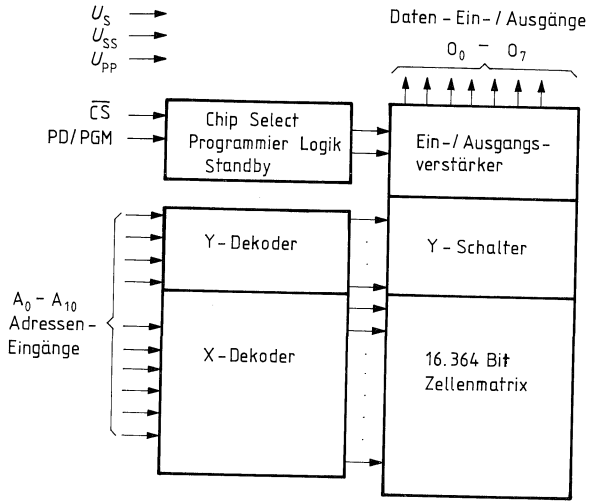
Der Siemens Baustein SAB 8716 ist ein nichtflüchtiger, elektrisch programmierbarer, mit UV-Licht löschbarer Festwertspeicher (EPROM), organisiert in 2048 Worten zu je 8 Bit Länge. Der SAB 8716 benötigt zum Lesen nur eine Versorgungsspannung von + 5 V und hat eine Standby-Betriebsmöglichkeit. Die Gesamtprogrammierzeit beträgt nur 100 sec.

Es können 3 Betriebsarten gewählt werden:

- Lesen:** mit 5 V am U_{PP} -Anschluß
- Programmieren:** mit 25 V am U_{PP} -Anschluß
 Programmierung eines 8-Bit-Wortes erfolgt durch Aktivieren von PD/PGM für 50 ms. Die Adressfolge ist beliebig.
- Standby:** mit 5 V an U_{PP} und U_{IH} an PD/PGM

Der Schaltkreis wird in N-Kanal-Doppel-Polysiliziumgate-Technologie hergestellt. Die Speicherzellen mit isoliertem Speicher-Gate halten die Information länger als 10 Jahre unabhängig von der Zahl der Lesezyklen.

Blockdiagramm



Grenzdaten¹⁾

U_S Versorgungsspannung	U_S	7 bis -0,3	V
U_{PP} Versorgungsspannung	U_{PP}	27 bis -0,3	V
Ein- und Ausgangsspannungen	U_I	-0,5 bis 7	V
Arbeitstemperatur	T_U	0 bis 70	°C
Lagertemperatur	T_S	-55 bis 125	°C

Betriebsartenwahl

$U_{SS} = 0\text{ V}$ (Masse), $U_S = +5\text{ V}$

Anschluß		P D/PGM (18)	\overline{CS} (20)	U_{PP} , V (21)	Daten Ein-/Ausgänge (9 - 11, 13 - 17)
Betriebsart					
Lesen	ausgewählt	U_{IL}	U_{IL}	+ 5	Daten aus
	nicht ausgewählt	U_{IH} oder U_{IL}	U_{IH}	+ 5	hochohmig
Standby		U_{IH}	U_{IH} oder U_{IL}	+ 5	hochohmig
Programmieren	ausgewählt	$U_{IL} \rightarrow U_{IH} \rightarrow U_{IL}$ gepulst	U_{IH}	+ 25	Daten ein
	gesperrt	U_{IL}	U_{IH}	+ 25	hochohmig
	überprüfen	U_{IL}	U_{IL}	+ 25	Daten aus

¹⁾ Ein Überschreiten dieser Grenzdaten kann den dauernden Ausfall des Bauteiles zur Folge haben. Ein Betrieb bei diesen oder anderen Werten, die außerhalb der nachfolgend angegebenen Betriebsdaten liegen, ist nicht vorgesehen.

Lesen

$U_{SS} = 0\text{ V}$ (Masse), $U_S = +5\text{ V} \pm 5\%$, $U_{PP} = U_S \pm 0,6\text{ V}^5$, $T_U = 0\text{ }^\circ\text{C}$ bis $70\text{ }^\circ\text{C}$;

Statische Kenndaten

		Prüfbedingungen	min	typ?)	max	Einheit
Eingangs-Laststrom	I_{LI}	$U_I = 5,25\text{ V}$			10	μA
Ausgangs-Laststrom	I_{LO}	$U_O = 5,25\text{ V}$			10	μA
Speisestrom aus U_{PP}	$I_{PP\ 1}$	$U_{PP} = 5,85\text{ V}$			5	mA
Speisestrom Standby aus U_S	$I_{S\ 1}$	$\overline{\text{CS}} = U_{IL}$; PD/PGM = U_{IH}		10	25	mA
Speisestrom Aktiv aus U_S	$I_{S\ 2}$	$\text{CS} = \text{PD/PGM} = U_{IL}$		57	100	mA
L-Eingangsspannung	U_{IL}	PD/PGM = U_{IH}	-0,1		0,8	V
H-Eingangsspannung	U_{IH}		2,2		$U_S + 1$	V
L-Ausgangsspannung	U_{OL}	$I_{OL} = 2,1\text{ mA}$			0,45	V
H-Ausgangsspannung	U_{OH}	$I_{OH} = -0,4\text{ mA}$	2,4			V

Dynamische Kenndaten

Adresszugriffszeit	$t_{ACC\ 1}$	PD/PGM = U_{IL} $\text{CS} = U_{IL}$		250	450	ns
PD/PGM Zugriffszeit	$t_{ACC\ 2}$			280	450	ns
Verzögerungszeit $\overline{\text{CS}}$	t_{CO}	PD/PGM = U_{IL}			120	ns
Ausgang aktiv						
Verzögerungszeit PD/PGM	t_{PF}		0		100	ns
Ausgang inaktiv						
Verzögerungszeit $\overline{\text{CS}}$	t_{DF}	PD/PGM = U_{IL}	0		100	ns
Ausgang inaktiv						
Verzögerungszeit	t_{OH}	PD/PGM = $\overline{\text{CS}} = U_{IL}$	0			ns
Adresswechsel						
Ausgang inaktiv						

Dynamische Testbedingungen:

Ausgangslast: 1 TTL-Gatter und $C_L = 100\text{ pF}$
 Eingang Anstiegs- und Abfallzeit: (10% bis 90%) : $\leq 20\text{ ns}$
 Eingangsspannungspegel: 0,8 V und 2,2 V
 Meßreferenzspannung: Eingänge 1 V und 2 V
 Ausgänge 0,8 V und 2 V

Bemerkungen siehe Seite 376.

Programming Operation

$U_{SS} = 0\text{ V}$ (Masse), $U_S = +5\text{ V} \pm 5\%$, $U_{PP} = +25\text{ V} \pm 1\text{ V}$ ³⁾⁴⁾; $T_U = 25\text{ }^\circ\text{C} \pm 5\text{ }^\circ\text{C}$

Statische Kenndaten

		Prüfbedingungen	min	typ. ²⁾	max	Einheit
Eingangslaststrom	I_{LI}	$U_I = 5,25\text{ V} / 0,45\text{ V}$			10	μA
Speisestrom aus U_S	I_S				100	mA
Speisestrom aus U_{PP}	$I_{PP\ 1}$	PD/PGM = U_{IL}			6	mA
Speisestrom aus U_{PP} während des Programmpulses	$I_{PP\ 2}$	PD/PGM = U_{IH}			30	mA
L-Eingangsspannung	U_{IL}		-0,1		0,8	V
H-Eingangsspannung	U_{IH}		2,2		$U_S + 1$	V

Dynamische Kenndaten

Adressvorlaufzeit	t_{AS}		2			μs
Adresshaltezeit	t_{AH}		2			μs
Dateneingangsvorlaufzeit	t_{DS}		2			μs
Dateneingangshaltezeit	t_{DH}		2			μs
CS-Vorlaufzeit	t_{CSS}		2			μs
CS Haltezeit	t_{CSH}		2			μs
Verzögerungszeit $\overline{\text{CS}}$	t_{DF}		0		120	ns
Ausgang inaktiv						
Verzögerungszeit $\overline{\text{CS}}$	t_{CD}	PD/PGM = U_{IL}			120	ns
Ausgang aktiv						
Programmierpulsdauer	t_{PW}		45		55	ms
Programmierpuls Anstiegszeit	t_{PRT}		5			ns
Programmierpuls Abfallzeit	t_{PFT}		5			ns

Dynamische Testbedingungen:

Ausgangslast: 1 TTL-Gatter und $C_L = 100\text{ pF}$
 Eingang Anstiegs- und Abfallzeit: (10% bis 90%): $\leq 20\text{ ns}$
 Eingangsspannungspegel: 0,8 V und 2,2 V
 Meßreferenzspannung: Eingänge 1 V und 2 V
 Ausgänge 0,8 V und 2 V

Bemerkungen siehe Seite 376.

Kapazitäten ($T_U = 25\text{ °C}$, $f = 1\text{ MHz}$)

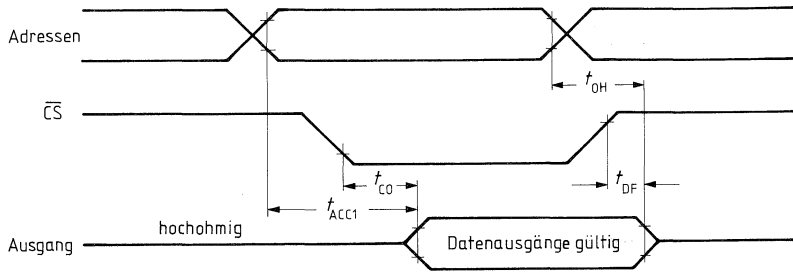
		Prüfbedingungen	min	typ. ²⁾	max	Einheit
Eingangskapazität	C_1	$U_1 = 0\text{ V}$		4	6	pF
Ausgangskapazität	C_0	$U_0 = 0\text{ V}$		8	12	pF

Bemerkungen

- 1) U_S muß gleichzeitig mit oder vor U_{PP} angelegt und gleichzeitig mit oder nach U_{PP} abgeschaltet werden.
- 2) Typische Werte für $T_U = 25\text{ °C}$ und Nennspannungen
- 3) Beim Schalten der U_{PP} Versorgungsspannung ist zu beachten, daß die max. zulässige Spannung von +26 V am U_{PP} -Anschluß nicht überschritten wird (kein Überschwingen).
- 4) Der SAB 8716 darf bei $U_{PP} > U_S + 0,6\text{ V}$ nicht in einen Sockel gesteckt oder aus ihm gezogen werden, um einen Ausfall des Bausteins zu verhindern.
- 5) Die Toleranz von 0,6 V gestattet dem Anwender Treiberbausteine zu verwenden, um den U_{PP} -Anschluß von 5 V (Lesen) auf 25 V (Programmieren) umzuschalten.
- 6) t_{ACC} bezieht sich auf PD/PGM oder die Adresse, je nachdem welche Flanke zuletzt kommt.

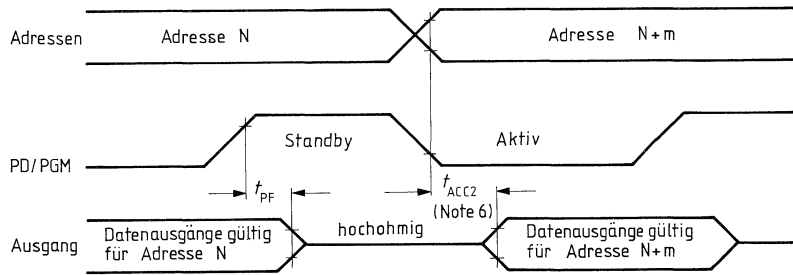
Lesen

PD/PCM = U_{IL}



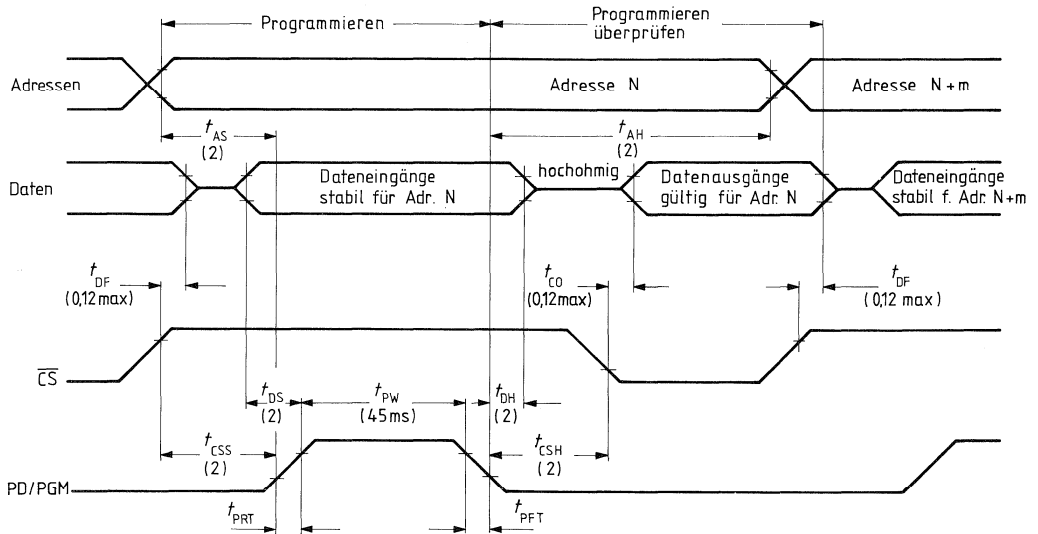
Standby

$\overline{CS} = U_{IL}$



Programmieren

$U_{PP} = 25 V \pm 1V$



Bemerkung

Alle Zeiten in Klammern sind Minimalzeiten in μs , wenn nicht anders angegeben.

Betrieb des Bausteins

Die Versorgungsspannung $U_{CC} = +5\text{ V}$ bleibt für alle 6 Betriebsarten unverändert. Die U_{PP} Versorgungsspannung ist während der 3 Programmierbetriebsarten $+25\text{ V}$ und in den anderen 3 Betriebsarten $+5\text{ V}$. Alle anderen Eingänge bei den 6 Betriebsarten haben TTL-Pegel.

Lesen

Mit PD/PGM gleich U_{IL} ist der Baustein auf Lesebetrieb geschaltet und verhält sich wie ein ROM. Der \overline{CS} -Anschluß dient dazu, die Daten auf die sonst hochohmigen Datenausgänge zu schalten. Die Ausgänge mehrerer Bausteine können parallel geschaltet werden. Dabei muß sichergestellt sein, daß nur jeweils ein Baustein im Lesebereich mittels \overline{CS} gleich U_{IL} ausgewählt ist um zwischen zusammengeschalteten Datenausgängen Kurzschlußströme zu vermeiden.

Standby

Mit PD/PGM gleich U_{IH} reduziert sich die Verlustleistung um 75%. Die Ausgänge sind dabei hochohmig.

Programmieren

Nach jedem Löschen befinden sich alle Bits des Bausteins im log. „1“ Zustand. Nach dem Programmieren einer „0“ befindet sich das ausgewählte Bit im „0“ Zustand, gleichgültig wie der logische Zustand vorher war. Durch das Programmieren einer „1“ wird der logische Zustand des ausgewählten Bits nicht geändert, d. h. eine „0“ bleibt eine „0“ eine „1“ bleibt eine „1“. Das Ändern einer „0“ in eine „1“ geschieht nur durch Gesamtlöschung eines Bausteines durch UV-Licht. Wird also ein gelöschter Baustein programmiert, so stehen danach genau die programmierten Daten zur Auslesung bereit. Mit $U_{PP} = 25\text{ V}$ und \overline{CS} gleich U_{IH} ist der Baustein in Betriebsart „Programmieren“ geschaltet. Die Datenanschlüsse O_0 bis O_7 sind damit hochohmige Dateneingänge. Das Programmieren eines 8 Bit Wortes geschieht dadurch, daß nach Anlegen der gewünschten Adressen und Daten der Anschluß PD/PGM für 50 ms auf U_{IH} gepulst wird. Zur Überprüfung der korrekten Programmierung kann anschließend mit \overline{CS} und PD/PGM gleich U_{IL} sowie $U_{PP} = 25\text{ V}$ bei der gleichen Adresse der Speicherinhalt gelesen werden. Die Adressenfolge beim Programmieren ist beliebig.

Löschen

Der SAB 8716 kann gelöscht werden, indem er UV-Licht mit einer Wellenlänge von 254 nm ausgesetzt wird. Die empfohlene min. integrierte Dosis (d. h. UV-Beleuchtungsstärke x Beleuchtungszeit) ist 15 Ws/cm^2 . Die Löschezit mit dieser Dosis beträgt 15–20 Minuten. Der Abstand zwischen Baustein und Lampe soll in diesem Fall ca. 2,5 cm betragen. Nach dem Löschen sind alle Bits des Bausteins im log. „1“ Zustand.

Vorläufige Daten

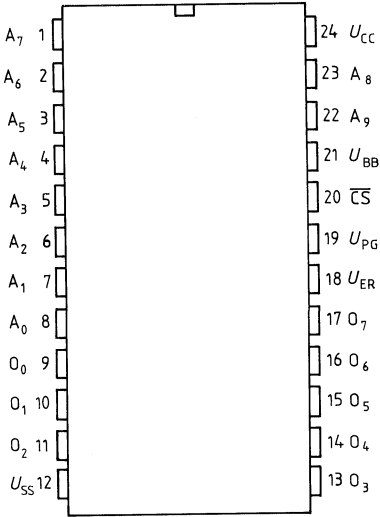
Typ	Bestellnummer	Gehäuse-Bauform
SAB 2808	Q67100–Q218	Bild Nr. 5

Elektrisch lösch- und programmierbarer Festwertspeicher
„Floating-Gate“-Technologie

Vorteile

- Organisation 1K x 8 Bit
- Daten-Haltung min. 10 Jahre bei 70 °C, auch bei Dauerbetrieb
- Unbegrenzte Zahl von Lesezyklen
- Programmier-Lösch-Zyklen min. 10³
- Elektrische Gesamtlöschung in max. 60 s
- TTL-Puls gesteuerte Programmierung
- Einzel-Adress-Programmierung
- Anschluß-Kompatibel zu 8K-ROMs 2308, 8308, AM 9208
- Einfache Systemanpassung von 8K-EPROMs 2708, 8708, 2758
- Voll statischer Betrieb
- Ein- und Ausgänge TTL-kompatibel
- Tristate-Ausgänge
- Niedrige Verlustleistung, max. 400 mW
- Kurze Zugriffszeit, max. 450 ns
- Voller Temperaturbereich 0 °C bis 70 °C auch beim Programmieren und Löschen

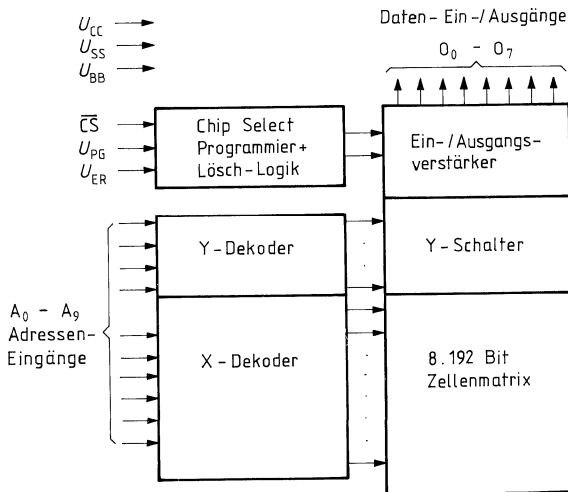
Anschlußanordnung, Ansicht von oben



Anschlußbezeichnungen

- A₀ – A₉ Adressen-Eingänge
- O₀ – O₇ Daten – Ein-/Ausgänge
- CS Chip-Select-Eingang
- U_{PG} Programmierspannungsversorgung
- U_{CC}/U_{BB} Spannungsversorgung ± 5 V
- U_{ER} Löschspannungsversorgung

Blockschaltbild



Der Siemens Baustein SAB 2808 ist ein nichtflüchtiger, elektrisch lösch- und programmierbarer Festwertspeicher (*Electrically Erasable and Programmable ROM = EEPROM*), organisiert in 1024 Worten zu je 8 Bit Länge. Der Speicherinhalt kann im System elektrisch verändert werden, UV-Löschvorrichtungen werden nicht benötigt.

Es können 3 Betriebsarten gewählt werden:

- Lesen** mit 12 V am U_{PG} -Anschluß
- Programmieren** mit 25 V am U_{PG} -Anschluß
 Programmierung eines 8-Bit-Wortes erfolgt durch Aktivieren von \overline{CS} für 50 ms. Die Adressfolge ist beliebig.
- Löschen** mit einer 33 V Löschspannung für 60 s am U_{ER} -Anschluß
 Der gesamte Speicherinhalt wird gelöscht.

Der Schaltkreis wird in N-Kanal Doppel-Polysiliziumgate-Technologie hergestellt. Die Speicherzellen mit isoliertem Speicher-Gate halten die Daten länger als 10 Jahre bereit, unabhängig von der Zahl der Lesezyklen. 1000 Lösch- und Neuprogrammier-Zyklen werden übertroffen.

Grenzdaten¹⁾

Ein- und Ausgangsspannungen	U_I	- 0,5 bis 7	V
U_{CC} Versorgungsspannung	U_{CC}	7 bis - 0,3	V
U_{PG} Versorgungsspannung	U_{PG}	27 bis - 0,3	V
U_{ER} Versorgungsspannung	U_{ER}	38 bis - 0,5	V
U_{BB} Versorgungsspannung	U_{BB}	- 7 bis 0	V
Arbeitstemperatur	T_U	- 10 bis 80	°C
Lagertemperatur	T_s	- 55 bis 125	°C

Alle Spannungen auf U_{SS} bezogen

¹⁾ Ein Überschreiten dieser Grenzdaten kann den dauernden Ausfall des Bauteiles zur Folge haben. Ein Betrieb bei diesen oder anderen Werten, die außerhalb der nachfolgend angegebenen Betriebsdaten liegen, ist nicht vorgesehen.

BETRIEBSARTENWAHL

$U_{SS} = 0 \text{ V}$ (Masse), $U_{BB} = -5 \text{ V}$, $U_{CC} = +5 \text{ V}$

Betriebsart \ Anschluß		$U_{PG}, \text{ V}$ (19)	$\overline{\text{CS}}$ (20)	$U_{ER}, \text{ V}$ (18)	Daten-Ein-/Ausgänge (9 – 11, 13 – 17)
Lesen	ausgewählt	12	U_{IL}	0	Daten aus
	nicht ausgewählt	12	U_{IH}	0	Hochohmig
Programmieren	ausgewählt	25	ein Puls $U_{IH} \rightarrow U_{IL} \rightarrow U_{IH}$	0	Daten ein
	gesperrt/ nicht ausgewählt	25	U_{IH}	0	Hochohmig
Löschen		12 oder 25	U_{IH} oder U_{IL}	33	Hochohmig

LESEN

$U_{SS} = 0 \text{ V}$ (Masse), $U_{BB} = -5 \text{ V} \pm 10\%$, $U_{CC} = +5 \text{ V} \pm 10\%$, $U_{PG} = +12 \text{ V} \pm 10\%$,
 $U_{ER} = U_{SS} \pm 0,5 \text{ V}$, $T_U = 0 \text{ bis } 70 \text{ }^\circ\text{C}$

Statische Kenndaten

	Prüfbedingungen	min.	typ. ²⁾	max	Einheit
Eingangs-Laststrom	I_{LI}	$U_I = 5,5 \text{ V}$		10	μA
Ausgangs-Leckstrom	I_{LO}	$U_o = 5,5 \text{ V} / 0,4 \text{ V}$ $\overline{\text{CS}} = U_{IH}$		10	μA
Speisestrom aus U_{BB}	I_{BB}	Ausgänge offen	-1	0	mA
Speisestrom aus U_{CC}	I_{CC}		9	17	mA
Speisestrom aus U_{PG}	I_{PG}		14	20	mA
Speisestrom aus U_{ER}	I_{ER}		-2	1	mA
L-Eingangsspannung	U_{IL}		-0,5	0,8	V
H-Eingangsspannung	U_{IH}		2,2	$U_{CC} + 1$	V
L-Ausgangsspannung	U_{OL}	$I_{OL} = 2,1 \text{ mA}$		0,4	V
H-Ausgangsspannung	U_{OH}	$I_{OH} = -0,4 \text{ mA}$	2,4		V

Dynamische Kenndaten

Adresszugriffszeit	t_{ACC}	$\overline{\text{CS}} = U_{IL}$		300	450	ns
Verzögerungszeit	t_{CO}				120	ns
$\overline{\text{CS}} \rightarrow$ Ausgang aktiv						
Verzögerungszeit	t_{DF}		0		100	ns
$\overline{\text{CS}} \rightarrow$ Ausgang inaktiv						
U_{PG} Haltezeit vor Lesebeginn	t_{PL}		50			μs

Dynamische Testbedingungen:

Ausgangslast: 1 TTL-Gatter und $C_L = 100 \text{ pF}$
 Eingangs Anstiegs- und Abfallzeit: (10% bis 90%): $\leq 20 \text{ ns}$
 Eingangsspannungspiegel: 0,8 V und 2,2 V

Meßreferenzspannung:
 Eingänge 1 V und 2 V
 Ausgänge 0,8 V und 2 V

Bemerkungen siehe Seite 374

PROGRAMMIEREN

$U_{SS} = 0\text{ V}$ (Masse), $U_{BB} = -5\text{ V} \pm 10\%$, $U_{CC} = +5\text{ V} \pm 10\%$, $U_{PG} = +25\text{ V} \pm 1\text{ V}$ ³⁾
 $U_{ER} = U_{SS} \pm 0,5\text{ V}$, $T_U = 0$ bis $70\text{ }^\circ\text{C}$

Statische Kenndaten		Prüfbedingungen	min	typ. ²⁾	max	Einheit
Eingang-Laststrom (jeder)	I_{LI}	$U_I = 5,5\text{ V} / 0,4\text{ V}$			10	μA
Speisestrom aus U_{BB}	I_{BB}		- 5		0	mA
Speisestrom aus U_{CC}	I_{CC}			9	17	mA
Speisestrom aus U_{PG}	$I_{PG\ 1}$	$\overline{CS} = U_{IH}$		10	13	mA
Speisestrom aus U_{PG} während des Programmierpulses	$I_{PG\ 2}$	$\overline{CS} = U_{IL}$		25	35	mA
Speisestrom aus U_{ER}	I_{ER}		- 2		1	mA
L-Eingangsspannung	U_{IL}		- 0,5		0,8	V
H-Eingangsspannung	U_{IH}		2,2		$U_{CC} + 1$	V

Dynamische Kenndaten ³⁾		Meßreferenzspannung	min	typ. ²⁾	max	Einheit
Programmierpulsdauer	t_{PW}		45		55	ms
Adressvorlaufzeit	t_{AS}		2			μs
Adresshaltezeit	t_{AH}		20			μs
Dateneingangsvorlaufzeit	t_{DS}		2			μs
Dateneingangshaltezeit	t_{DH}		20			μs
U_{PG} Anstiegszeit	t_{PR}	$U_{PG} = 14\text{ V} / 23\text{ V}$			10	ms
U_{PG} Abfallzeit	t_{PF}	$U_{PG} = 23\text{ V} / 14\text{ V}$			10	ms
U_{PG} Haltezeit vor Programmierbeginn	t_{PH}		50			μs

Dynamische Testbedingungen

Eingang Anstiegs- und Abfallzeit: (10% bis 90%): $\geq 20\text{ ns}$

Eingangsspannung Meßpunkt: 0,8 V und 2,2 V

Eingangs Meßreferenzspannung: 1 V und 2 V

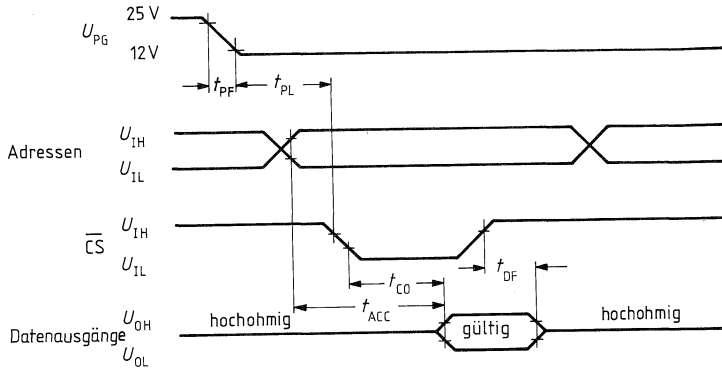
KAPAZITÄTEN ($T_U = 25\text{ }^\circ\text{C}$, $f = 1\text{ MHz}$)

		Prüfbedingungen	min	typ. ²⁾	max	Einheit
Eingangskapazität	C_i	$U_I = 0\text{ V}$		4	6	pF
Ausgangskapazität	C_o	$U_o = 0\text{ V}$		8	12	pF

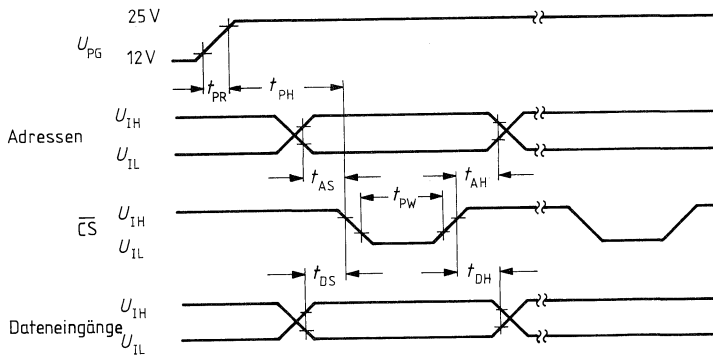
Bemerkungen

- U_{BB} muß gleichzeitig mit oder vor U_{CC} und U_{PG} angelegt und gleichzeitig mit oder nach U_{CC} und U_{PG} abgeschaltet werden.
- Typische Werte für $T_U = 25\text{ }^\circ\text{C}$ und Nennspannungen
- Beim Schalten der U_{PG} - und U_{ER} -Versorgungsspannungen ist zu beachten, daß die max. zulässigen Spannungen von + 26 V am U_{PG} Anschluß und von + 36 V am U_{ER} Anschluß nicht überschritten werden (kein Überschwingen).

Lesen



Programmieren



LÖSCHEN

$U_{SS} = 0 \text{ V}$ (Masse), $U_{BB} = -5 \text{ V} \pm 10\%$ ¹⁾, $U_{CC} = +5 \text{ V} \pm 10\%$ ¹⁾, $U_{PG} = +12 \text{ V} \pm 10\%$ ¹⁾ oder $U_{PG} = +25 \text{ V} \pm 1\text{V}$ ³⁾, $T_U = 0 \text{ bis } 70 \text{ }^\circ\text{C}$

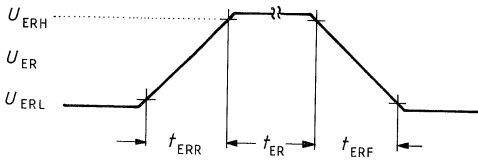
Statische Kenndaten

	Prüfbedingungen	min	typ. ²⁾	max	Einheit
Eingangs-Laststrom (jeder)	I_{LI} $U_{ER} = 33 \text{ V}$ $U_I = 5,5 \text{ V} / 0,4 \text{ V}$			10	μA
Speisestrom aus U_{BB}	I_{BB}	-5		0	mA
Speisestrom aus U_{CC}	I_{CC}		9	17	mA
Speisestrom aus U_{PG}	I_{PG}		14	20	mA
Speisestrom aus U_{PG}	$I_{PG 1}$ $U_{PG} = 25 \text{ V}$		10	13	mA
Speisestrom aus U_{ER}	I_{ER} $U_{ER} = 33 \text{ V}$	0		5	mA
U_{ER} H-Speisespannung	$U_{ER H}$	30		36	V
U_{ER} L-Speisespannung	$U_{ER L}$	-0,5		0,5	V

Dynamische Kenndaten³⁾

	Meßreferenzspannung	min	typ. ²⁾	max	Einheit
U_{ER} Anstiegszeit	t_{ERR} $U_{ER} = 1 \text{ V} / 25 \text{ V}$			10	ms
U_{ER} Abfallzeit	t_{ERF} $U_{ER} = 25 \text{ V} / 1 \text{ V}$			10	ms
U_{ER} Pulsweite	t_{ER} $U_{ER} = +33 \text{ V} \pm 3 \text{ V}$	60			s

Bemerkungen siehe Seite 384



BETRIEB DES BAUSTEINS

Die drei Betriebsarten des Bausteins: Lesen, Programmieren, Löschen

werden durch Anlegen der Spannungen U_{PG} und U_{ER} eingestellt. Die Versorgungsspannungen $U_{SS} = 0V$, $U_{BB} = -5V$ und $U_{CC} = +5V$ bleiben unverändert. Die Spannung U_{BB} darf nie positiv gegenüber U_{SS} werden, da der Baustein sonst zerstört werden kann.

Im Lesebetrieb beträgt die Spannung $U_{PG} + 12V$ und im Programmierbetrieb $+25V$. Ausgewählt wird der Baustein durch Aktivieren des \overline{CS} -Eingangs. Durch Anlegen einer Spannung U_{ER} von $+33V$ wird der Baustein gelöscht, unbeeinflusst vom \overline{CS} -Signal oder der Spannung U_{PG} . Die Datenanschlüsse sind dabei hochohmig.

Lese-Betrieb

Beträgt die Spannung $U_{PG} + 12V$, so ist der Baustein auf Lese-Betrieb geschaltet und verhält sich wie ein ROM. Der \overline{CS} -Anschluß dient dazu, die Daten auf die sonst hochohmigen Datenanschlüsse zu schalten. Die Ausgänge mehrerer Bausteine können parallelgeschaltet werden. Dabei muß sichergestellt sein, daß nur jeweils ein Baustein im Lesebetrieb mittels \overline{CS} ausgewählt ist, um zwischen zusammengeschalteten Datenausgängen Kurzschlußströme zu vermeiden.

Programmier-Betrieb

Beträgt die Spannung $U_{PG} + 25V$, befindet sich der Baustein im Programmier-Betrieb. Die Datenanschlüsse O_0 bis O_7 sind damit hochohmig.

Nach jedem Löschen befinden sich alle Bits des Bausteins im logischen „1“-Zustand. Das Programmieren eines 8-Bit-Wortes geschieht dadurch, daß nach Anlegen der gewünschten Adressen und Daten der Anschluß \overline{CS} durch einen TTL-Puls für 50 ms in den logischen „0“-Zustand geschaltet wird. Während eines Adreß- und Datenwechsels muß \overline{CS} im logischen „1“-Zustand sein. Die Adreßfolge ist beliebig.

Nach dem Programmieren einer „0“ befindet sich das ausgewählte Bit im „0“-Zustand, gleichgültig, wie der logische Zustand vorher war.

Durch das Programmieren einer „1“ wird der logische Zustand des ausgewählten Bits nicht geändert, d. h. eine „0“ bleibt eine „0“, eine „1“ bleibt eine „1“.

Wird also ein gelöschter Baustein programmiert, so stehen danach genau die programmierten Daten zur Auslesung bereit.

Das Ändern einer „0“ in eine „1“ geschieht durch elektrische Gesamtlöschung des Bausteins.

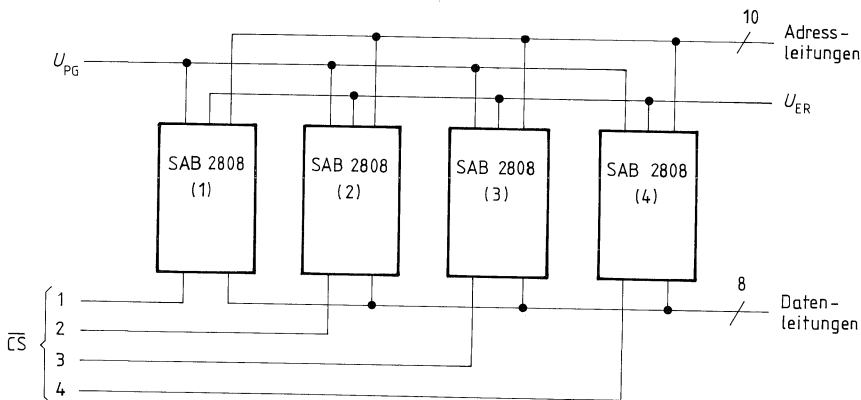
LÖSCH-BETRIEB

Das elektrische Löschen des Bausteins geschieht mit einer Löschspannung U_{ER} von +33 V, wodurch alle 8192 Bits in den logischen „1“-Zustand gelangen. Das geschieht unbeeinflusst vom \overline{CS} -Signal.

Die zur Gesamtlöschung nötige Zeit ist annähernd proportional zur Anzahl der im logischen „0“-Zustand befindlichen Bits, überschreitet aber in keinem Fall 60 Sekunden.

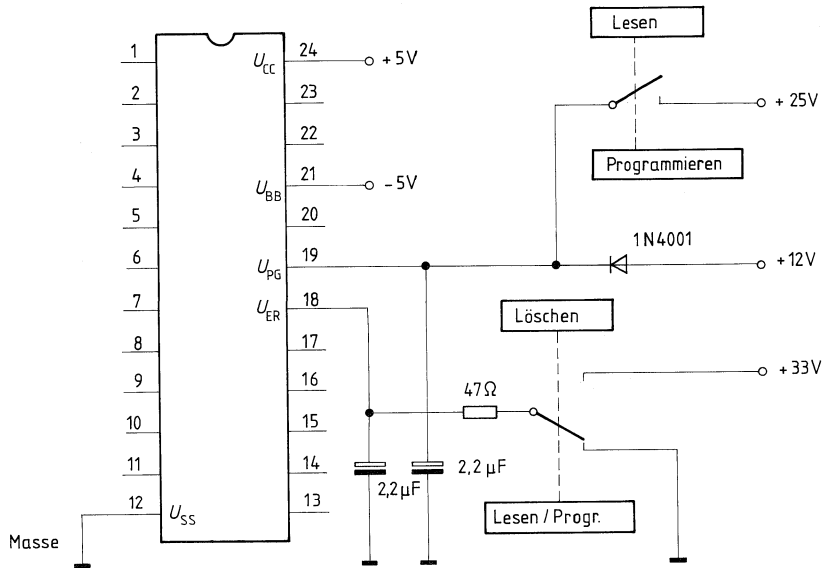
Zusammenschaltung mehrerer Bausteine

Bei paralleler Betriebsweise können bis auf die \overline{CS} -Anschlüsse alle entsprechenden Anschlüsse der Bausteine verbunden werden. Die Auswahl des zu lesenden bzw. zu programmierenden Bausteins geschieht durch Ansteuern des entsprechenden \overline{CS} -Anschlusses. Die Löschung aller Bausteine erfolgt in diesem Beispiel gleichzeitig.



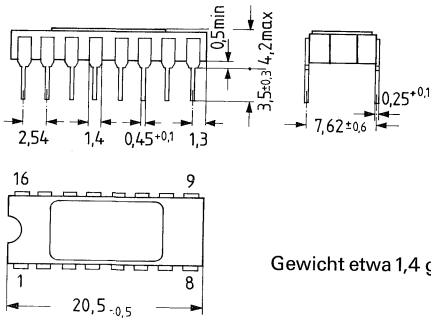
Vorschlag für die Zusammenschaltung mehrerer Bausteine

Vorschlag für die Spannungsversorgung



Gehäusebauformen der Speicher-Bausteine

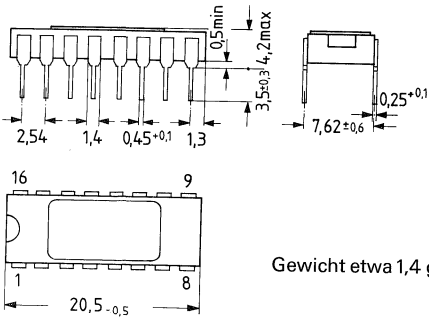
Keramik-Gehäuse
16 Anschlüsse



Gewicht etwa 1,4 g

Bild 1

Keramik-Gehäuse
16 Anschlüsse

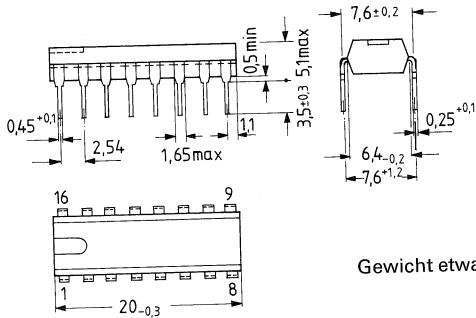


Gewicht etwa 1,4 g

Bild 2

Gehäusebauformen der Speicher-Bausteine

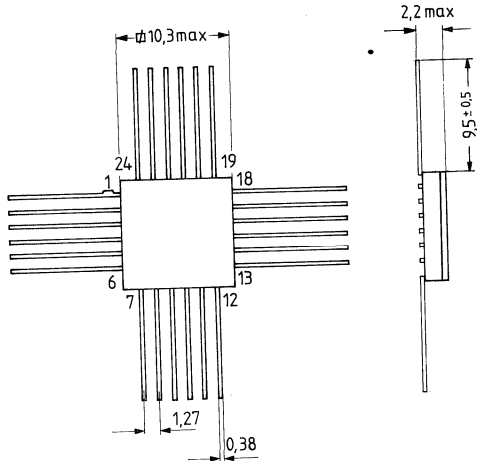
Kunststoff-Steckgehäuse 20 A 16 DIN 41866
16 Anschlüsse



Gewicht etwa 1,2 g

Bild 3

Flat pack-Gehäuse
24 Anschlüsse

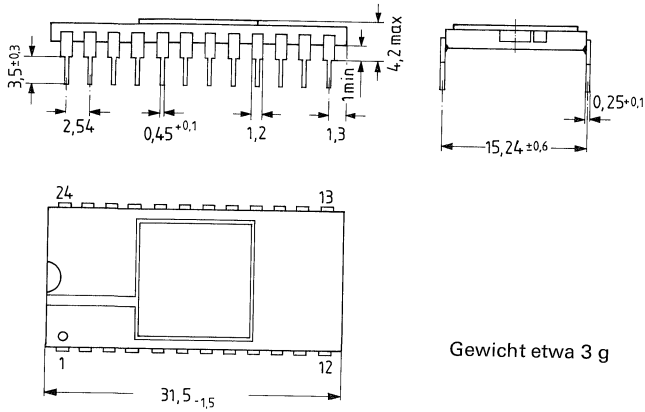


Gewicht etwa 2,5 g

Bild 4

Gehäusebauformen der Speicher-Bausteine

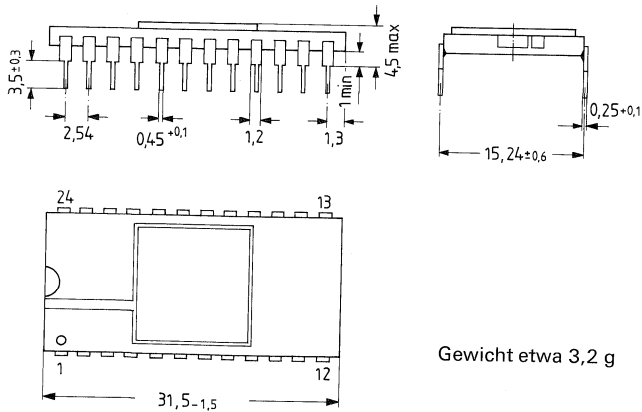
Keramik-Gehäuse 24 Anschlüsse



Gewicht etwa 3 g

Bild 7

Keramik-Gehäuse mit UV-Licht durchlässigem Fenster 24 Anschlüsse



Gewicht etwa 3,2 g

Bild 6

Gehäusebauformen der Speicher-Bausteine

Kunststoff-Steckgehäuse, 20 A 24 DIN 41866
24 Anschlüsse

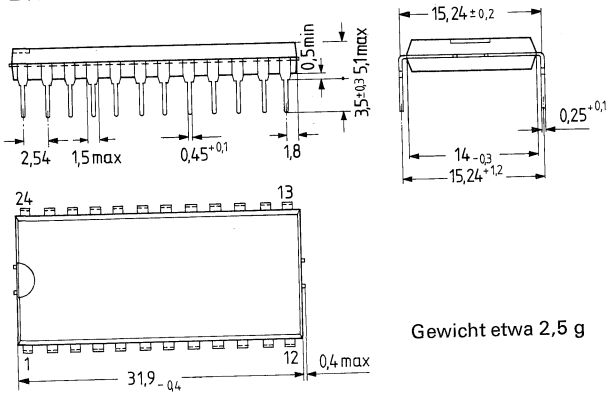


Bild 7

Anschriften unserer Geschäftsstellen



Unsere Geschäftsstellen

Bundesrepublik Deutschland und Berlin (West)

Siemens AG
Salzufer 6-8
Postfach 11 05 60
1000 Berlin 11
☎ (030) 39 39-1, ☎ 1 83 766

Siemens AG
Contrescarpe 72
Postfach 10 78 27
2800 Bremen 1
☎ (0421) 3 64-1, ☎ 2 45 451

Siemens AG
Lahnweg 10
Postfach 11 15
4000 Düsseldorf 1
☎ (0211) 30 30-1, ☎ 8 581 301

Siemens AG
Gutleutstraße 31
Postfach 41 83
6000 Frankfurt 1
☎ (0611) 2 62-1, ☎ 4 14 131

Siemens AG
Lindenplatz 2
Postfach 10 56 09
2000 Hamburg 1
☎ (040) 2 82-1, ☎ 2 162 721

Siemens AG
Am Maschpark 1
Postfach 53 29
3000 Hannover 1
☎ (0511) 1 99-1, ☎ 9 22 333

Siemens AG
N 7, 18 (Siemenshaus)
Postfach 20 24
6800 Mannheim 1
☎ (0621) 2 96-1, ☎ 4 62 261

Siemens AG
Richard-Strauss-Straße 76
Postfach 20 21 09
8000 München 2
☎ (089) 92 21-1, ☎ 5 29 421

Siemens AG
Von-der-Tann-Straße 30
Postfach 48 44
8500 Nürnberg 1
☎ (0911) 6 54-1, ☎ 6 22 251

Siemens AG
Martin-Luther-Straße 25
Postfach 3 59
6600 Saarbrücken 3
☎ (0681) 30 08-1, ☎ 4 421 431

Siemens AG
Geschwister-Scholl-Straße 24
Postfach 1 20
7000 Stuttgart 1
☎ (0711) 20 76-1, ☎ 7 23 941

Siemens Bauteile Service
Gründlacher Straße 260
Postfach 146
8510 Fürth-Bislohe
☎ (0911) 30 01-1, ☎ 623 818

Europa

Belgien

Siemens S.A.
chaussée de Charleroi 116
B-1060 Bruxelles
☎ (02) 5 37 31 00, ☎ 21 347

Bulgarien

RUEN,
Technisches Beratungsbüro
der Siemens Aktiengesellschaft
uliza Nikolai Gogol 5,
agal Boulevard Lenin
BG-1504 Sofia
☎ 45 70 82, ☎ 22 763

Dänemark

Siemens A/S
Borupvang 3
DK-2750 Ballerup
☎ (02) 65 65 65, ☎ 35 313

Finnland

Siemens Osakeyhtiö
Mikonkatu 8
Fach 8
SF-00101 Helsinki 10
☎ (90) 16 26-1, ☎ 12 465

Frankreich

Siemens Société Anonyme
39-47, boulevard Ornano
B.P. 109
F-93203 Saint-Denis CEDEX 1
☎ (16-1) 8 20 61 20, ☎ 620 853

Griechenland

Siemens Hellas E.A.E.
Voulis 7
P.O.B. 601
Athen 125
☎ (021) 32 93-1, ☎ 2 16 219

Großbritannien

Siemens Limited
Siemens House
Windmill Road
Sunbury-on-Thames
Middlesex TW 16 7HS
☎ (09327) 85 691, ☎ 89 51 091

Irland

Siemens Limited
8, Raglan Road
Dublin 4
☎ (01) 68 47 27, ☎ 5341

Island

Smith & Norland H/F
Nóatún 4
P.O.B. 519
Reykjavik
☎ 2 83 22, ☎ 2055

Italien

Siemens Elettra S.p.A.
Via Fabio Filzi, 25/A
Casella Postale 41 83
I-20124 Milano
☎ (02) 62 48, ☎ 36 261

Jugoslawien

Generalexport
Masarikova 5/XV
Poštanski fah 223
YU-11001 Beograd
☎ (011) 68 48 66, ☎ 11287

Luxemburg

Siemens Société Anonyme
17, rue Glesener
B.P. 1701
Luxembourg
☎ 4 97 11-1, ☎ 3430

Niederlande

Siemens Nederland N.V.
Wilhelmina van Pruisenweg 26
Postbus 16068
Den Haag 2500
☎ (070) 78 27 82, ☎ 31 373

Norwegen

Siemens A/S
Østre Aker vei 90
Postboks 10, Veitvet
N-Oslo 5
☎ (02) 15 30 90, ☎ 18 477

Österreich

Siemens Aktiengesellschaft
Österreich
Apostelgasse 12
Postfach 326
A-1031 Wien
☎ (0222) 72 93-0, ☎ 11 866

Polen

PHZ Transactor S.A.
ul. Stawki 2
P.O.B. 276
PL-00-950 Warszawa
☎ 39 89 10, ☎ 81 32 288

Portugal

Siemens S.A.R.L.
Avenida Almirante Reis, 65
Apartado 1380
Lisboa 1
☎ (019) 53 88 05, ☎ 12 563

Rumänien

Siemens birou
de consultații tehnice
Strada Edgar-Quinet 1
R-7 București 1
☎ 15 18 25, ☎ 11 473

Schweden

Siemens Aktiebolag
Avd. elektronikkomponenter
Norra Stationsgatan 69
Stockholm
(Fack, S-104 35 Stockholm)
☎ (08) 24 17 00, ☎ 116 72

Schweiz

Siemens-Albis AG
Freilagerstraße 28
Postfach
CH-8047 Zürich
☎ (01) 2 47 3111, ☎ 52 131

Spanien

Siemens S.A.
Sede Central
Orense, 2
Apartado 155
Madrid 20
☎ (91) 4 55 25 00, ☎ 27 769

Tschechoslowakei

EFEKTIM,
Technisches Büro Siemens AG
Anglická ulice 22
P.O.B. 1087
CS-120000 Praha 2
☎ 25 84 17, ☎ 122 389

Türkei

Elektrik Tesiat ve Mühendislik A.Ş.
Meclisi Mebusan Caddesi,
55/35, Fındikli
P.K. 64, Tophane
Istanbul
☎ 45 20 90, ☎ 22 290

Ungarn

Intercooperation AG,
Siemens Kooperationsbüro
Böszörményi út 9–11
P.O.B. 1525
H-1126 Budapest
☎ (01) 15 49 70, ☎ 224 133

Union der Sozialistischen Sowjetrepubliken

Vertretung der Siemens AG
Kurssowoj Pereulok, Dom 1/1,
Kwartira 4,
Wchod Sojmonowskij Projezd
Postf. 77, Internationales Postamt
SU-Moskau G 34
☎ 2 02 77 11, ☎ 7413

Afrika

Ägypten

Siemens Resident Engineers
6, Salah El Din Street, Zamalek
P.O.B. 775
Cairo
☎ 81 72 28, ☎ 321

Algerien

Siemens Algérie S.A.R.L.
3, Viaduc du Duc des Cars
B.P. 224, Alger-Gare
Alger
☎ 63 95 47/51, ☎ 52 817

Äthiopien

Siemens Ethiopia Ltd.
Ras Bitwoded Makonen Building
P.O.B. 5505
Addis Ababa
☎ 15 15 99, ☎ 21 052

Libyen

Assem Azzabi
17, 1st September Street,
Tariq Building
P.O.B. 2583
Tripoli
☎ 4 15 34, ☎ 20 029

Marokko

SETEL S.A.
km 1, Route de Rabat
Casablanca-Ain Sebâa
☎ 35 10 25, ☎ 21 914

Nigeria

Siemens Nigeria Limited
Industrial Estate 3 f,
Block A
P.O.B. 304
Lagos (Oshodi)
☎ 4 19 20, ☎ 21 357

Südafrika

Siemens Limited
Siemens House,
Corner Wolmarans and
Biccard Streets, Braamfontein
P.O.B. 45 83
Johannesburg 2000
☎ (011) 7 15 91 11, ☎ 58-7721

Sudan

National Electrical
& Commercial Company
Murad Sons Building,
Barlaman Street
P.O.B. 12 02
Khartoum
☎ 8 08 18, ☎ 642

Tunesien

Sitelec S.A.,
Société d'Importation
et de Travaux d'Electricité
26, Avenue Farhat Hached
Tunis
☎ 24 28 60, ☎ 12 326

Zaire

Siemens Zaire S.P.R.L.
1222, Avenue Tombalbaye
B.P. 98 97
Kinshasa 1
☎ 2 26 08, ☎ 21 377

Amerika

Argentinien

Siemens Sociedad Anónima
Avenida Pte. Julio A. Roca 516
Casilla Correo Central 12 32
RA-1067 Buenos Aires
☎ 30 04 11, ☎ 121 812

Bolivien

Sociedad Comercial é Industrial
Hansa Limitada
Calle Mercado esquina Yanacocha
Cajón Postal 14 02
La Paz
☎ 5 44 25, ☎ 5261

Brasilien

ICOTRON S.A., Indústria de
Componentes Eletrônicos
Avenida Mutinga, 3716
Caixa Postal 1375
BR-05110 São Paulo 1
☎ (011) 2 61 02 11
☎ 11-23 633, 11-23 641

Chile

Gildemeister S.A.C.,
Area Siemens
Amunátegui 178
Casilla 99-D
Santiago de Chile
☎ 8 25 23
☎ TRA SGO 392, TDE 40 588

Ecuador

Siemens S.A.
Avenida América y
Hernández Girón s/n.,
Sector 28
Casilla 35 80
Quito
☎ 24 53 63, ☎ 22 190

Kanada

Siemens Electric Limited
Montreal Office
7300 Trans-Canada Highway
P.O.B. 7300
Pointe Claire, Québec H9R 4R6
☎ (514) 6 95 73 00,
☎ 05-822 778

Kolumbien

Siemens S.A.
Carrera 65, No. 11–83
Apartado Aéreo 8 01 50
Bogotá 6
☎ 61 04 77, ☎ 44 750

Mexico

Siemens S.A.
Poniente 116, No. 590
Apartado Postal 150 64
México 15, D.F.
☎ 5 67 07 22, ☎ 1772 700

Uruguay

Conatel S.A.
Ejido 1690
Casilla de Correo 13 71
Montevideo
☎ 91 73 31, ☎ 934

Venezuela

Siemens S.A.
Avenida Principal,
Urbanización Los Ruices
Apartado 36 16
Caracas 101
☎ (02) 34 85 31, ☎ 25 131

Vereinigte Staaten von Amerika

Siemens Corporation
186 Wood Avenue South
Iselin, New Jersey 08 830
☎ (201) 4 94-1000
☎ WU 844 491
TWX WU 710 998 0588

Asien

Afghanistan

Afghan Electrical Engineering
and Equipment Limited
Alaudin, Karte 3
P.O.B. 7
Kabul 1
☎ 4 04 46, ☎ 35

Bangladesch

Siemens Bangladesh Ltd.
74, Dilkusha Commercial Area
P.O.B. 33
Dacca 2
☎ 24 43 81, ☎ 824

Hongkong

Jebsen & Co., Ltd.
Prince's Building, 23rd floor
P.O.B. 97
Hong Kong
☎ 5 22 51 11, ☎ 73 221

Indien

Siemens India Ltd.
134A, Dr. Annie Besant Road, Worli
P.O.B. 65 97
Bombay 400018
☎ 37 99 06, ☎ 112 373

Indonesien

P.T. Siemens Indonesia
Kebon Sirih 4
P.O.B. 24 69
Jakarta
☎ 5 10 51, ☎ 46 222

Irak

Samhiry Bros. Co. (W.L.L.)
Abu Nawas Street
P.O.B. 300
Baghdad
☎ 9 00 21, ☎ 2255

Iran

Siemens Sherkate S. (K.)
Khiabane Takhte Djamshid 32,
Siemenshaus
Teheran 15
☎ (021) 6 14-1, ☎ 212 351

Japan

Nippon Siemens K.K.
Furukawa Sogo Building,
6-1, Marunouchi 2-chome,
Chiyoda-ku
Central F.O.B. 1619
Tokyo 100-91
☎ 00 81 32 84-01 73, ☎ 27 441

Jemen (Arab. Republik)

Tihama Tractors
& Engineering Co. Ltd.
P.O.B. 49
Sanaa
☎ 24 62, ☎ 217

Korea (Republik)

Siemens Electrical
Engineering Co., Ltd.
Daeham Building, 8th floor,
75, Susomun-dong, Chung-ku
C.P.O.B. 30 01
Seoul
☎ 7 77 75 58, ☎ 23 229

Kuwait

Abdul Aziz M. T. Alghanim Co.
& Partners
Abdulla Fahad Al-Mishan Building
Al-Sour Street
P.O.B. 32 04
Kuwait, Arabia
☎ 42 33 36, ☎ 21 31

Libanon

Ets. F. A. Kettaneh S.A.
(Kettaneh Frères)
Rue du Port, Immeuble Fattal
P.B. 11 02 42
Beyrouth
☎ 22 11 80, ☎ 20 614

Malaysia

Guthrie Engineering (Malaysia)
Sdn. Bhd.,
Electrical &
Communications Division
17, Jalan Semangat
P.O.B. 30
Petaling Jaya
☎ 77 33 44, ☎ 37 573

Pakistan

Siemens Pakistan Engineering
Co. Ltd.
Ilaco House, Abdullah Haroon Road
P.O.B. 71 58
Karachi 3
☎ 51 60 61, ☎ 2820

Philippinen

Engineering Equipment, Inc.
Machinery Division,
Siemens Department
E. Rodriguez Avenue
Murphy, Quezon City
Philippines
P.O.Box 71 60
Airmail Exchange Office
Manila International Airport
Philippines 3120
☎ 77 30 11.
☎ RCA 722 2382, EEC 3695
Telegramme: Engcomach Manila

Saudi-Arabien

E. A. Juffali & Bros.
Head Office
King Abdul-Aziz-Street
P.O.B. 10 49
Jeddah
☎ 2 22 22, ☎ 40 130

Singapur

Siemens Components PTe. Ltd.
Promotion Office
19B - 45B, Jalan Tenteram
Singapore 12
☎ 55 08 11, ☎ 21 000

Syrien

Syrian Import Export & Distribution
Co., S.A.S. SIEDCO
Port Saïd Street
P.O.B. 363
Damas
☎ 1 34 31, ☎ 11 267

Taiwan

Delta Engineering Ltd.
42, Hsu Chang Street, 8th floor
P.O.B. 5 84 97
Taipei
☎ 3 11 47 31, ☎ 21 826

Thailand

B. Grimm & Co., R.O.P.
1643/4, Petchburi Road (Extension)
P.O.B. 66
Bangkok 10
☎ 2 52 40 81, ☎ 26 14

Australien

Australien

Siemens Industries Limited
Melbourne Office
544 Church Street
Richmond, Vic. 3121
☎ (03) 4 29 71 11, ☎ 30 425

Inhalt
Typenübersicht
Allgemeine Angaben

LSL-Serie

Hall-Schaltungen

Schaltungen für spezielle Funktionen

Schaltungen für die Nachrichtentechnik

Speicher-Bausteine

Anschriften unserer Geschäftsstellen
